

# 2018年演算増幅器設計コンテスト デザイン部門概要

## 1 審査項目

図 1(a) に示す利得が  $-10$  倍の反転増幅器回路における無信号時の消費電力

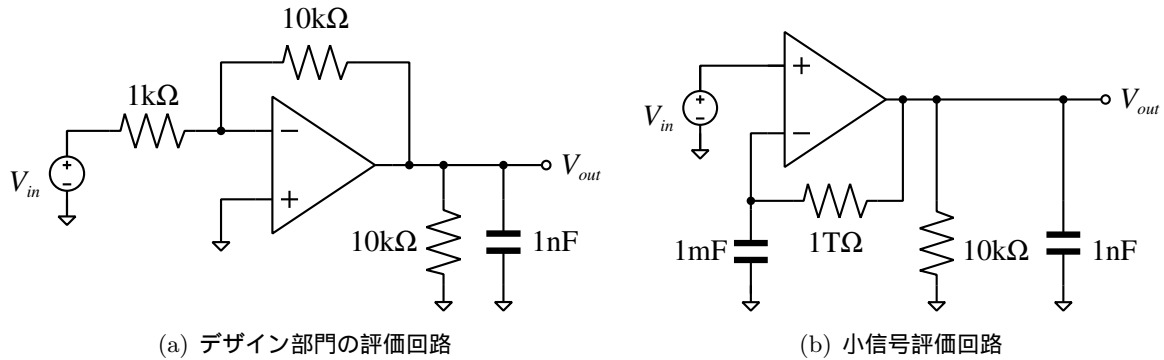


図 1: 評価回路

ただし，回路の電源電圧は  $3V(\pm 1.5V)$  とする．

## 2 要件

デザイン部門はフェニテック社  $0.6\mu\text{m}$  CMOS モデルパラメータを使用する．本部門における演算増幅器の応募要件を表 1 に示す．

表 1: デザイン部門要件

項目	要件	備考
電源電圧	3V	固定
直流利得	40dB 以上	図 1(b)
位相余裕	45 度以上	図 1(b)，負荷容量 $\pm 10\%$ 変動
帯域幅	20kHz 以上	図 1(a)
出力オフセット電圧	$\pm 100\text{mV}$ 以内	図 1(a)
入力電圧範囲	$\pm 100\text{mV}$ 以上	図 1(a)
スルーレート	$\pm 1\text{V}/\mu\text{s}$ 以上	図 1(a)
全高調波歪	0.1% 以下	入力: 1kHz, 振幅 1mV, DC オフセット 0V, 図 1(a)
占有面積	$0.2\text{mm}^2$ 以内	

### 3 評価方法

#### 3.1 直流利得

評価方法： 図 1(b) における 0.1Hz での利得を求める

補足： 現行のシミュレーションの部と同じ方法

試作の部では図 1(a) の評価回路において，十分に低い周波数 (100Hz) での正相増幅器の利得誤差が理論値の  $\pm 10\%$  以内としており，ばらつきなどを考慮し，余裕を持って 40dB 以上の直流利得を有することを要件とする．出力抵抗を考慮していないため無負荷での直流利得と異なる．

#### 3.2 位相余裕

評価方法： 0.1Hz ~ 単利得周波数における  $\min(180 \text{ 度} + \text{位相回転})$  の値を求める

補足： 1(b) にて負荷容量を 0.9nF, 1nF, 1.1nF の時の位相余裕をそれぞれ求め，その内，最も小さい値を位相余裕とする．

#### 3.3 帯域幅

評価方法： 図 1(a) における  $-3\text{dB}$  周波数を求める

補足： 0.1Hz における利得を基準値として，その基準値から利得が最初に 3dB 下がった時の周波数を  $-3\text{dB}$  周波数とする．

#### 3.4 出力オフセット電圧

評価方法： 図 1(a) において  $V_{in} = 0\text{V}$  とし，動作点解析を行い，出力電圧を求める

#### 3.5 入力電圧範囲

評価方法： 図 1(a) おいて入力電圧を掃引し，出力電圧が飽和し始める入力電圧の値を求める．図 2 に示すように，入力直流電圧  $V_{in}$  を変化させ，出力電圧の理論値とシミュレーション値をそれぞれ  $V_{pi}, V_{ni}$  と  $V_{ps}, V_{ns}$  とし，

$$\left(1 - \text{abs}\left(\frac{V_{ps}}{V_{pi}}\right)\right) \times 100\% \leq 5\% \text{ を満たす正の入力電圧 } V_{inp} \quad (1)$$

$$\left(1 - \text{abs}\left(\frac{V_{ns}}{V_{ni}}\right)\right) \times 100\% \leq 5\% \text{ を満たす負の入力電圧 } V_{inm} \quad (2)$$

と求める．入力電圧範囲は正負側の入力電圧の小さい方の電圧である．すなわち，

$$\text{入力電圧範囲} = \min(V_{inp}, \text{abs}(V_{inm})) \quad (3)$$

と求める．

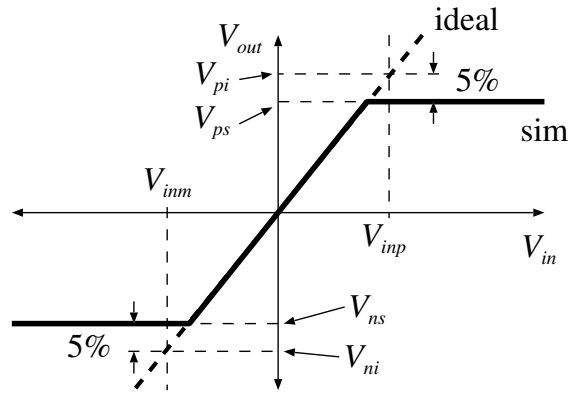


図 2: 入力電圧範囲の評価

### 3.6 スルーレート

評価方法： 入力電圧を PWL 電圧源を用いて図 3 のような波形とする．立ち下がりのスルーレートを評価する場合は正負の電圧を反転させる．スルーレートは最初の立ち上がり（立ち下がり）において，出力電圧が  $-900\text{mV}$  と  $900\text{mV}$ （立ち下がりの場合は  $900\text{mV}$  と  $-900\text{mV}$ ）になった時刻をそれぞれ  $t_1, t_2$  とし，

$$\text{スルーレート} = \frac{1.8}{t_2 - t_1} [\text{V/s}] \quad (4)$$

で求められる．立ち上がりと立ち下がりのスルーレートの内，絶対値が小さい方をスルーレートの評価結果とする．また，最終出力電圧を  $V_{fsim}$  とすると， $V_{fsim} \leq 1.1 \times V_{fideal}$  を満たさないと回路が発散すると判定する．ただし， $V_{fideal}$  は最終出力電圧の理論値であり，立ち上がりの場合は  $500\text{mV}$  で，立ち下がりの場合は  $-500\text{mV}$  である．

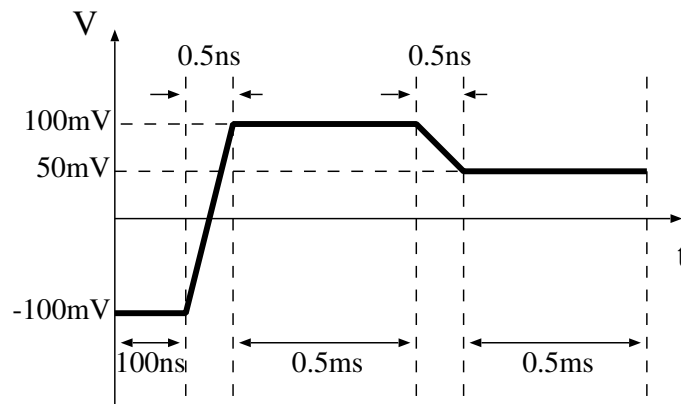


図 3: スルーレート評価用の入力電圧（立ち上がりの場合）

### 3.7 全高調波歪

図 1(a) において，入力電圧を振幅が  $1\text{mV}$ ，周波数が  $1\text{kHz}$  の正弦波とし，出力電圧の全高調波歪を評価する．入力電圧の直流電圧（DC オフセット）は  $0\text{V}$  とする．

### 3.8 占有面積

評価方法： 各素子の面積は下記のように計算する．

- トランジスタ =  $W[\mu\text{m}] \times (L[\mu\text{m}] + 2\mu\text{m})$   
拡散領域の幅をそれぞれ  $1\mu\text{m}$  と仮定する .
- 容量 =  $\frac{\text{容量値 [F]}}{3\text{fF}}[\mu\text{m}^2]$   
単位面積容量を  $3\text{fF}/\mu\text{m}^2$  とする .
- 抵抗 =  $\frac{\text{抵抗値 }[\Omega]}{1\text{k}\Omega} \times 4\mu\text{m}^2$   
シート抵抗を  $1\text{k}\Omega/$  , シート面積を  $4\mu\text{m}^2$  とする .

補足 : 試作部門に準ずる . 試作では 1 区画がおよそ  $0.8\text{mm} \times 0.32\text{mm} = 0.256\text{mm}^2$  だが , 配線などその他の設計ルールを考慮すると  $0.2\text{mm}^2$  以内程度が妥当と考える . 本来は実際のデザインルールを使うのがベストだが , 守秘義務のある数値の公開はできないため , それらしい値にした .

## 4 その他

### 4.1 素子値の制限

#### 1. MOS トランジスタ

- 最小チャネル長 =  $0.6\mu\text{m}$
- 最長チャネル長 = チャネル幅の 10 倍または  $140\mu\text{m}$
- 最小チャネル幅 =  $1.2\mu\text{m}$
- サイズ刻み幅 =  $0.1\mu\text{m}$

#### 2. 容量

- 最小容量値 =  $0.1\text{pF}$

#### 3. 抵抗

- 最小抵抗値 =  $10\Omega$  ( $1\text{k}\Omega$  抵抗を 100 個並列接続にする)
- 最大合計抵抗値 =  $50\text{M}\Omega$

### 4.2 安定性の確認

安定性を判断するために , 図 1(a) と 1(b) における極を求め , 右半平面の極が存在するかどうかをチェックする .