

---

平成30年  
演算増幅器設計コンテスト発表会

---

2018年12月7日

# 発表会プログラム

- 上位入賞者作品解説（シミュレーションの部）

		部門1	部門2	部門3	部門4
14:05	猿田将大(群馬大学)	3位			
14:15	福田雅史(群馬大学)	2位			
14:25	伊藤裕也(愛知工業大学)		2位	2位	努力賞
14:55	松場輝樹(群馬大学)			1位	
15:05	吉田浩志(東京理科大学)	1位	1位		奨励賞
15:35	休憩				

- 上位入賞者作品解説（試作の部）

16:00	藤原 嵩(東京理科大学)	2位			
16:10	松場輝樹(群馬大学)			2位	
16:20	小高 孔頌(東京理科大学)	1位			
16:30	久保 友助(群馬大学)			1位	

- 講評（兵庫審査委員長）

(敬称略)

# 協賛企業

- ・ 旭化成エレクトロニクス株式会社
- ・ ザインエレクトロニクス株式会社
- ・ ルネサスエレクトロニクス株式会社
- ・ 株式会社トッパン・テクニカル・デザインセンター
- ・ セイコーNPC株式会社
- ・ ダイアログ・セミコンダクター株式会社
- ・ エイブリック株式会社
- ・ アナログ・デバイセズ株式会社
- ・ 株式会社東芝
- ・ 新日本無線株式会社
- ・ 横河電機株式会社



Takai Laboratory

# 演算増幅器設計コンテスト

部門1 3位

群馬大学

理工学部 電気電子理工学科

学部4年 猿田将大



# 設計方針

## 評価式

$$\frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得}}{\text{消費電流}}$$

## 設計方針

- 差動入力段にカスコード差動増幅器

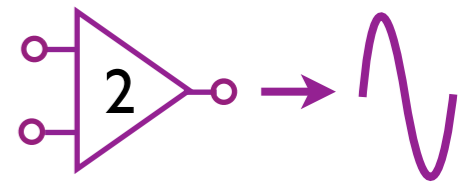


利得の増加

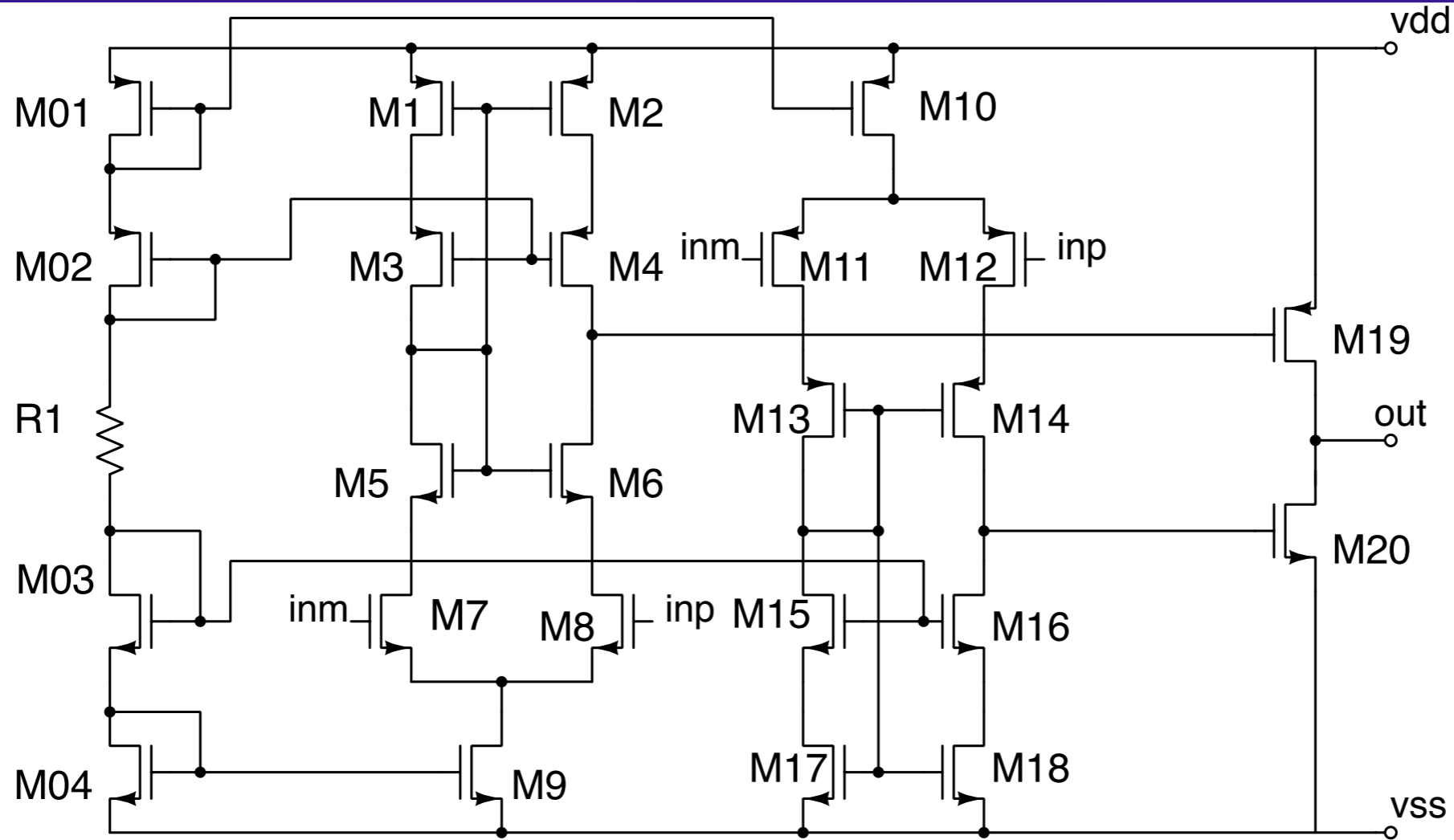
- プッシュプル回路を使用



スルーレート向上



# 提出回路



Vdd = 1.5 [V]

Vss = -1.5 [V]

バルク pmos : Vdd

noms : Vss

※ MOSFET : Width/Length 単位は全て [um]

M01 : 3.0/0.5

M1 : 1.2/0.2 M2 : 1.2/0.2

M10 : 10.0/0.5

M02 : 1.2/0.5

M3 : 4.5/1.0 M4 : 4.5/1.0

M11 : 1.7/0.5 M12 : 1.7/0.5

M19 : 1.5/0.3

M03 : 4.0/0.5

M5 : 0.8/0.2 M6 : 0.8/0.2

M13 : 1.4/0.2 M14 : 1.4/0.2

M20 : 0.8/0.3

M04 : 4.0/0.5

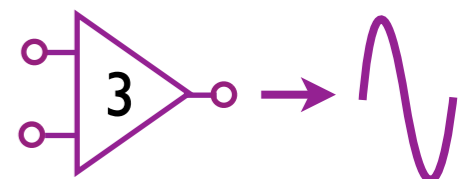
M7 : 1.5/0.5 M8 : 1.5/0.5

M15 : 4.5/1.0 M16 : 4.5/1.0

M9 : 16.0/0.5

M17 : 0.3/0.2 M18 : 0.3/0.2

R1 : 1580 [kΩ]

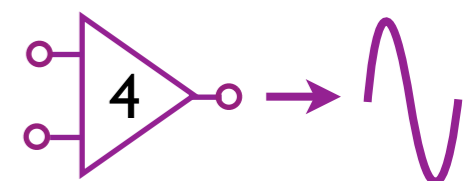
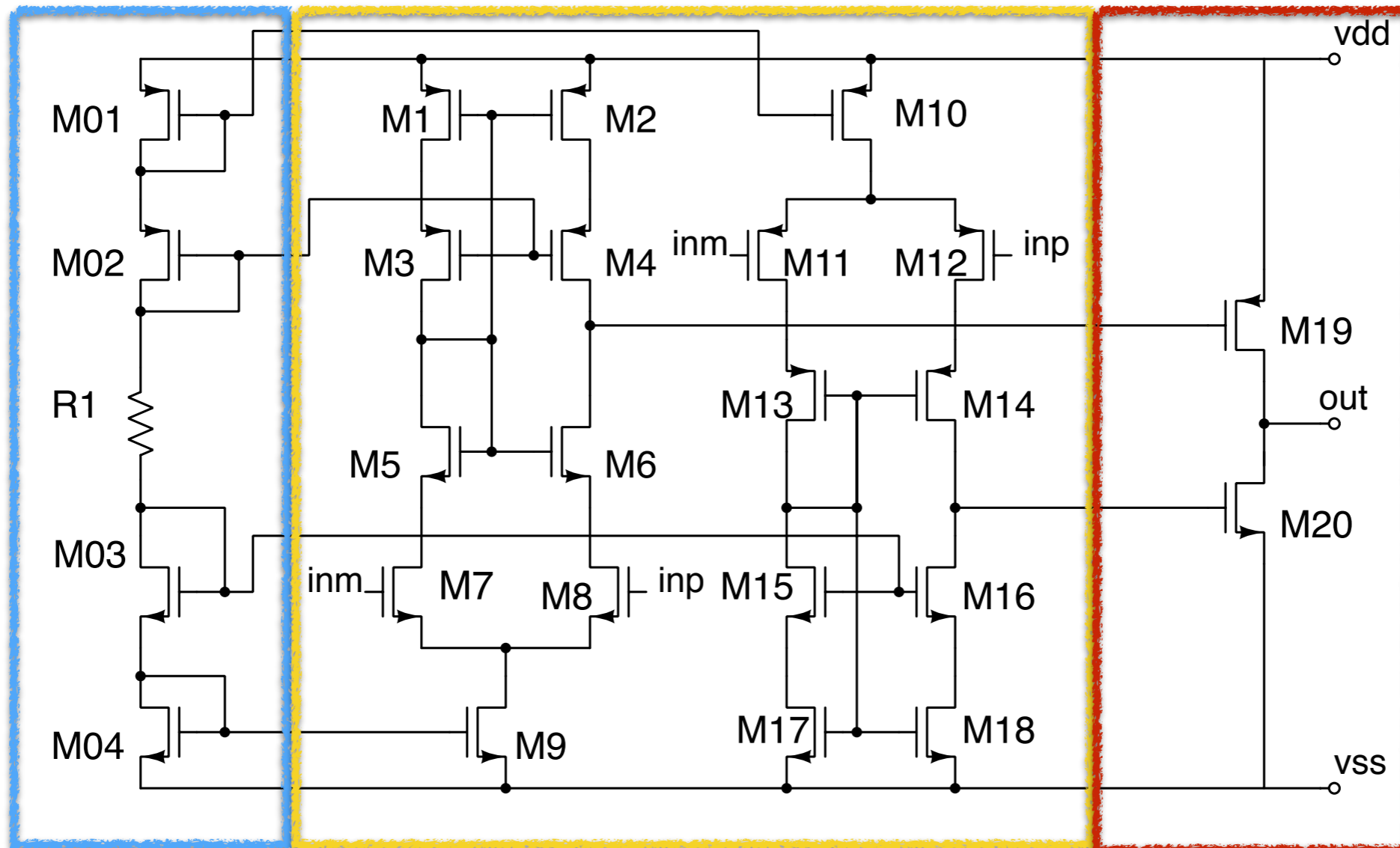


# 提出回路

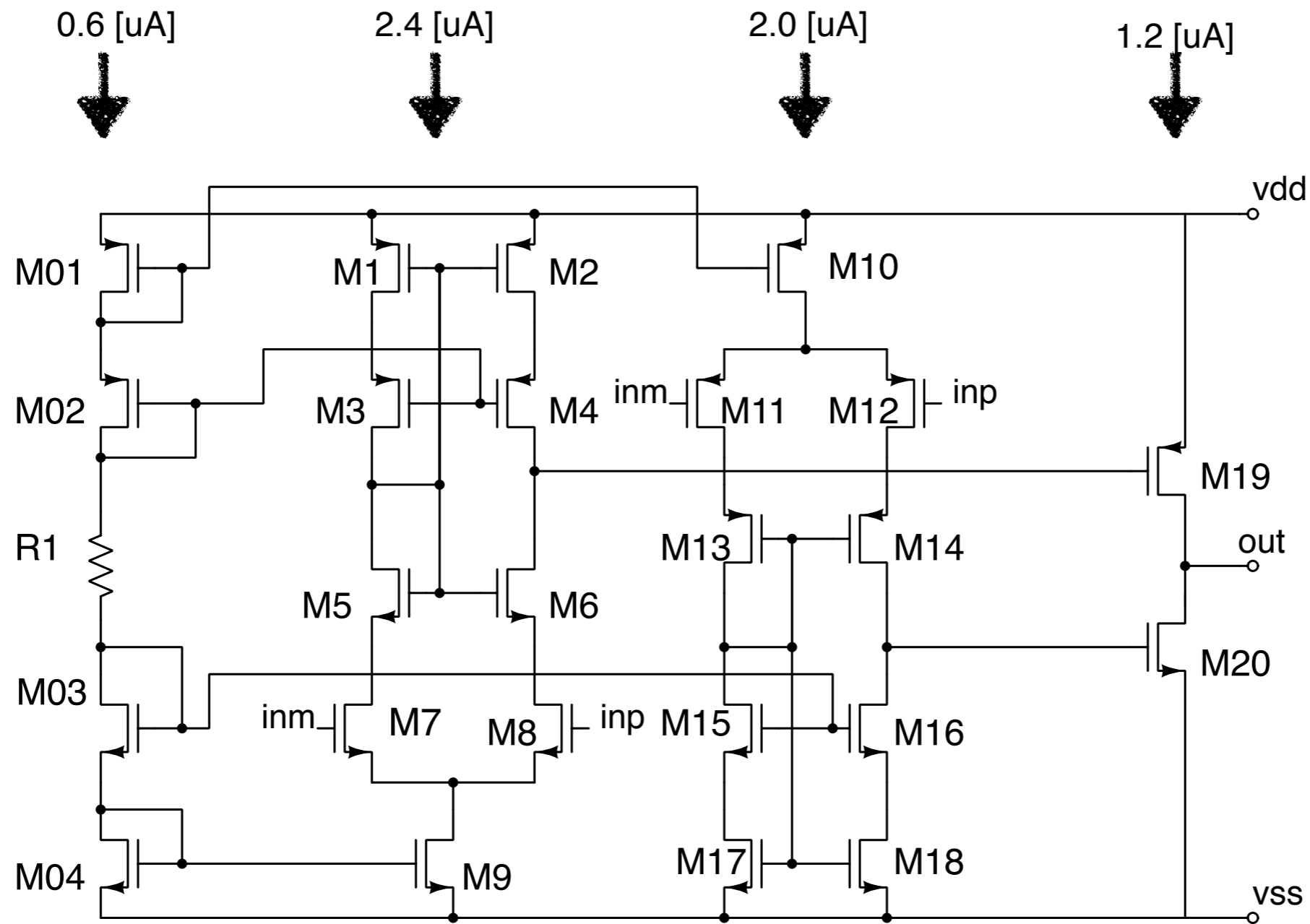
バイアス段

差動入力段

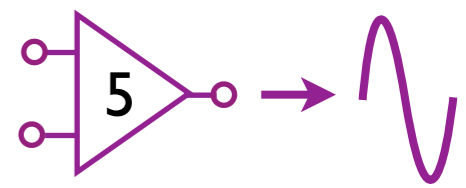
出力段



# 提出回路

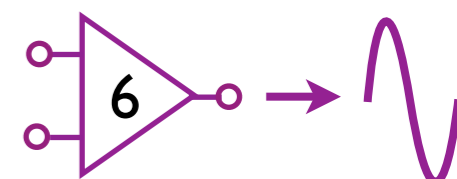
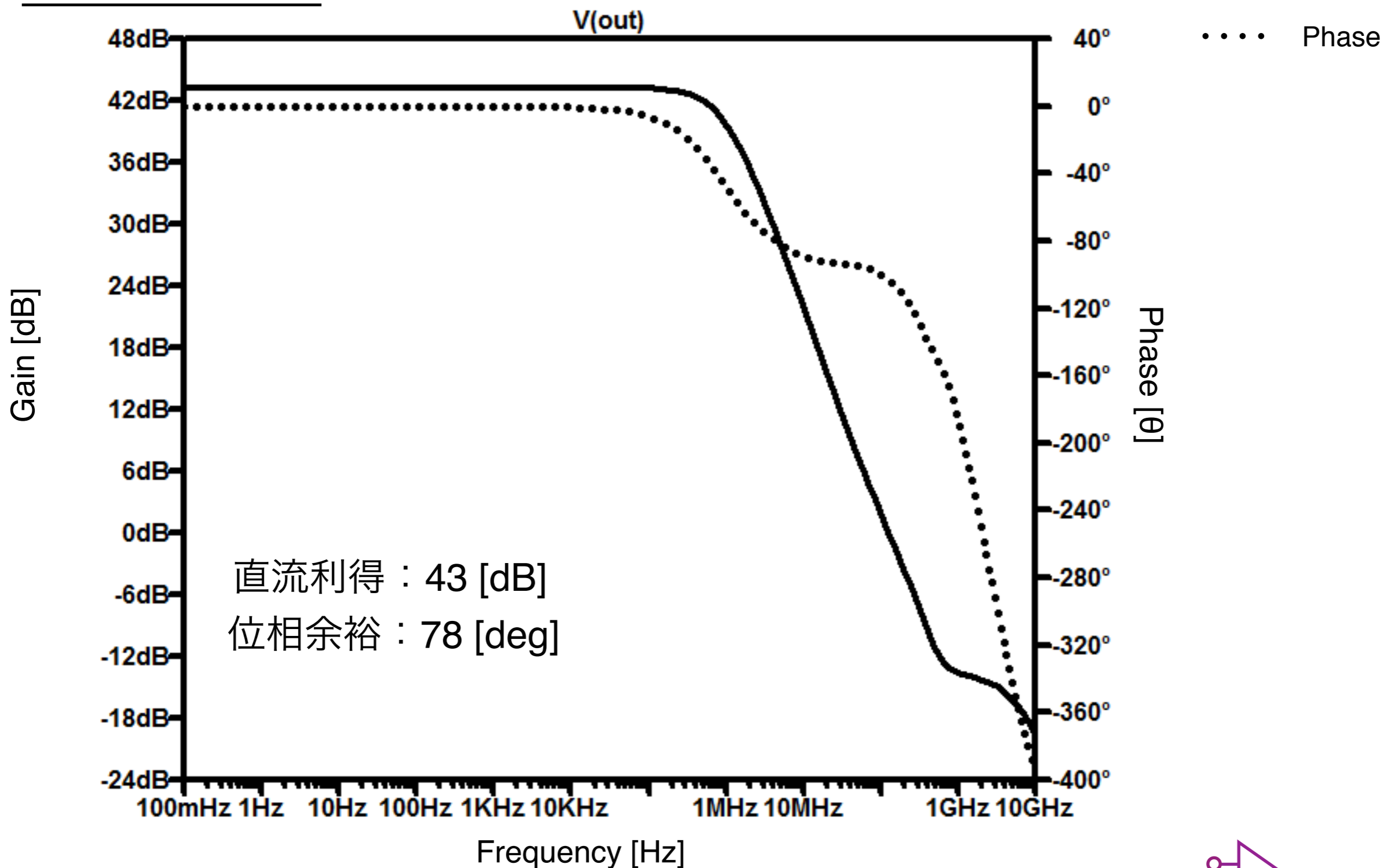


消費電流  $6.2 \text{ [uA]}$



# シミュレーション結果

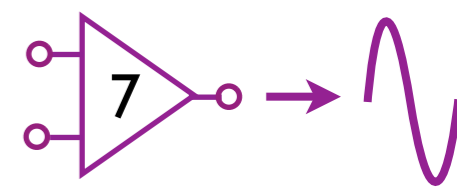
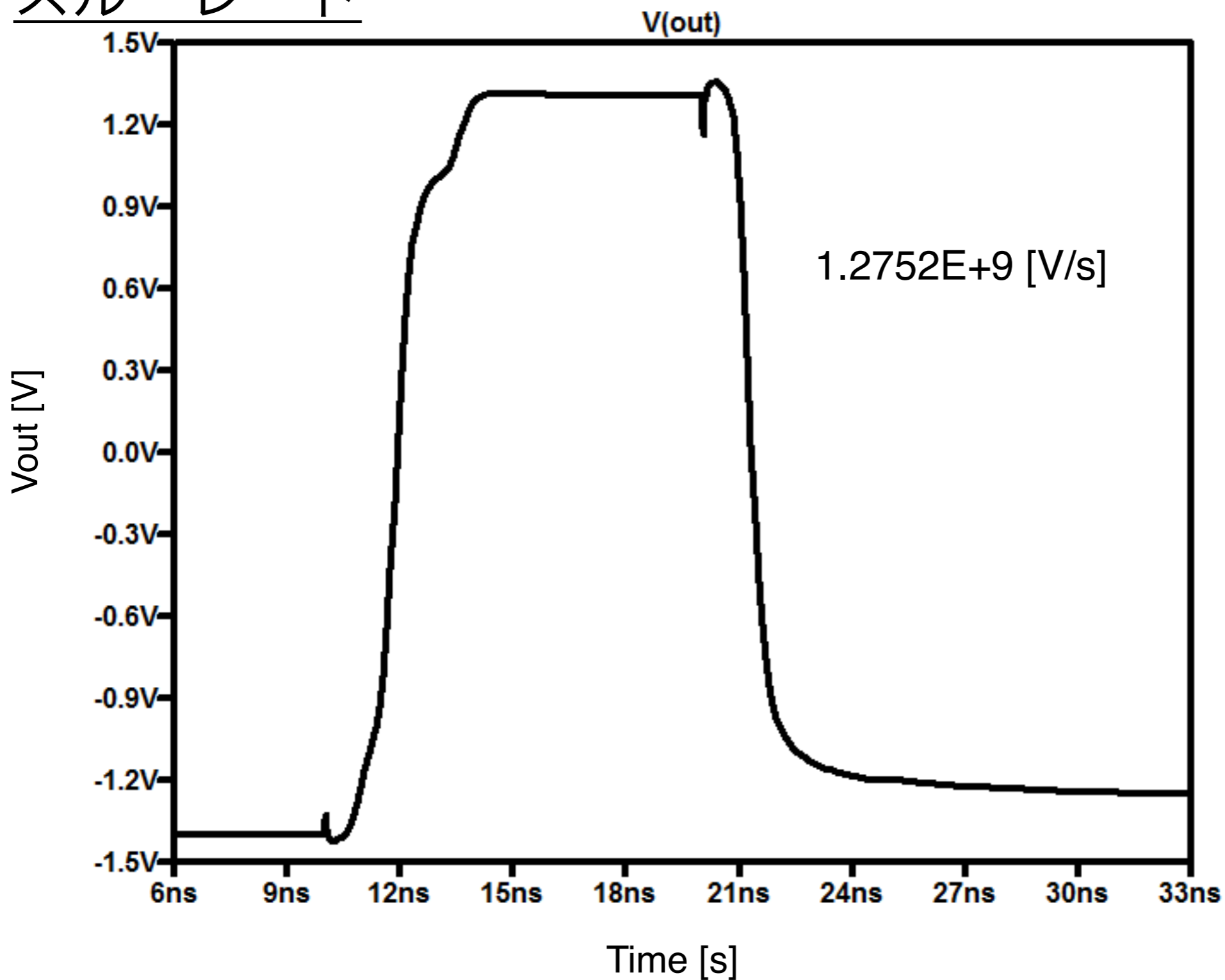
## AC解析結果





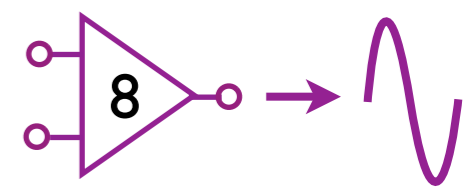
# シミュレーション結果

## スルーレート



# 部門 1 評価結果

項目	評価
スルーレート	1.2752E+09 [V/s]
消費電流	6.2730E-06 [A]
同相入力範囲	9.5333E+01 [%]
直流利得	1.2555E+02 [dB]
スコア	2.4331E+18

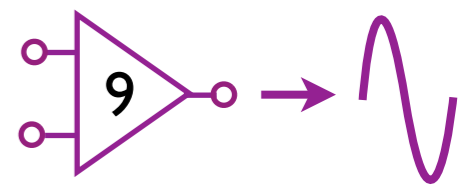


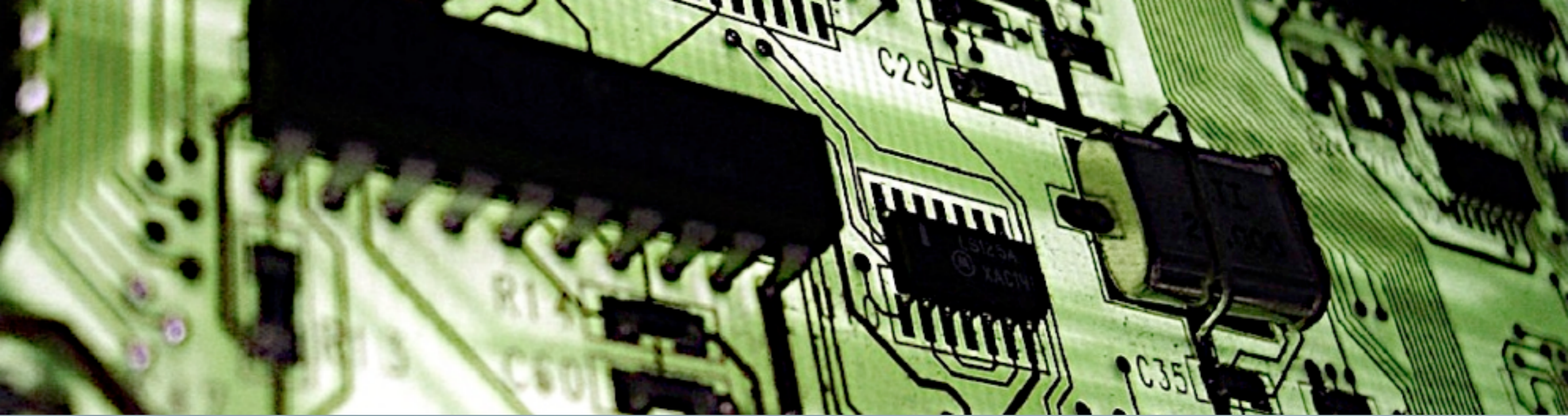
# 感想

- 実際に自分で回路設計を行うのは初めてで、設計する難しさに気付かされました
- 今回設計した回路には不適切な箇所があるので、来年に活かしていこうと思います
- 来年度は、もっと勉強して力をつけて他の部門にも挑戦したいと考えています

## 謝辞

演算増幅器設計コンテスト運営の皆様  
協賛企業の皆様  
厚く感謝申し上げます





# 演算増幅器設計コンテスト

シミュレーションの部

部門1 2位

群馬大学 理工学府

修士2年 福田 雅史

# 部門1のポイント

## 評価式

$$\text{スコア} = \frac{(\text{スルーレート}[\text{V/s}] \cdot \text{同相入力範囲}[\%] \cdot \text{直流利得}[\text{dB}])}{\text{消費電流}[\text{A}]}$$

## 高スコア獲得のポイント

同相入力範囲や直流利得では差をつけにくい・・・

➡スルーレートを高く、消費電流を小さく

➡かつ同相入力範囲は高く保つ



# 設計方針

## 設計方針

- ・ Lは全て0.2[um]で統一、位相補償用キャパシタも最小値を使用
  - ➔寄生容量を減らし、スルーレート向上を狙う
- ・ これまでの経験を生かす
  - ➔昨年使用したプッシュプル回路構成を利得段に
  - ➔低消費電力・高速動作を狙う

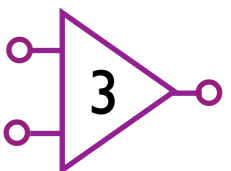
### 使用可能な素子およびサイズ

最小チャネル長 0.18[um]

最小チャネル幅 0.27[um]

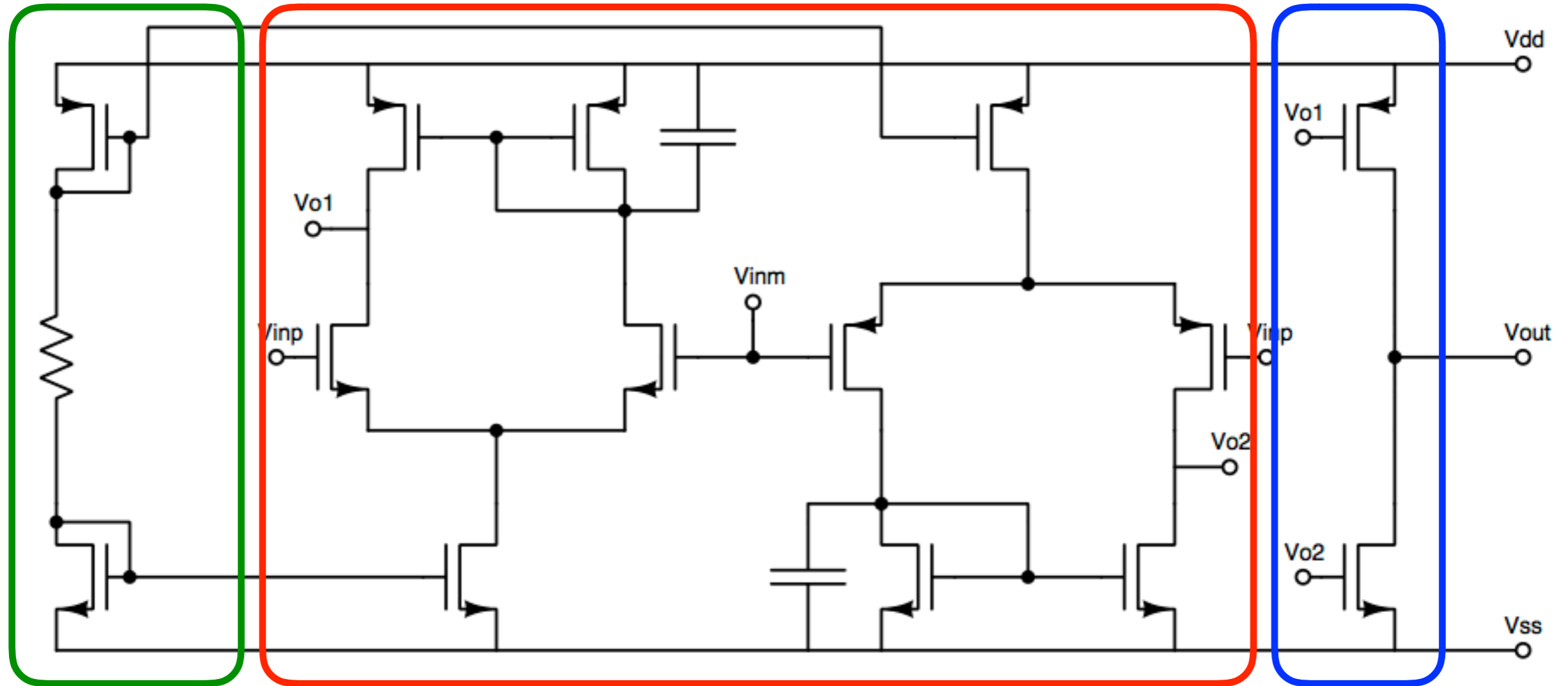
サイズ刻み幅 0.01[um]

最小容量値 0.1[pF]



# 提出回路

## 回路図

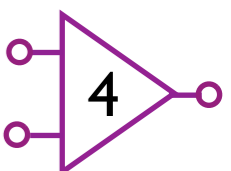


バイアス段

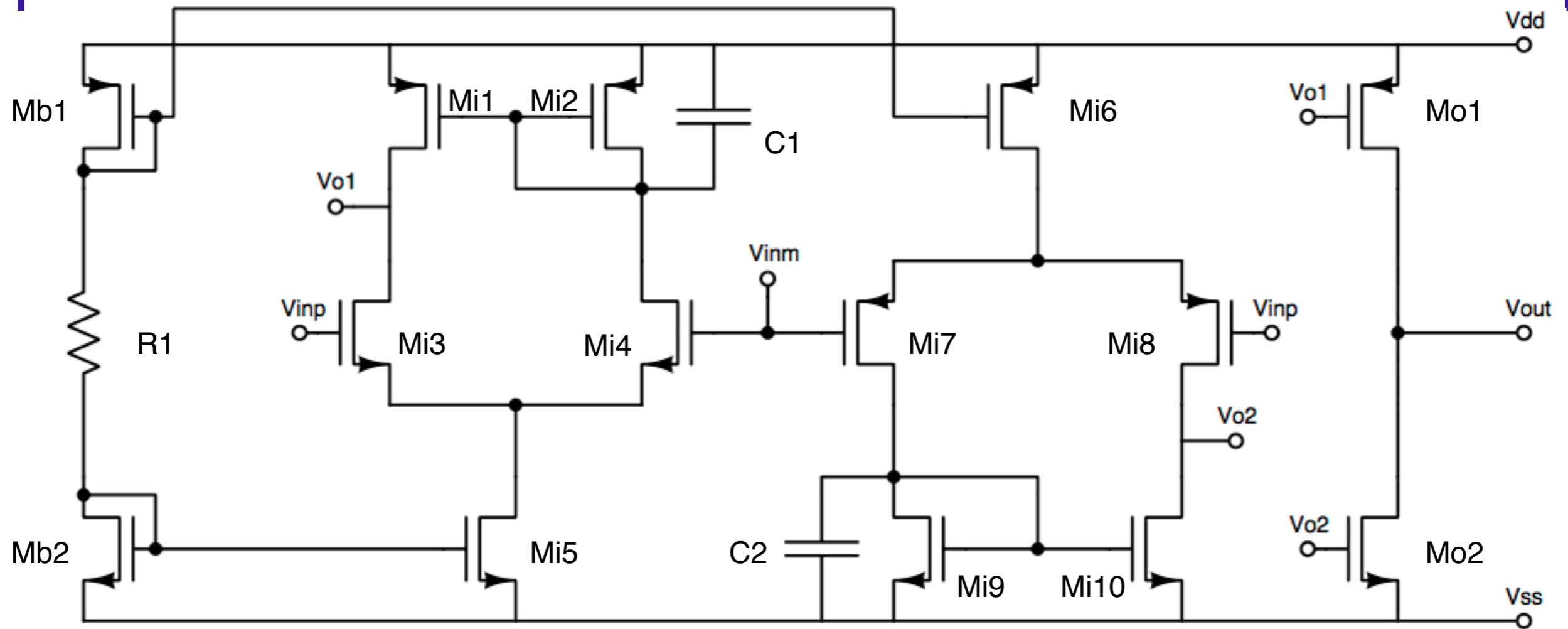
利得段

出力段

※PMOSはV<sub>dd</sub>、NMOSはV<sub>ss</sub>にバルクを接続



# 提出回路中の素子値

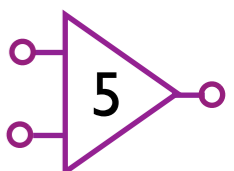


	Mb1	Mb2	Mi1	Mi2	Mi3	Mi4	Mi5	Mi6	Mi7
Length[um]	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Width[um]	0.6	1.6	0.6	0.6	0.3	0.3	1.4	0.6	0.6

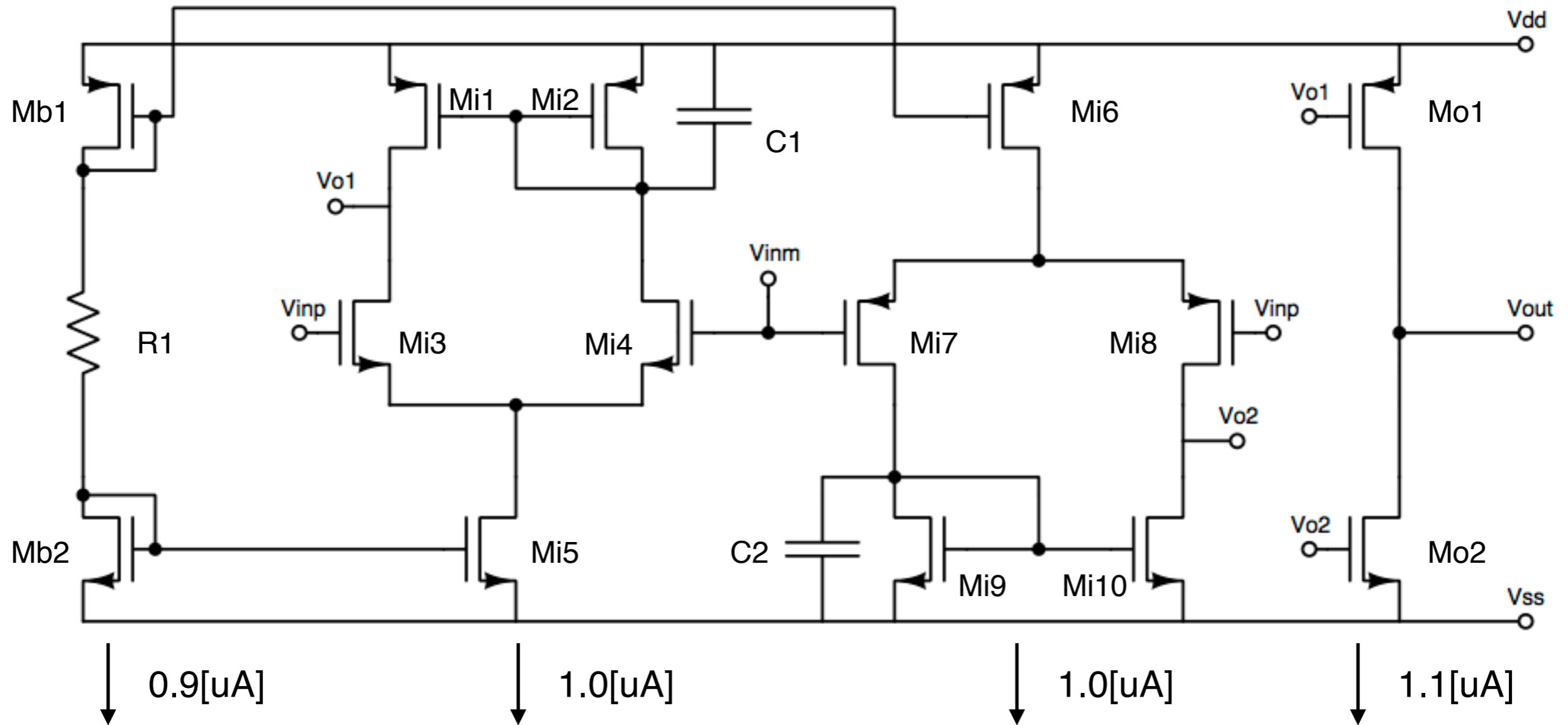
	Mi8	Mi9	Mi10	Mo1	Mo2
Length[um]	0.2	0.2	0.2	0.2	0.2
Width[um]	0.6	0.3	0.3	1.8	0.9

	C1	C2
Capacitor[fF]	100	100

	R1
Resistor[kΩ]	2200



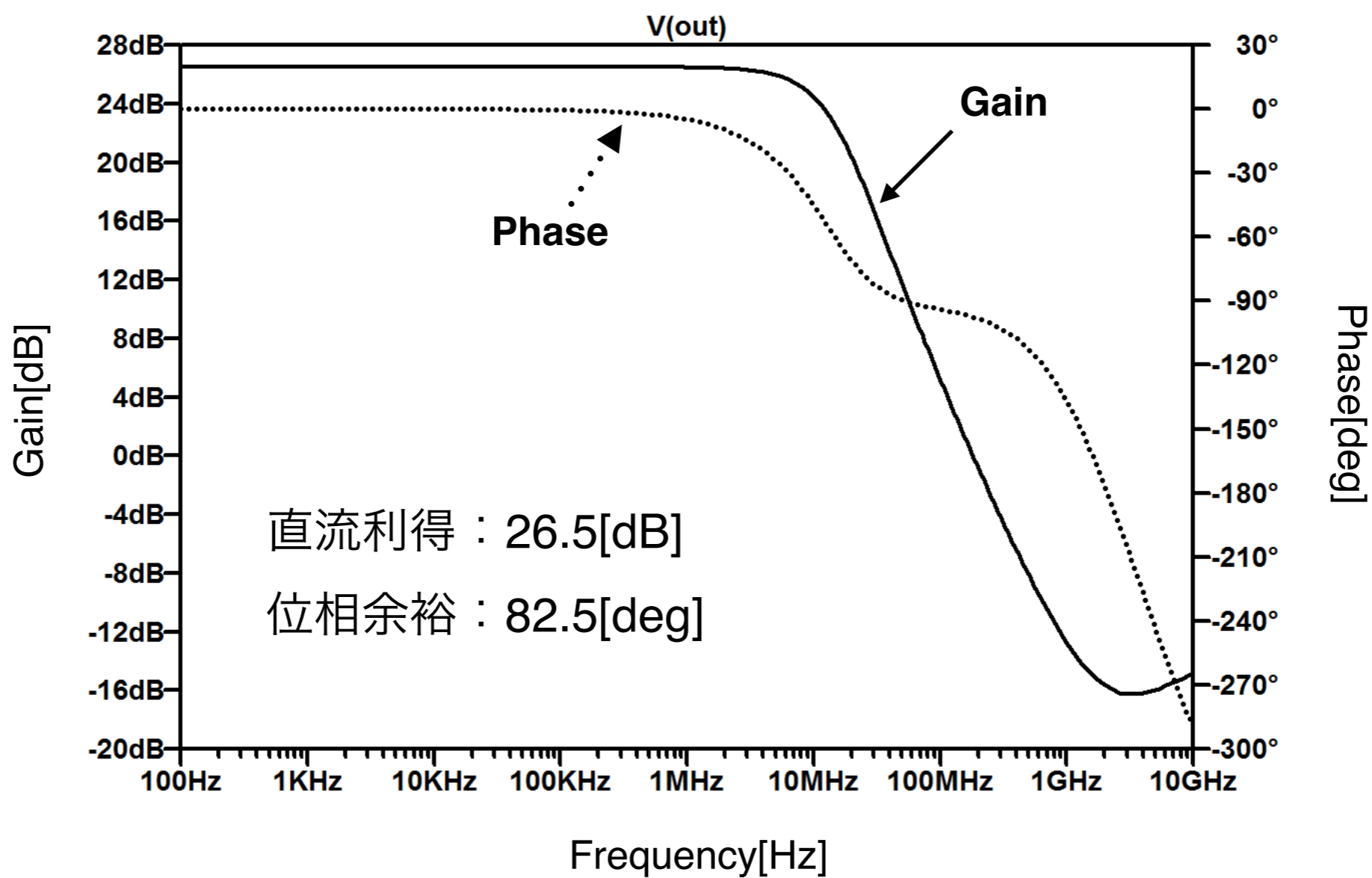
# 設計目標 (消費電流)



要件を満たしつつ回路全体で消費電流が4[uA]程度になるよう設計

# シミュレーション結果

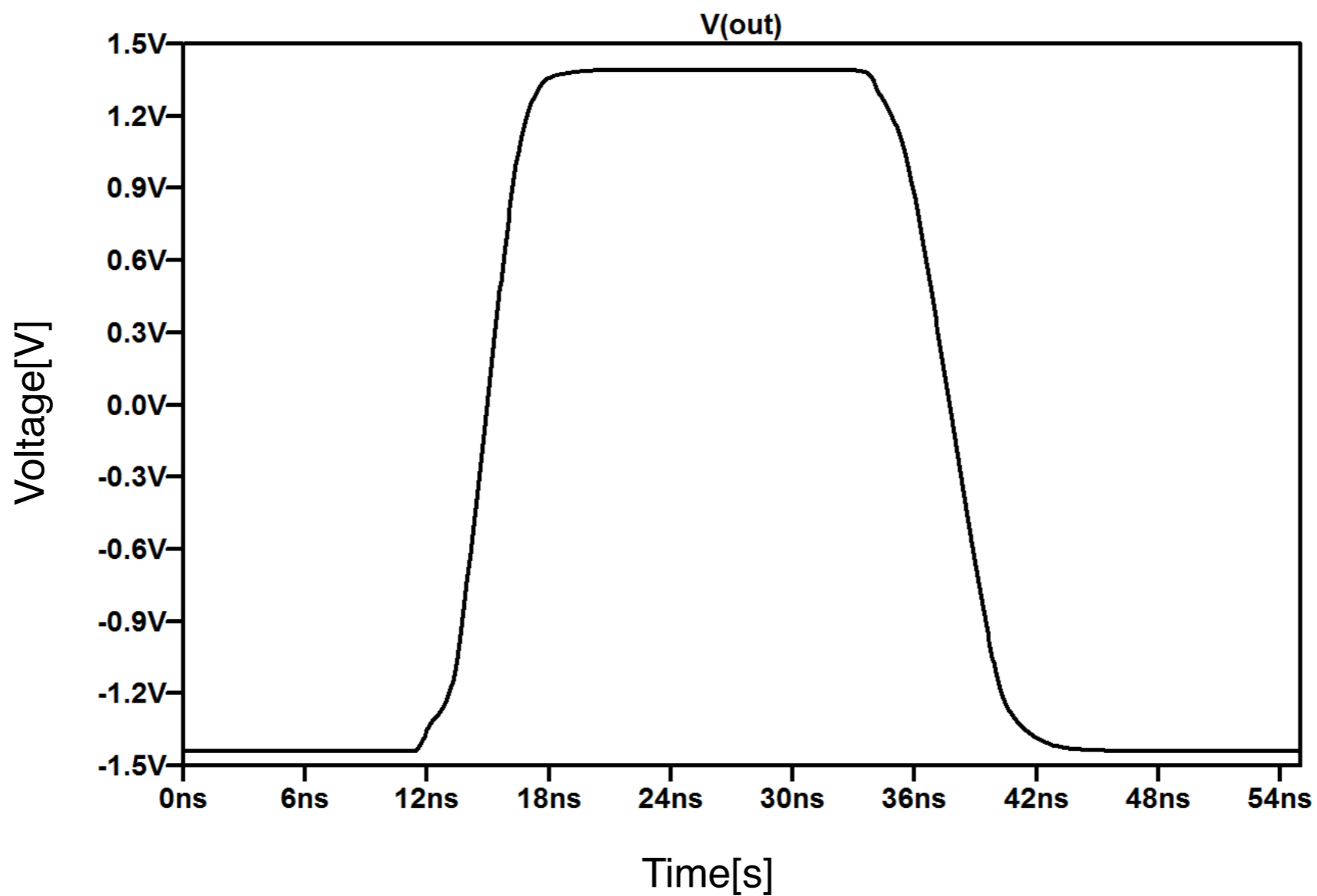
## AC Analysis



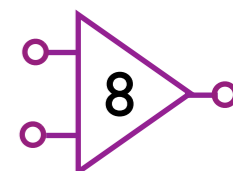


# シミュレーション結果

## Transient Analysis



スルーレート :  $3.99e+9$  [V/s]  
(コンテスト評価値)

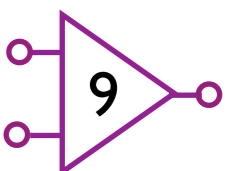


# 評価結果

## 最終評価結果

項目	評価値
スルーレート	3.9946E+09
消費電流	8.7306E-06
同相入力範囲	9.8167E+01
直流利得	6.3749E+01
スコア	2.8633E+18

※コンテストの直流利得値は出力抵抗の影響を補正した値



# 感想

## コンテストを終えて

- ・仕様を満たしつつ目標の特性を目指して回路を設計することの難しさを学ぶことができた
- ・最後のチャンスで上位入賞できたのは嬉しい  
今後のモチベーションにしてゆきたい
- ・部門の最高スコアが伸びなかったのは少し残念  
周囲への参加をさらに呼びかけてゆきたい

**コンテスト運営及び審査員の皆様、協賛企業の皆様  
貴重な機会を設けていただき、心より感謝申し上げます  
今後の活動もさらに活発になるよう願っております**



# Appendix

# 消費電流値が設計値と異なる

研究室のHspiceによるシミュレーション結果

4.15[uA]

LTspiceによるシミュレーション結果

4.16[uA]

コンテストの結果

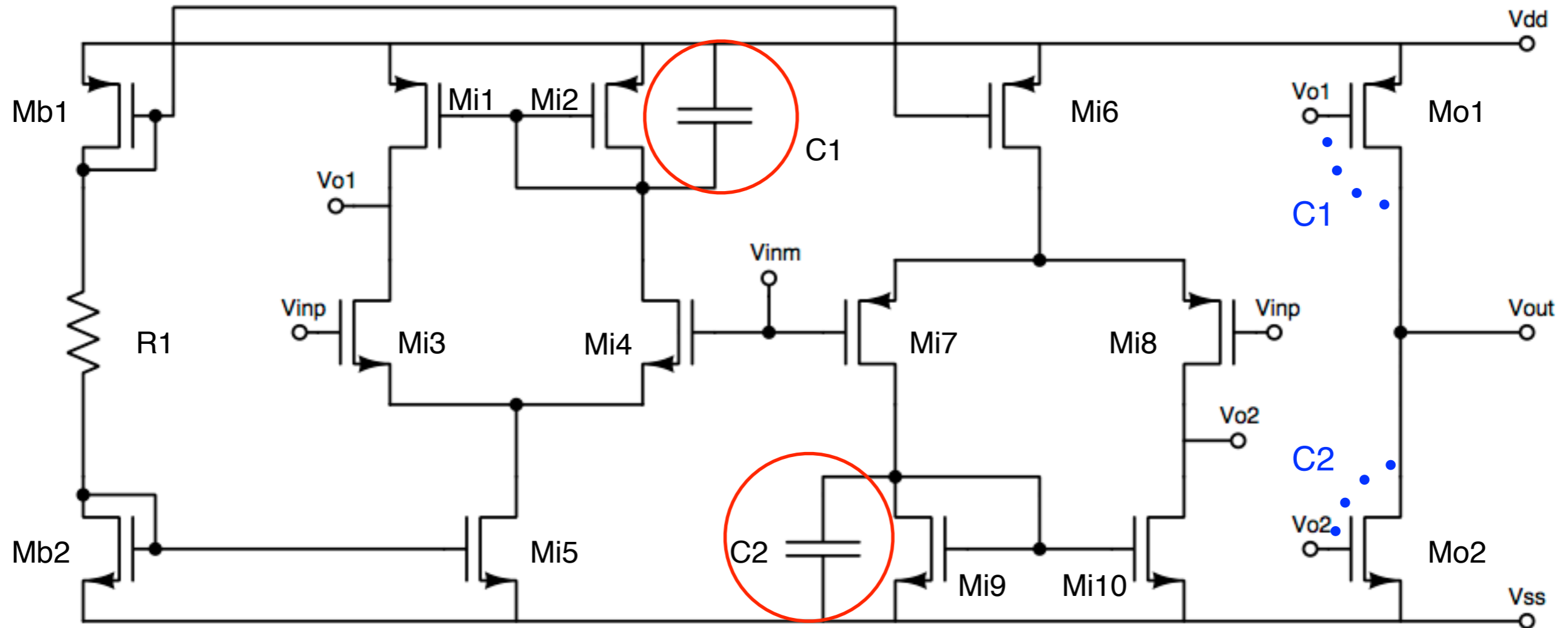
8.73[uA]

※テストベンチはコンテストのwebサイトで公表しているものを使用

コンテストのシステムではバルクに流れる電流等も補正している？



# Cの位置について



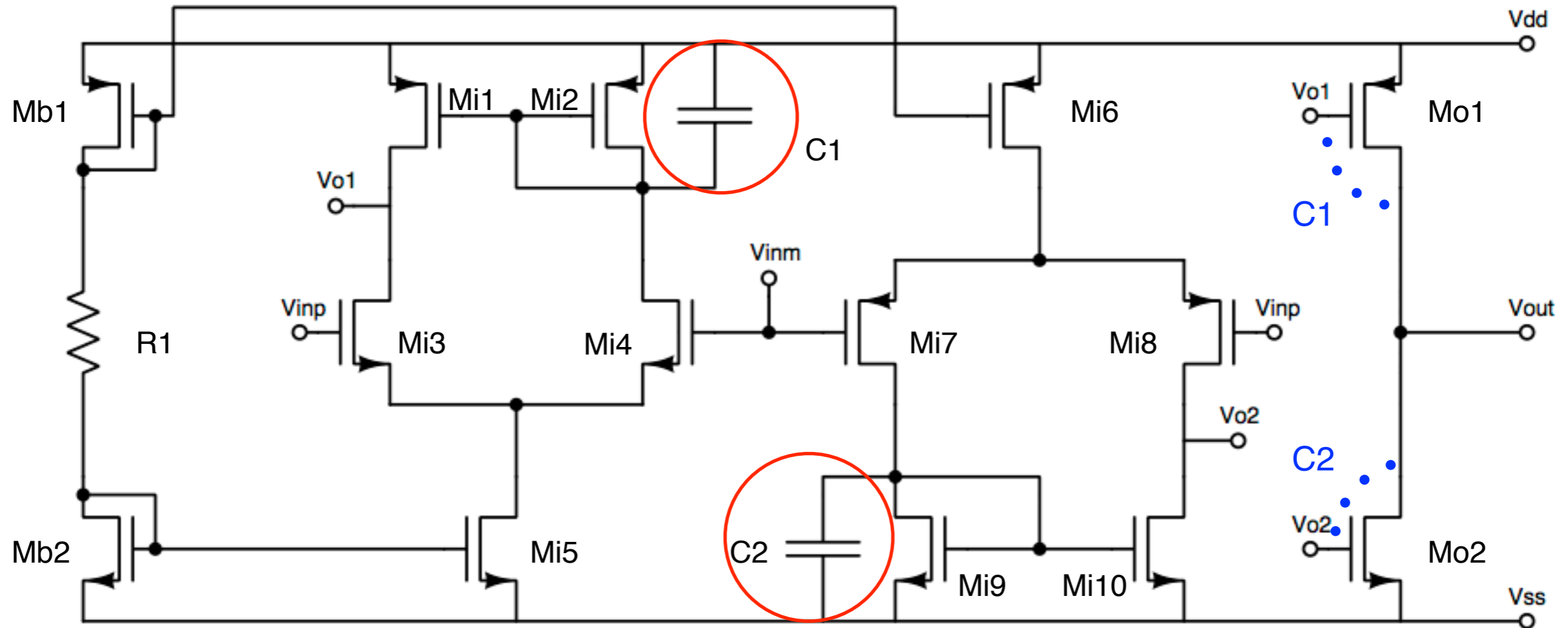
最初に設計した際はC無し

➡電流を絞ってゆくにつれ、位相余裕の要件を満たせず

➡青点線の位置にCを挟み、位相余裕を確保

➡現在の位置に変更したところ位相余裕をさらに多く確保できた

# Cの位置について



## 位相余裕

- 青点線の位置にCを挟んだ場合

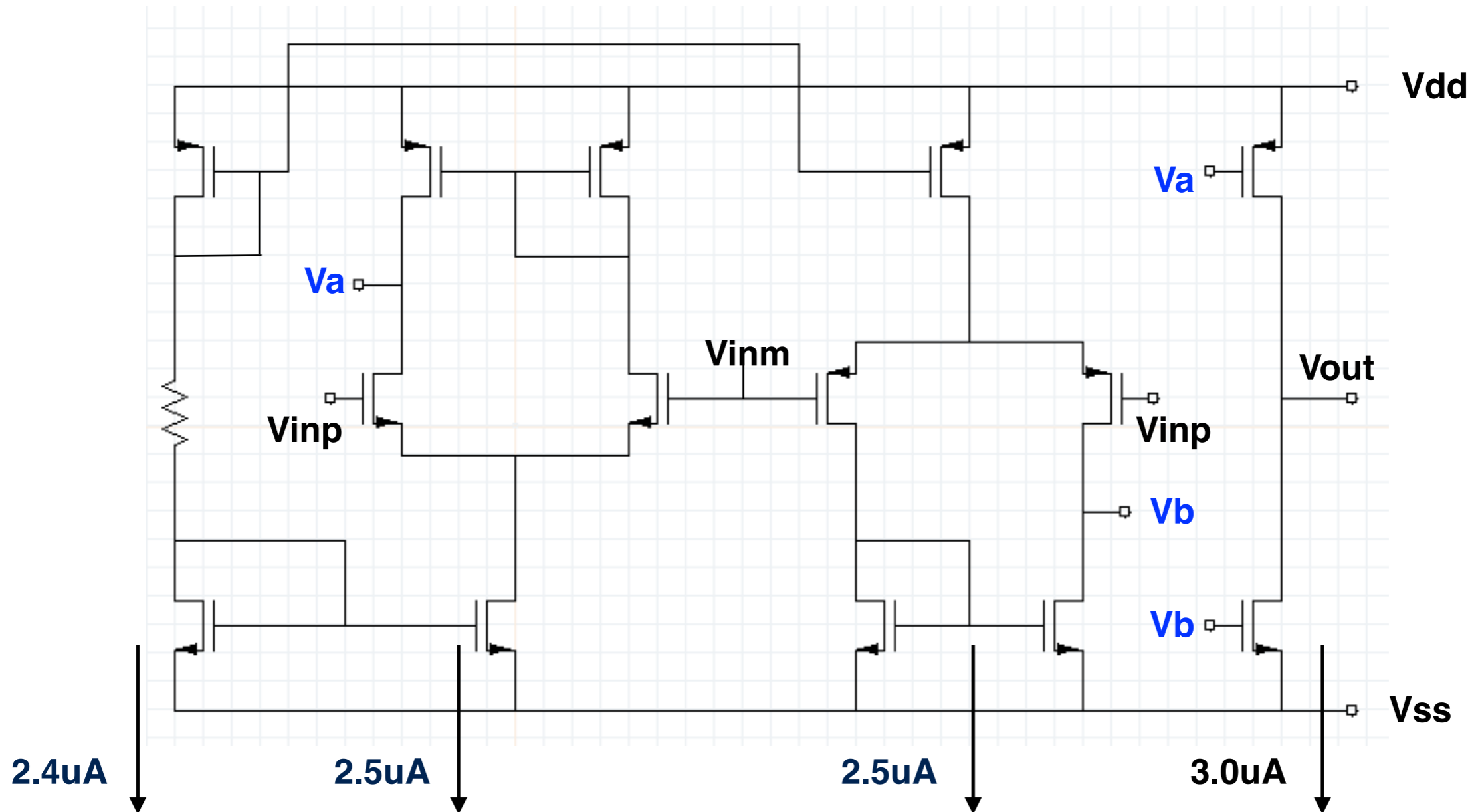
78.6[deg]

- 現在の位置に挟んだ場合

82.5[deg]

# この回路構成について

昨年はこのCを使用しない構成で挑戦したが、上位入賞を逃した



前回の反省：もっと電流を絞ってもよかった

➡今回は前回よりもマージンを詰めて半分程度の消費電流で動くように

# この回路構成について

項目	前回の評価値	今回の評価値
スルーレート	1.9685E+09	3.9946E+09
消費電流	1.0481E-05	8.7306E-06
同相入力範囲	9.8167E+01	9.8167E+01
直流利得	6.3712E+01	6.3749E+01
スコア	1.1747E+18	2.8633E+18

前回の反省：もっと電流を絞ってもよかった

➡今回は前回の半分程度の消費電流で動くように

➡設計段階では半分程度になったがコンテストの投稿システムでは1割減にとどまった

2018.12.07

# 演算増幅器設計コンテスト シミュレーションの部

第1部門 4位      第3部門 2位  
第2部門 2位      (第4部門 努力賞)

愛知工業大学 工学研究科  
電気電子工学専攻 光量子デバイス研究室  
修士1年 伊藤 裕也

# 参加するにあたり

## 設計する条件

- シミュレーション上でしか動作しないものはできるだけ作らない。
- なんとなくできた(再現性のない)回路は設計しない。

## 目標

昨年はギリギリ一つの部門で7位入賞

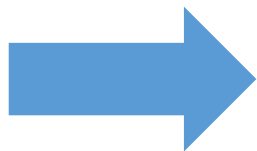
⇒今年は3位以上入賞と複数部門入賞を目指す。

# 部門1 評価式

$$\frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得} [dB]}{\text{消費電流}}$$

直流利得、同相入力範囲は例年の結果を見ると...

直流利得 40 ~ 80 dB  
同相入力範囲 90 ~ 100 %



あまり差がつかない

いかにスルーレートを高くし、消費電流を低くするか？

# 部門1 設計方針

SRを向上させるには・・・

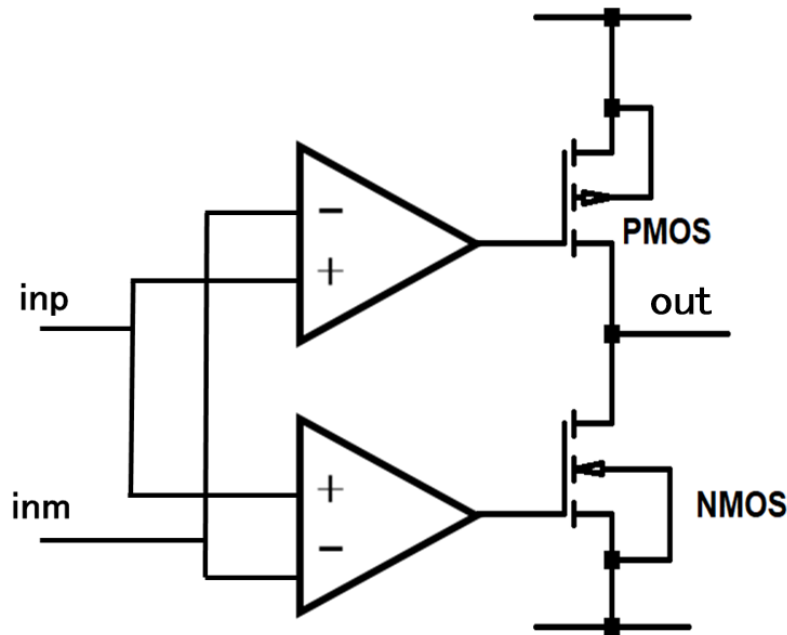
1. AB級出力回路  
⇒2つの入力段でAB級動作
2. 寄生容量を低減  
⇒MOSのチャネル長を最小(0.18um)で設計
3. 位相補償容量の低減  
⇒MOSの寄生容量を使用

目標 :  $SR = 1.0 \times 10e+10$

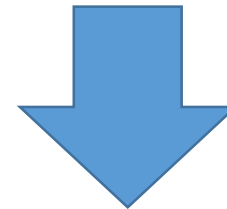


# 部門1 設計回路

## AB級出力回路



2つの入力段でAB級動作

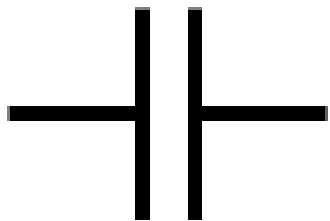


入力段の電流を絞りつつ、  
出力段をAB級動作

少ない構成でAB級動作を行う(寄生容量小)

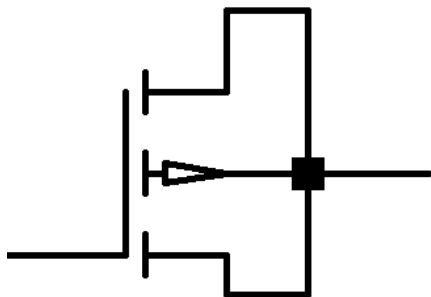
# 部門1 設計回路

## 位相補償容量の低減



100fF以下のキャパシタは使用不可

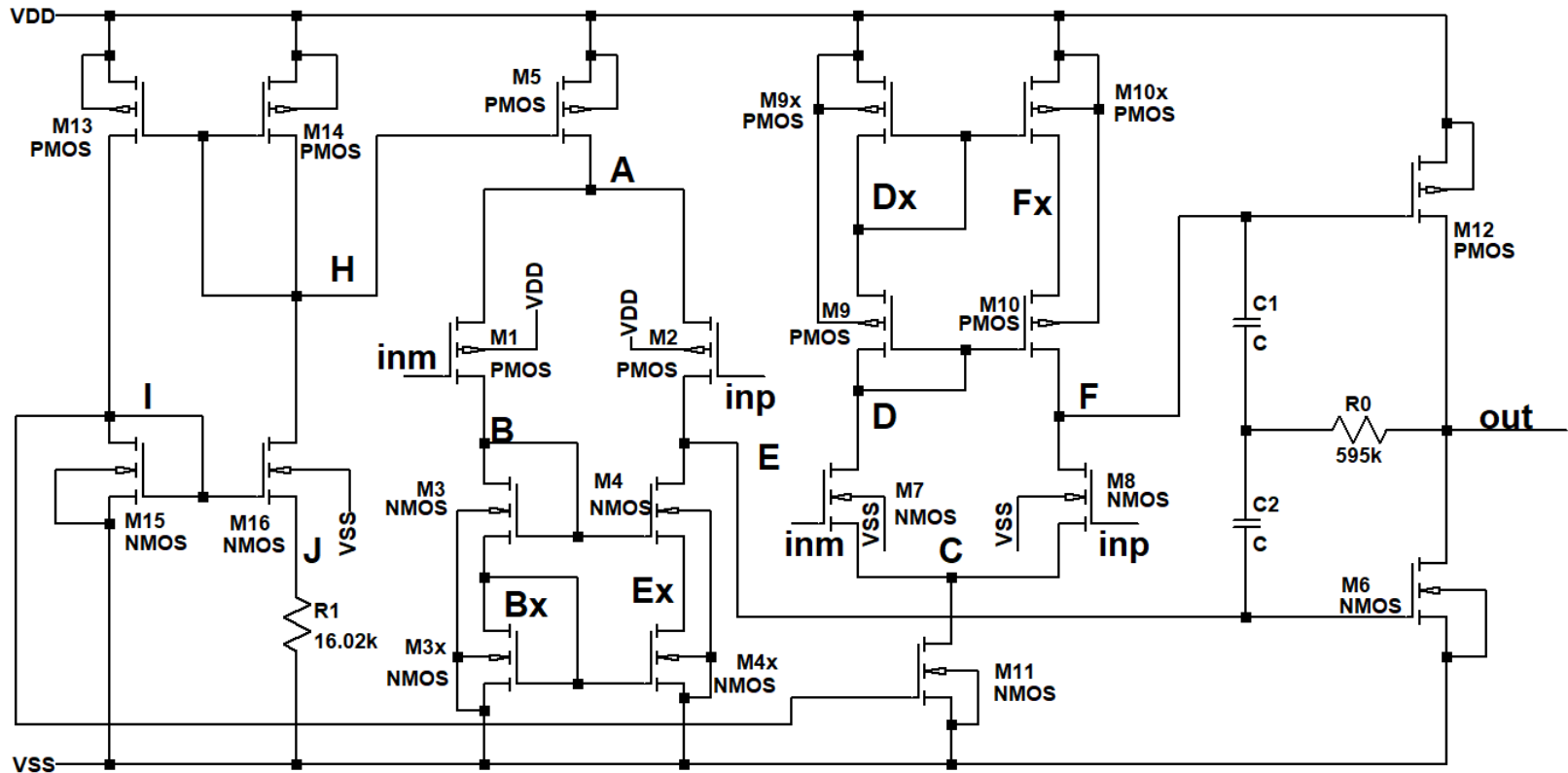
位相補償なしでは位相余裕を満たさない...



PMOSのゲート容量を使用

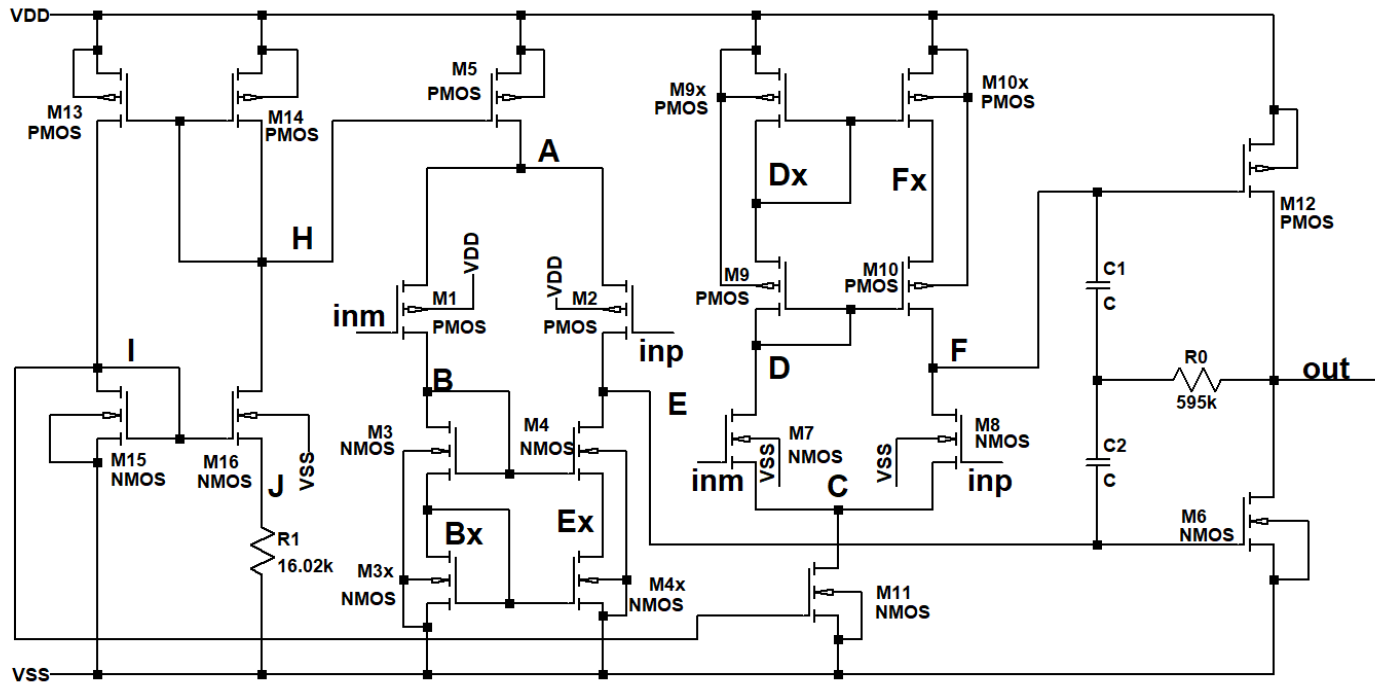
位相余裕のギリギリの容量を作ることが可能に

# 部門1 設計回路



VDD = 1.5V    NMOSバルク: VSS  
VSS = -1.5V    PMOSバルク: VDD

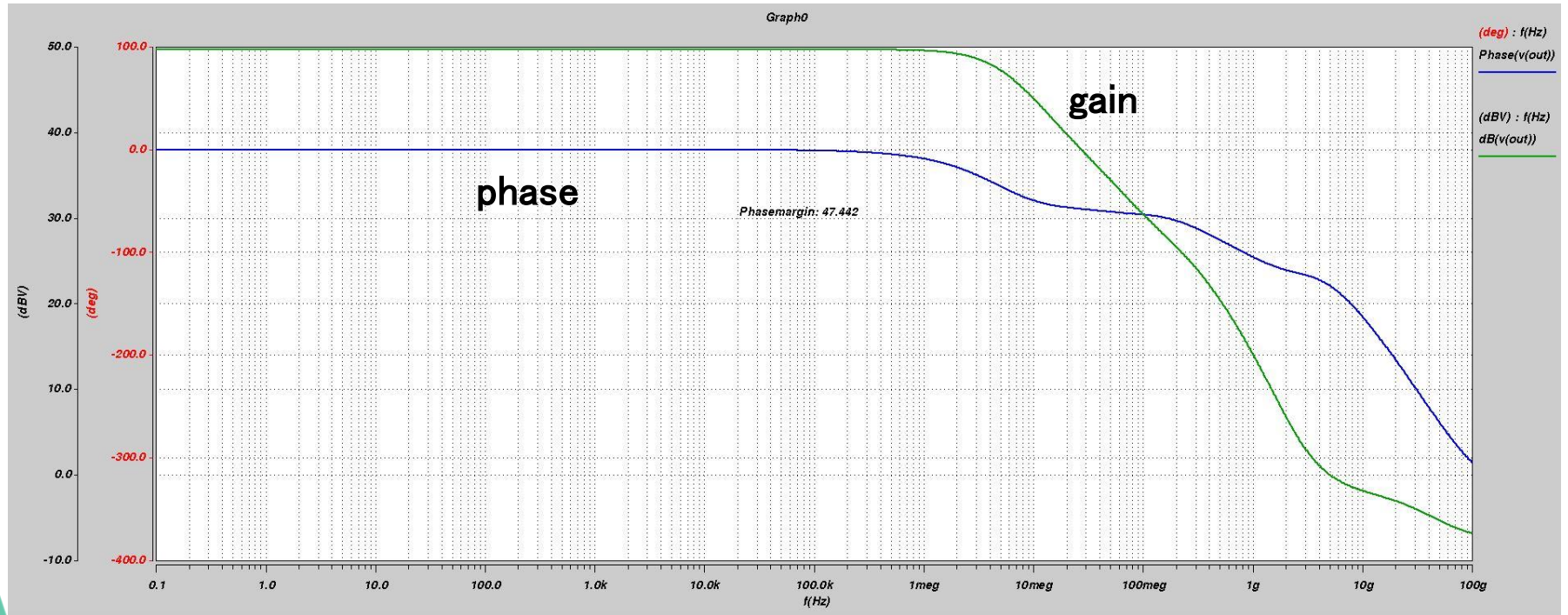
# 部門1 設計回路



NMOS : L=0.18 $\mu$ m, W=0.27 $\mu$ m , M=1(M11,15,16以外)  
L=0.80 $\mu$ m, W=2.40 $\mu$ m , M=1(M15), M=4(M16)  
L=2.00 $\mu$ m, W=3.00 $\mu$ m , M=2(M11)

PMOS : L=0.18 $\mu$ m, W=1.08 $\mu$ m , M=1 (M5,12,13,14以外), M=4(M12)  
L=0.80 $\mu$ m, W=9.60 $\mu$ m , M=4(M13,14)  
L=2.00 $\mu$ m, W=12.0 $\mu$ m , M=2(M5)

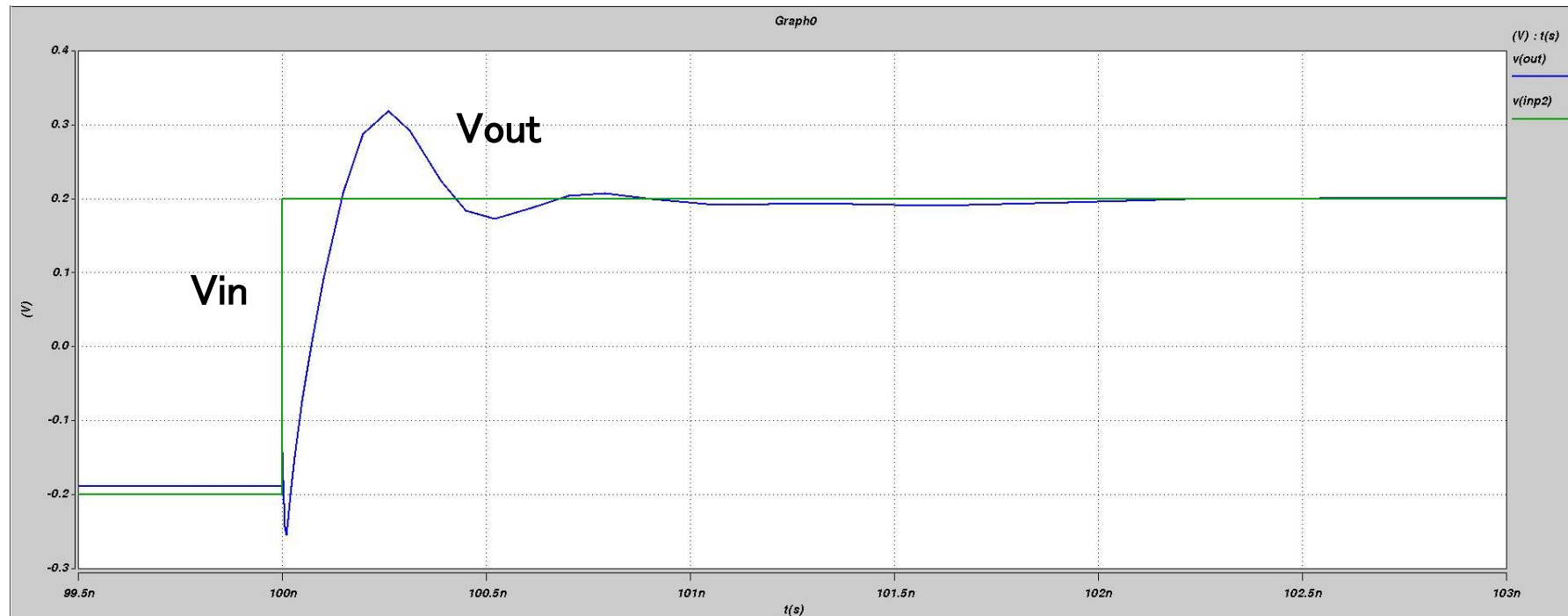
# 部門1周波数特性



直流利得 : 49.706dB

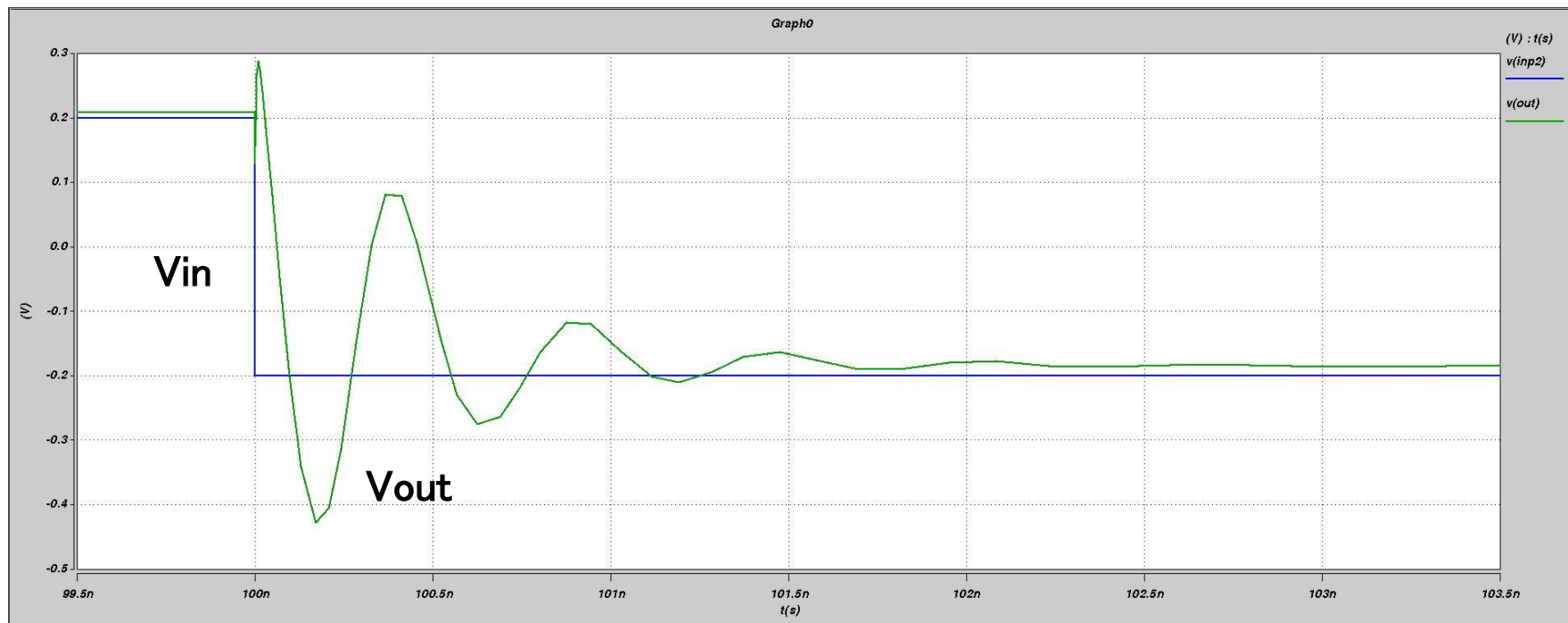
位相余裕 : 47.442°

# 部門1 立ち上がりスルーレート



立ち上がりSR :  $3.111\text{e}9$  V/s

# 部門1 立ち下がりがりスルーレート



立ち下がりがりSR :  $5.910e9$  V/s

# 部門1 スコア

スルーレート[V/s]	1.0128e+10
消費電流[A]	1.4670e-04
同相入力範囲[%]	97.000e+01
直流利得[dB]	6.1158e+01
スコア	4.0956e+17

## まとめ

- 二つの入力でAB級動作
- 位相補償容量の低減  
⇒ 目標のスルーレート1.0e+10を達成



# 部門2 評価式

利得帯域幅積 × 位相余裕

消費電力<sup>2</sup> × 出力抵抗 × 入力換算雑音

利得帯域幅積と位相余裕はトレードオフ



出力抵抗を最小の0.1Ωにしつつ、  
2乗で効いてくる消費電力を減らす

# 部門2 設計方針

出力抵抗と消費電力を落とすのは必須

1. 出力抵抗 $0.1\ \Omega$

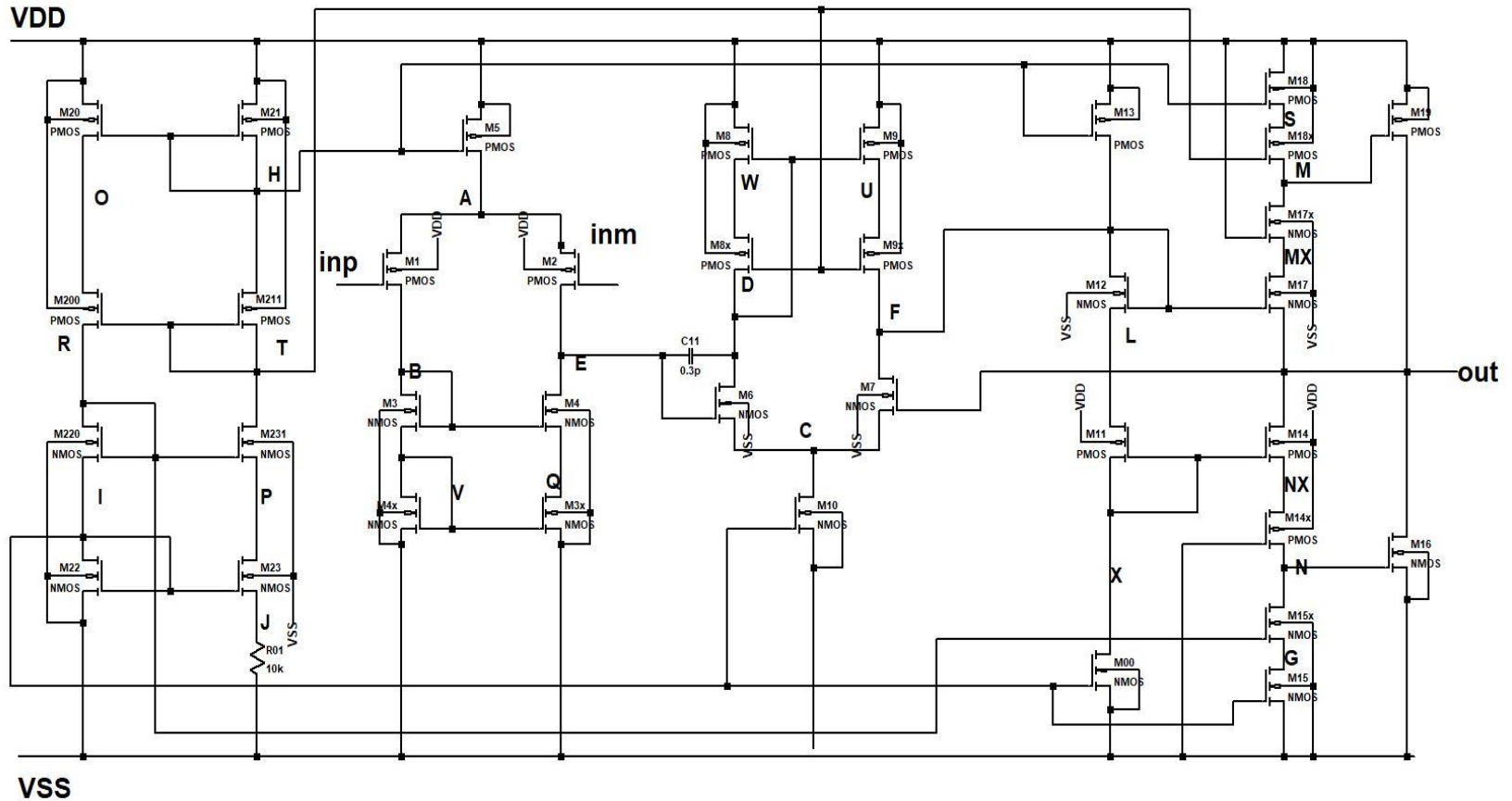
⇒負帰還アンプ＋スーパーソースフォロワ

2. 上を満たしつつ低消費電力化

⇒AB級出力回路

AB級負帰還スーパーソースフォロワ

# 部門2 回路構成

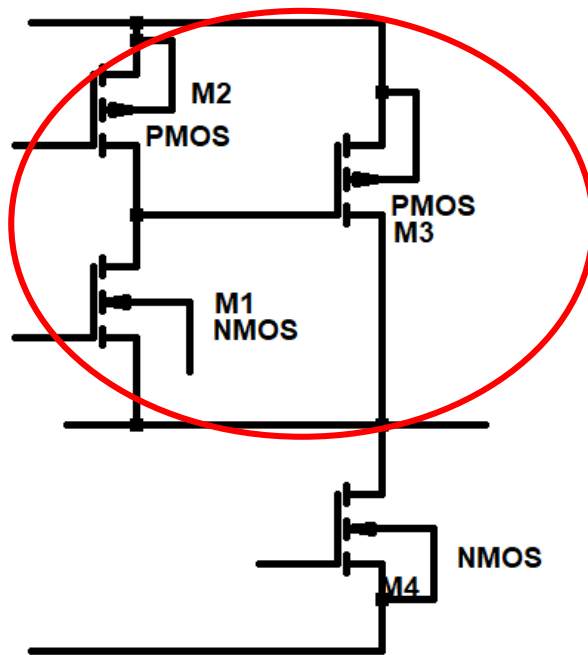


VDD = 1.5V    NMOSバルク: VSS  
VSS = -1.5V    PMOSバルク: VDD

# 部門2 設計回路

・出力抵抗を下げる

⇒スーパーソースフォロワ(SSF)



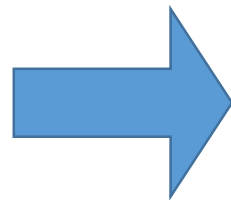
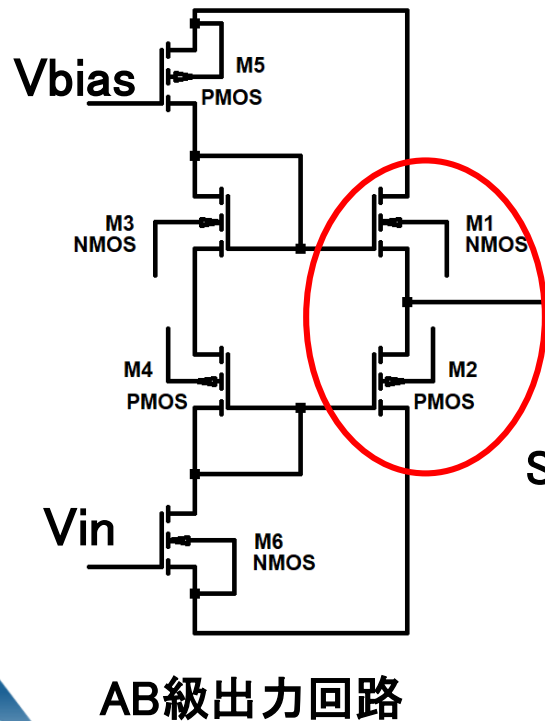
SSFの出力抵抗

$$R_{out} \doteq \frac{1}{g_{m1}g_{m3}r_{o1}}$$

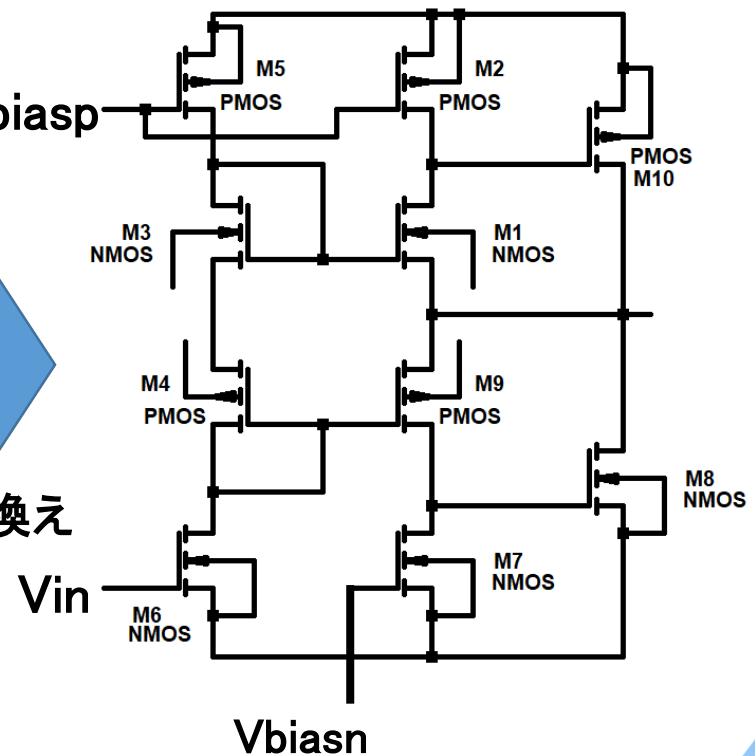
ダーリントン接続により、ソースフォロワよりも出力抵抗を下げる  
ことができる

# 部門2 設計回路

- 消費電力を下げる  
⇒ AB級出力回路 + 負帰還SSF

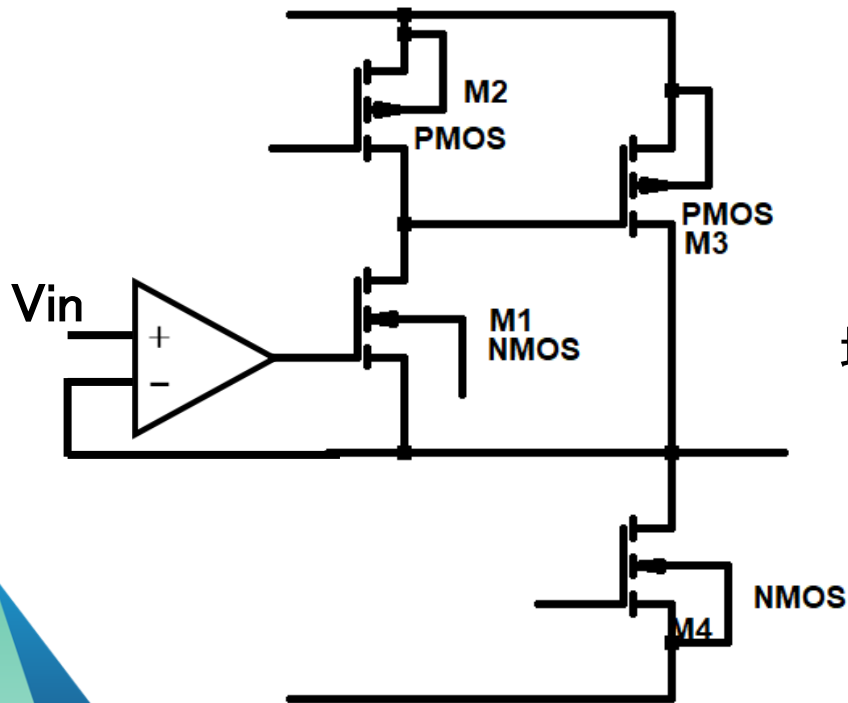


SSFに置き換え



# 部門2 設計回路

- ・更に出力抵抗を下げる⇒SSF+負帰還アンプ



SSFの出力抵抗

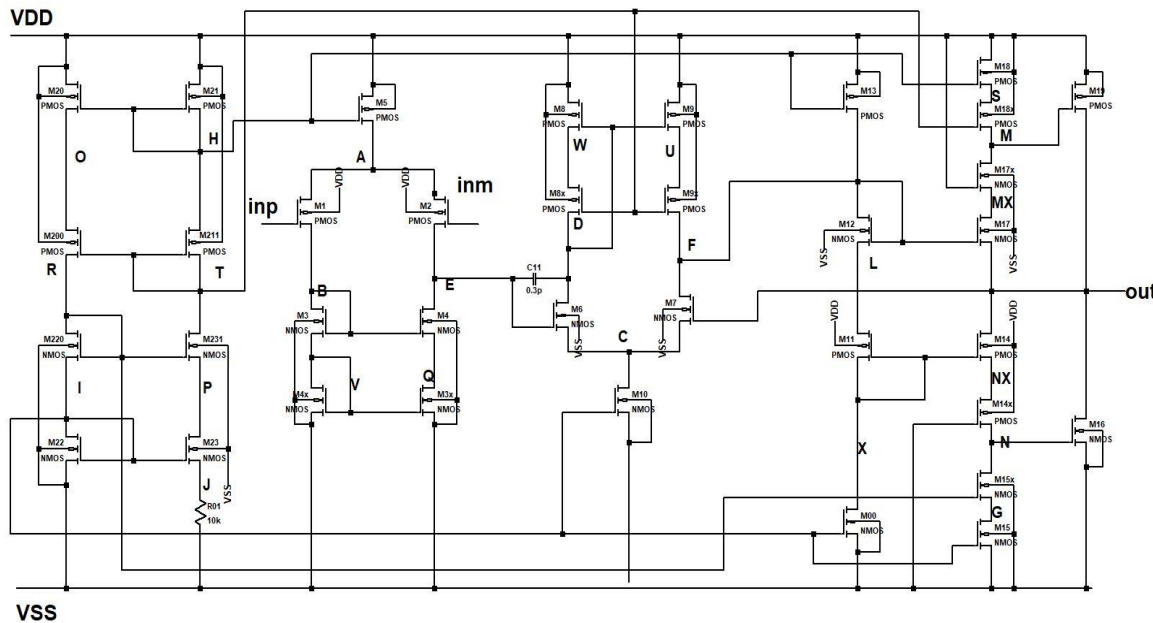
$$R_{out} \doteq \frac{1}{g_{m1}g_{m3}r_{o1}}$$

増幅器の利得A倍出力抵抗を下げる

SSF+負帰還の出力抵抗

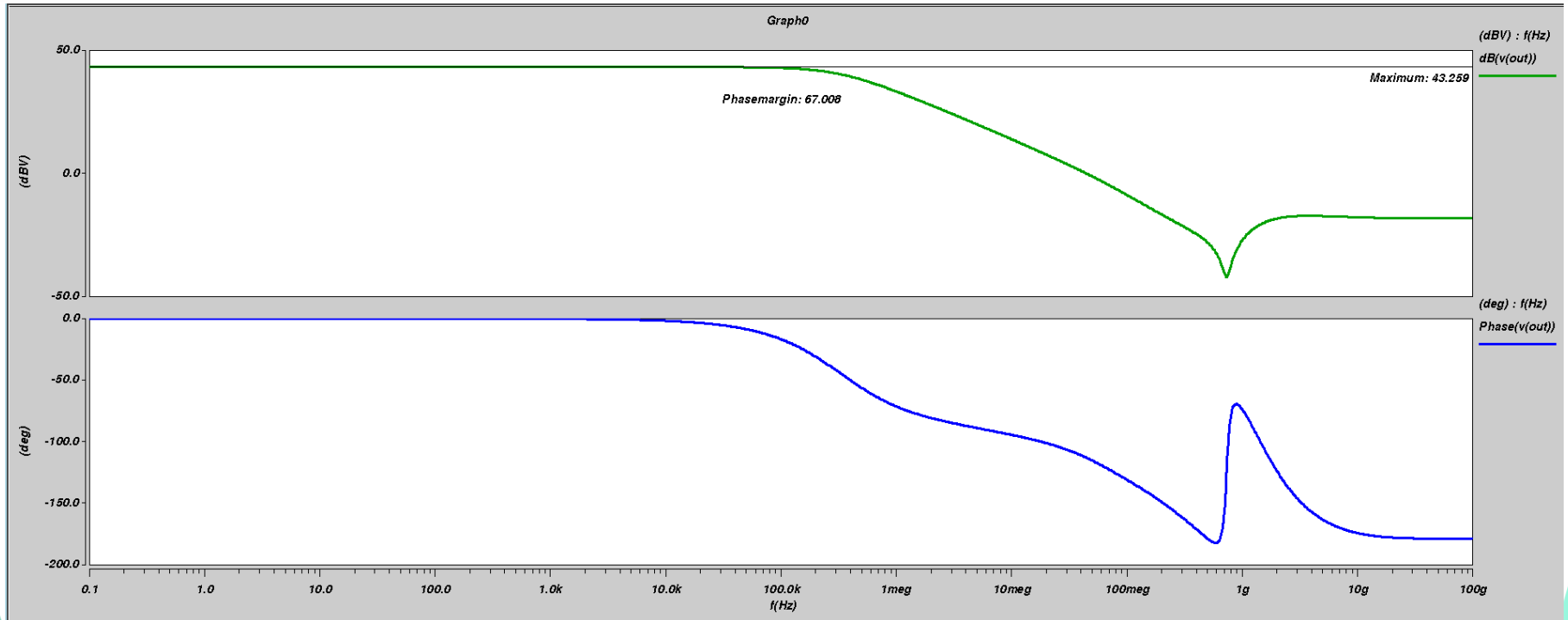
$$R_{out} \doteq \frac{1}{Ag_{m1}g_{m3}r_{o1}}$$

# 部門2 回路構成



- NMOS: L=0.25um, W=6.60um(M17,17x)  
 L=0.50um, W=1.40um(M3,4),  
 W=6.60u(M12)  
 W=15.70um(M6,7)  
 L=1.00um, W=1.88um(M22,220),  
 W=7.46(M23,231)  
 L=1.70um, W=13.2um(M10)  
 L=2.00um, W=5.60um(M3x,4x)  
 L=3.00um, W=13.2um(M15,15x)  
 L=3.20um, W=6.60um(M00)  
 L=4.00um W=6.6u(M16,19)  
 PMOS: L=1.00um, W=17.3um(M1,2),  
 W=8.08um(M5),  
 W=4.04um(M20,21,200,211)  
 L=0.25um, W=1.09um(M8,9,8x,9x),  
 W=6.60um(M14,14x)  
 L=0.50um, W=6.60um(M11)  
 L=2.00um, W=13.2um(M13,18,18x),  
 L=4.00um, W=6.60um(M19)
- C : C11 = 0.3pF  
 R : R01 = 10kΩ

# 部門2 周波数特性



直流利得 : 43.259dB

位相余裕 : 67.008°



# 部門2 スコア

消費電力[W]	3.8765e-04
出力抵抗[Ω]	1.0000e-01
入力換算雑音[V]	2.1565e-03
利得帯域幅積[Hz]	4.1081e+07
位相余裕[° ]	5.7267e+01
スコア	7.2597e+19

## まとめ

- 負帰還＋AB級SSF
  - ⇒上位入賞の条件の出力抵抗0.1Ωを達成
  - ⇒消費電力は改良の余地アリ

# 部門3 評価式

電源電圧変動除去比 × 同相除去比

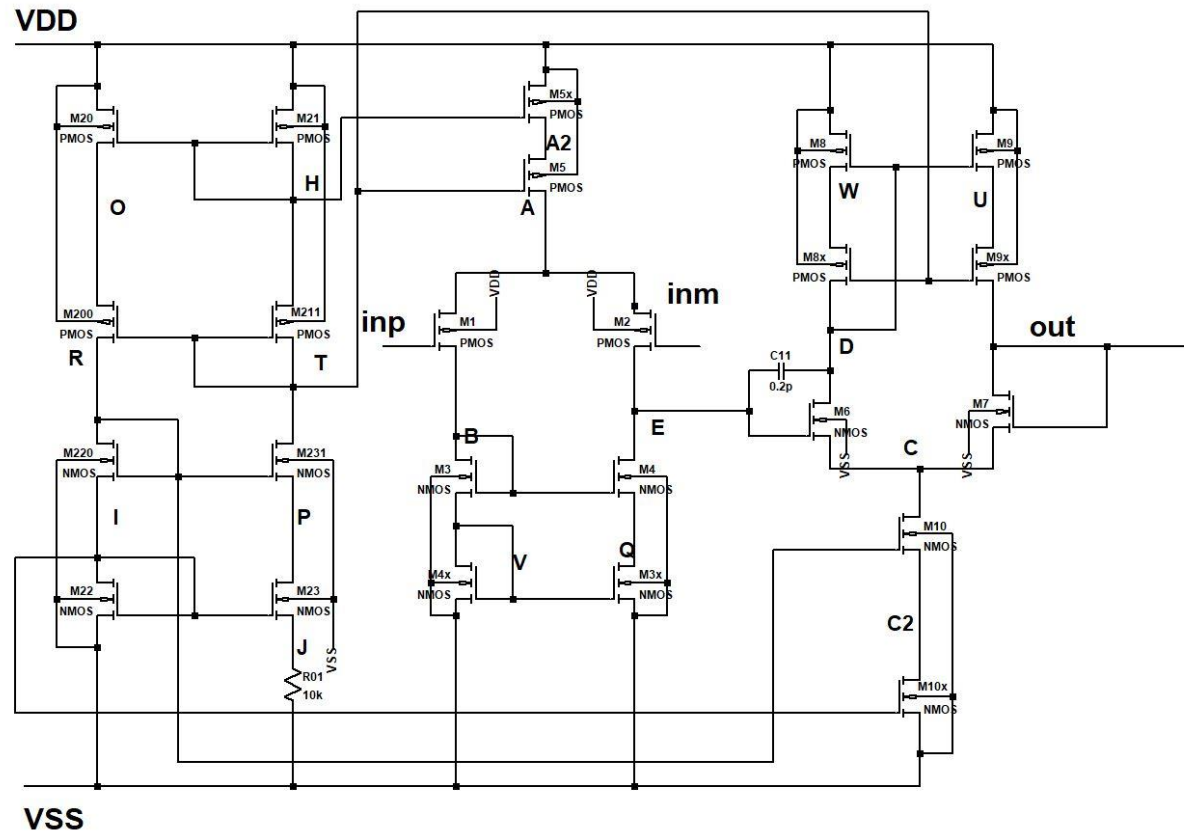
---

直流利得<sup>2</sup> × 電源電圧

分母の直流利得は真値なので・・・

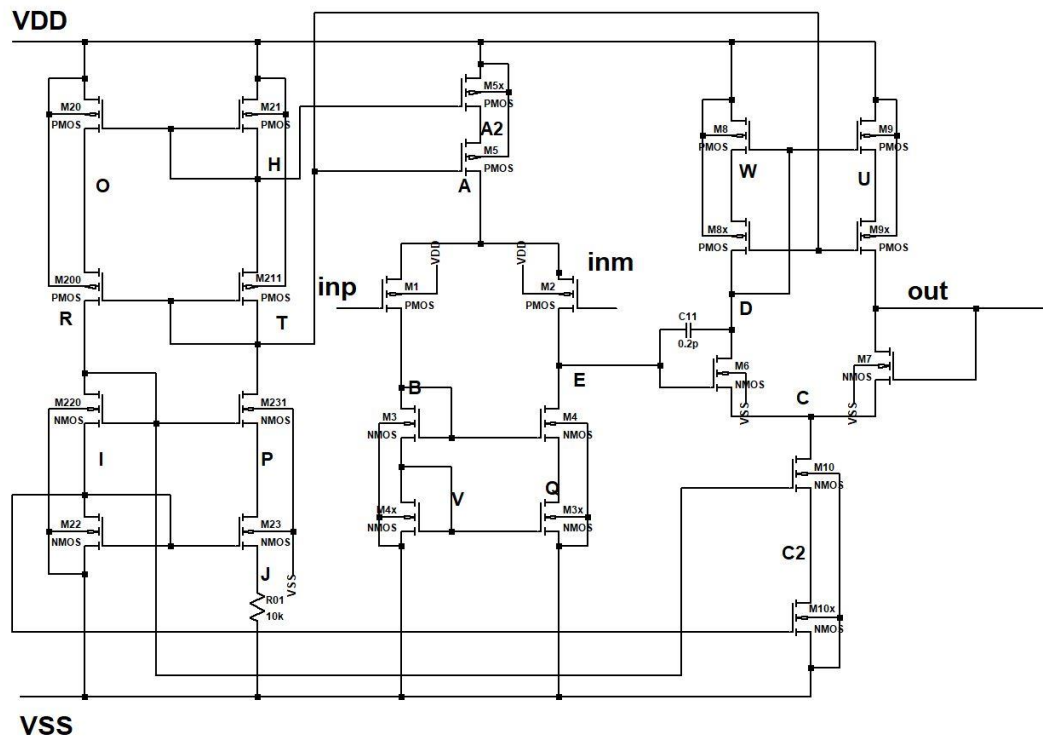
1. 直流利得は最低条件の40dBを目指す
2. 上記を満たしつつCMRRを上げる

# 部門3 回路構成



VDD = 1.5V    NMOSバルク: VSS  
VSS = -1.5V    PMOSバルク: VDD

# 部門3 回路構成



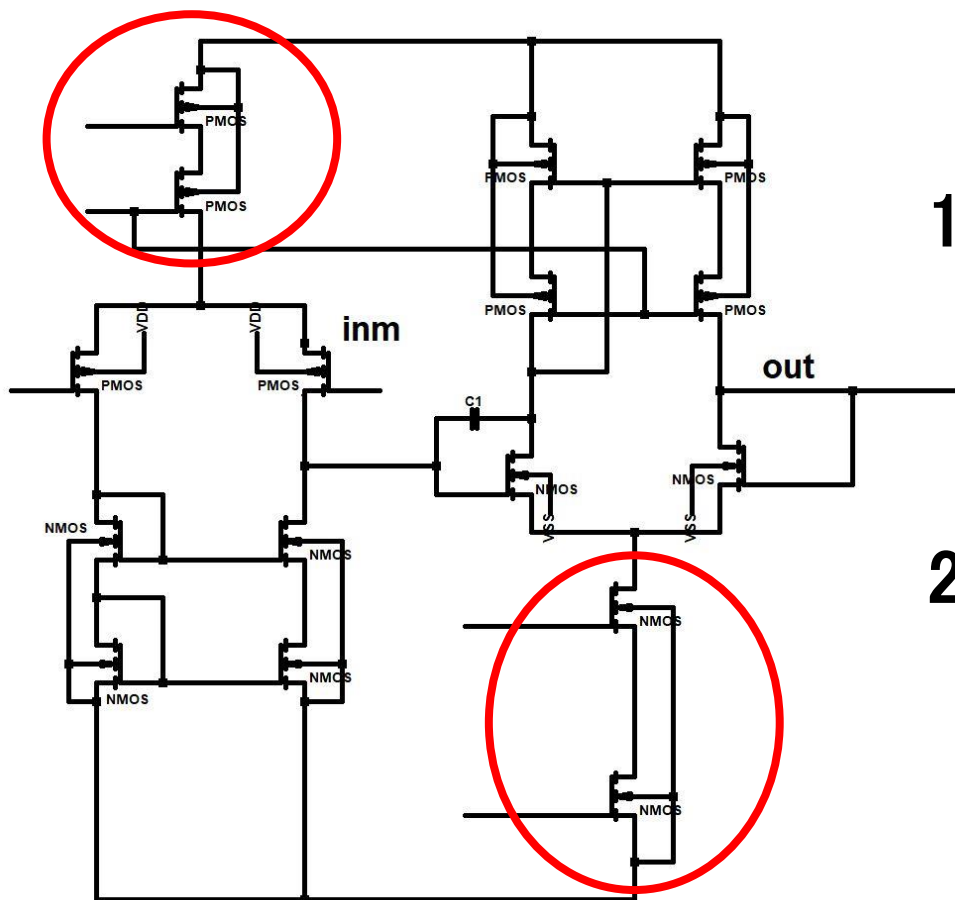
PMOS :  $L=0.50\mu\text{m}$ ,  $W=8.65\mu\text{m}$ (M1,2),  
 $L=0.25\mu\text{m}$ ,  $W=1.09\mu\text{m}$ (M8,9,8x,9x)  
 $L=2.00\mu\text{m}$ ,  $W=7.00\mu\text{m}$ (M5,5x)  
 $L=1.00\mu\text{m}$ ,  $W=4.04\mu\text{m}$ (M20,21,200,211)

NMOS :  $L=0.50\mu\text{m}$ ,  $W=1.40\mu\text{m}$ (M3,4,3x,4x),  
 $W=15.70\mu\text{m}$ (M6,7)  
 $L=1.70\mu\text{m}$ ,  $W=6.60\mu\text{m}$ (M10,10x)  
 $L=1.00\mu\text{m}$ ,  $W=1.88\mu\text{m}$ (M22,220),  
 $W=7.46\mu\text{m}$ (M23,231)

C : C11 = 0.2pF

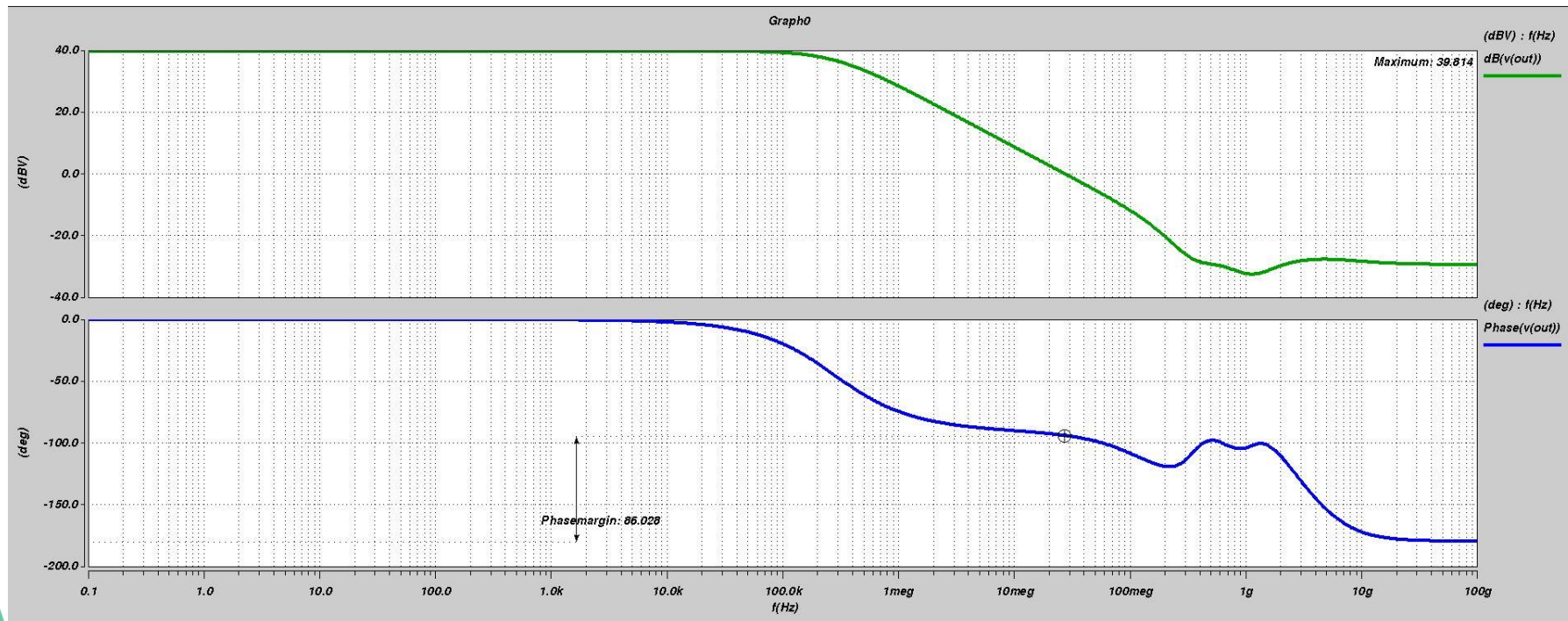
R : R01 = 10k $\Omega$

# 部門3 設計回路



1. 直流利得を下げる  
⇒ 部門2の負帰還を採用
2. CMRRを上げる  
⇒ 電流源をカスコード

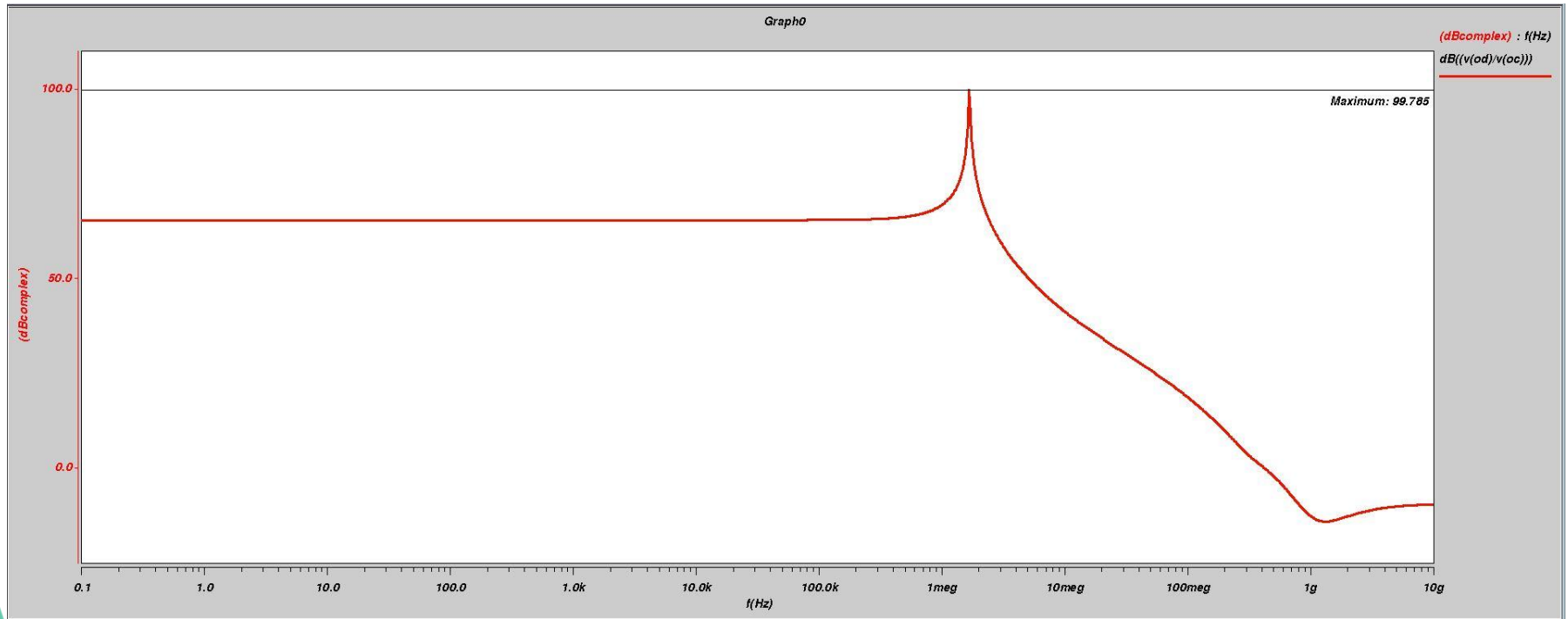
# 部門3 周波数特性



直流利得 : 39.814dB

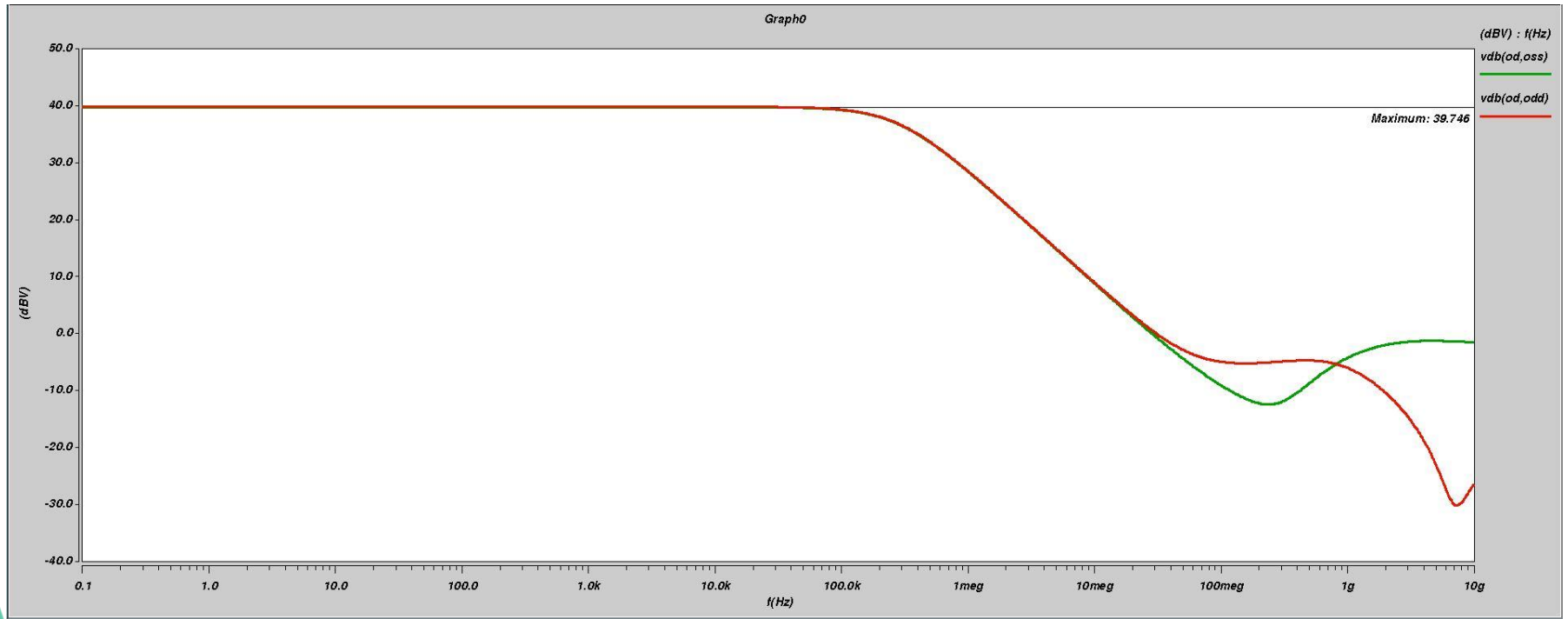
位相余裕 : 86.028°

# 部門3 CMRR



**CMRR : 99.785dB**    **差動利得 : 39.814dB**  
**同相利得 : -16.974dB**

# 部門3 PSRR



PSRR : 39.745dB



# 部門3 スコア

電源電圧変動除去比[dB]	4.2112e+01
同相除去比[dB]	1.0275e+02
直流利得[dB]	4.1667e+01
電源電圧[V]	3.0000e+00
スコア	3.9745e+02

## まとめ

- 負帰還を採用して直流利得を抑えた  
⇒最低条件ギリギリを達成
- 電流源のカスコード化でCMRRの向上

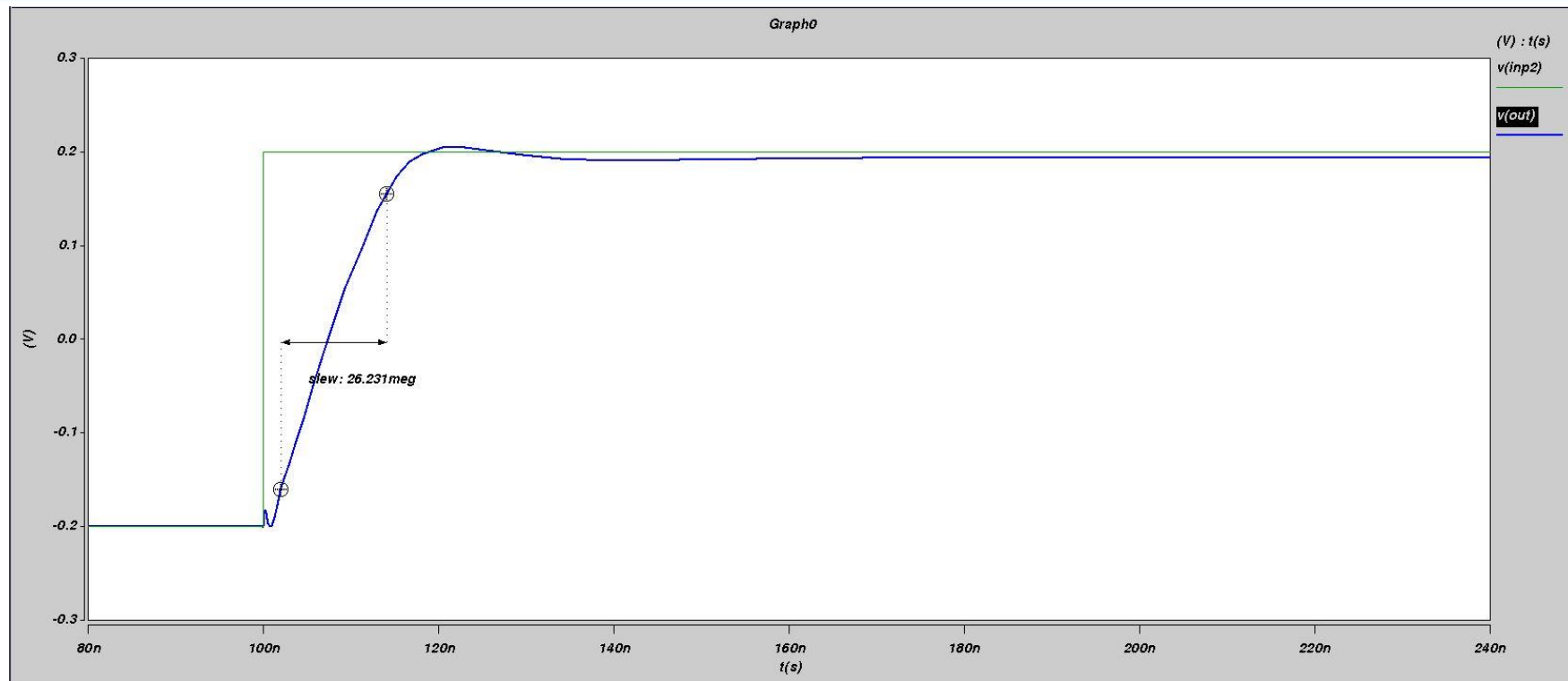
# 総括と今後の展望

## 感想

- 各部門ごとに重視する点が異なり、それぞれに特化した様々な演算増幅器を設計することができ、良い経験になった
- 来年は今年の実験や見つかった課題を踏まえて1位を狙っていきたい

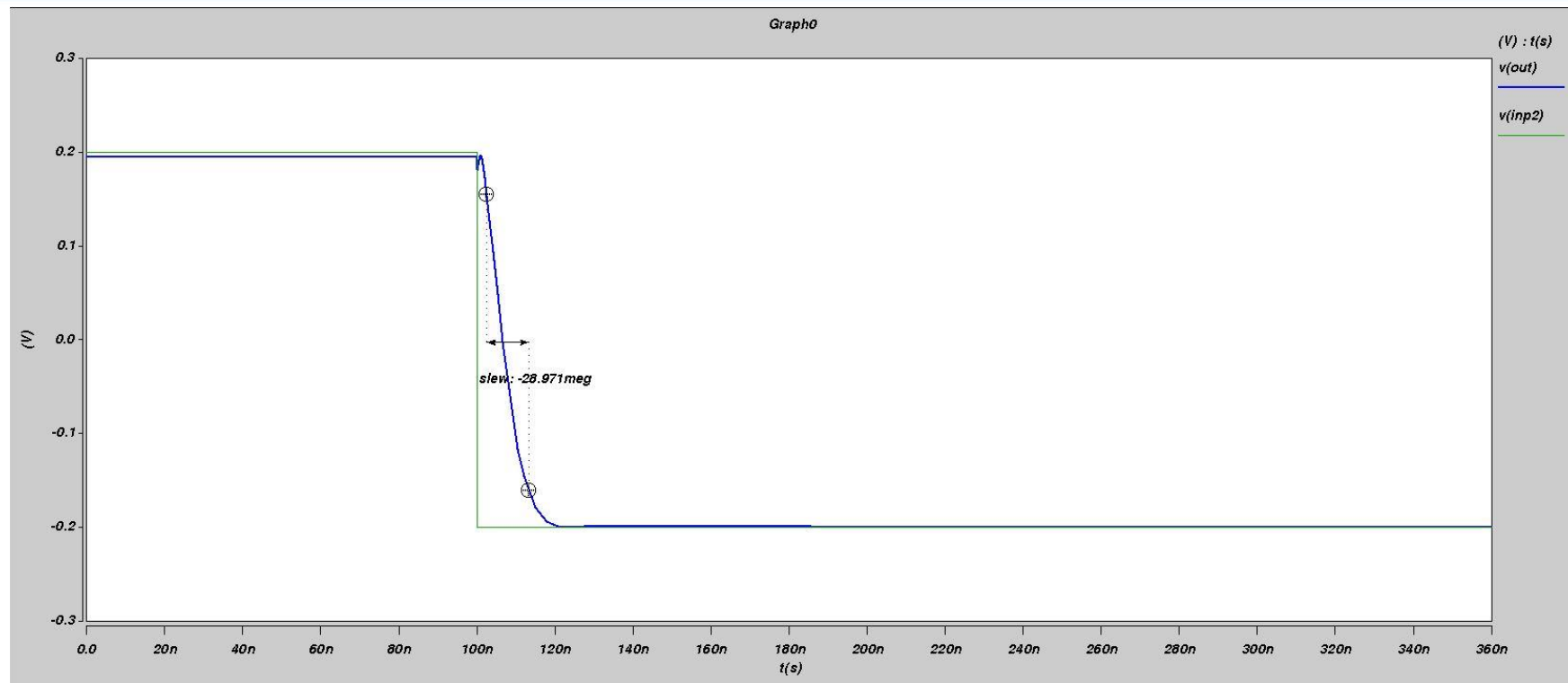
演算増幅器設計コンテストの運営にかかわる皆様  
並びに協賛企業の皆様に  
厚くお礼申し上げます。

# 部門2 スルーレート



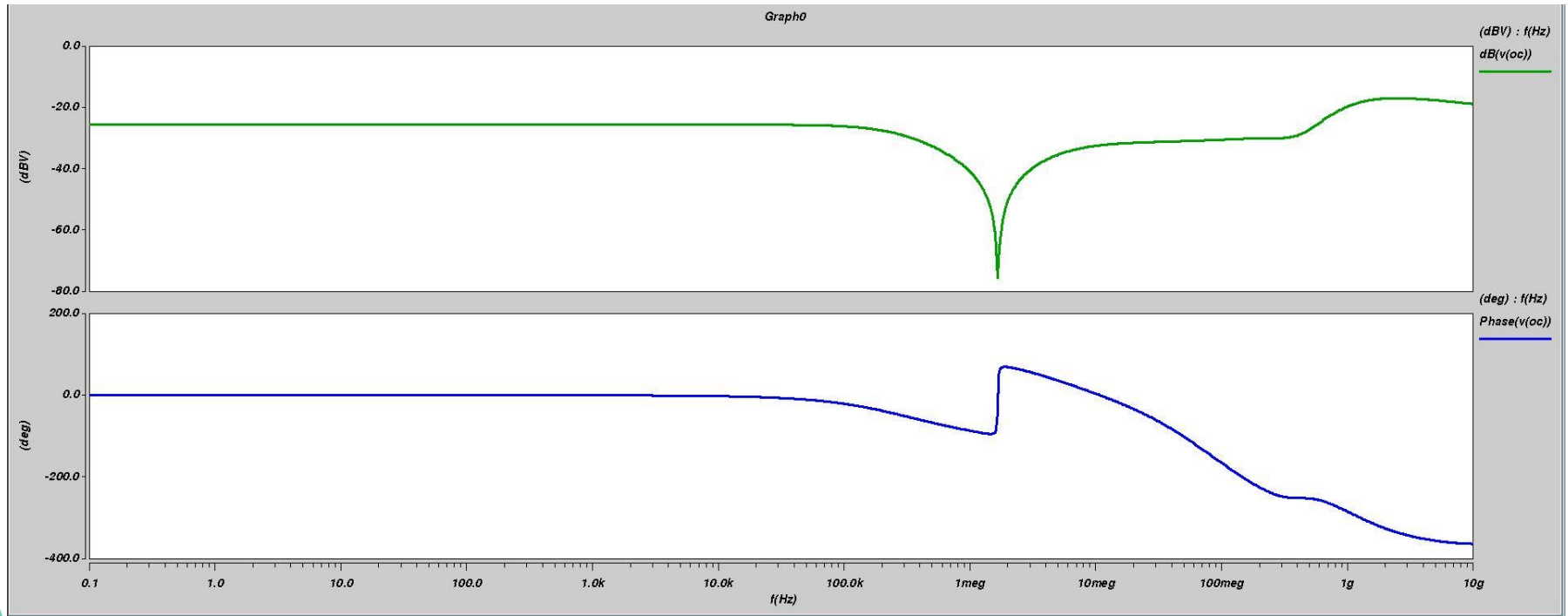
立ち上がりSR :  $2.623e7$  V/s

# 部門2 スルーレート



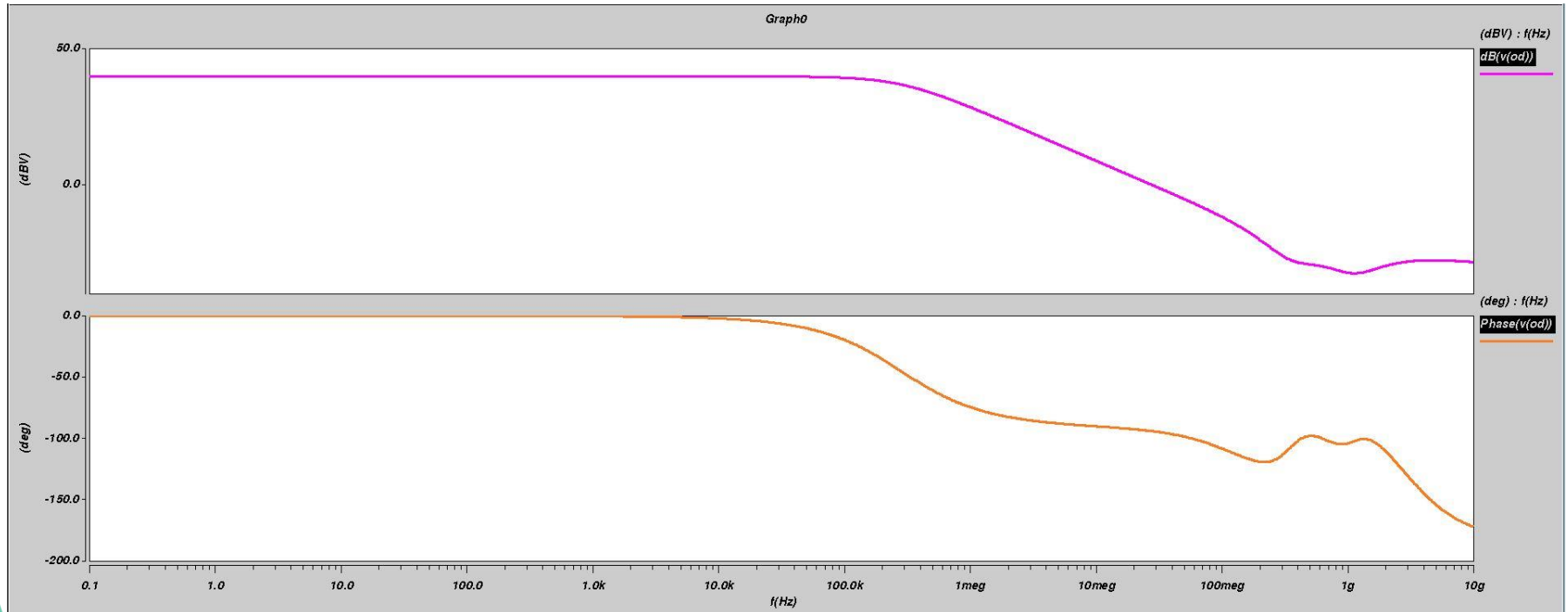
立ち下がりがSR :  $2.897e7$  V/s

# 部門3 同相利得



同相利得 : -16.974dB

# 部門3 差動利得



差動利得 : 39.814dB



Takai Laboratory

# 演算増幅器コンテスト シミュレーションの部

群馬大学 修士1年

松場 輝樹

部門3 1位

# 評価項目と設計方針

## 部門 3 の評価式

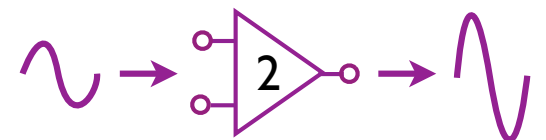
### 得点

$(\text{電源電圧変動除去比} \times \text{同相除去比}) \div (\text{直流利得}^2 \times \text{電源電圧})$

電源電圧変動除去比と電源電圧はトレードオフの関係

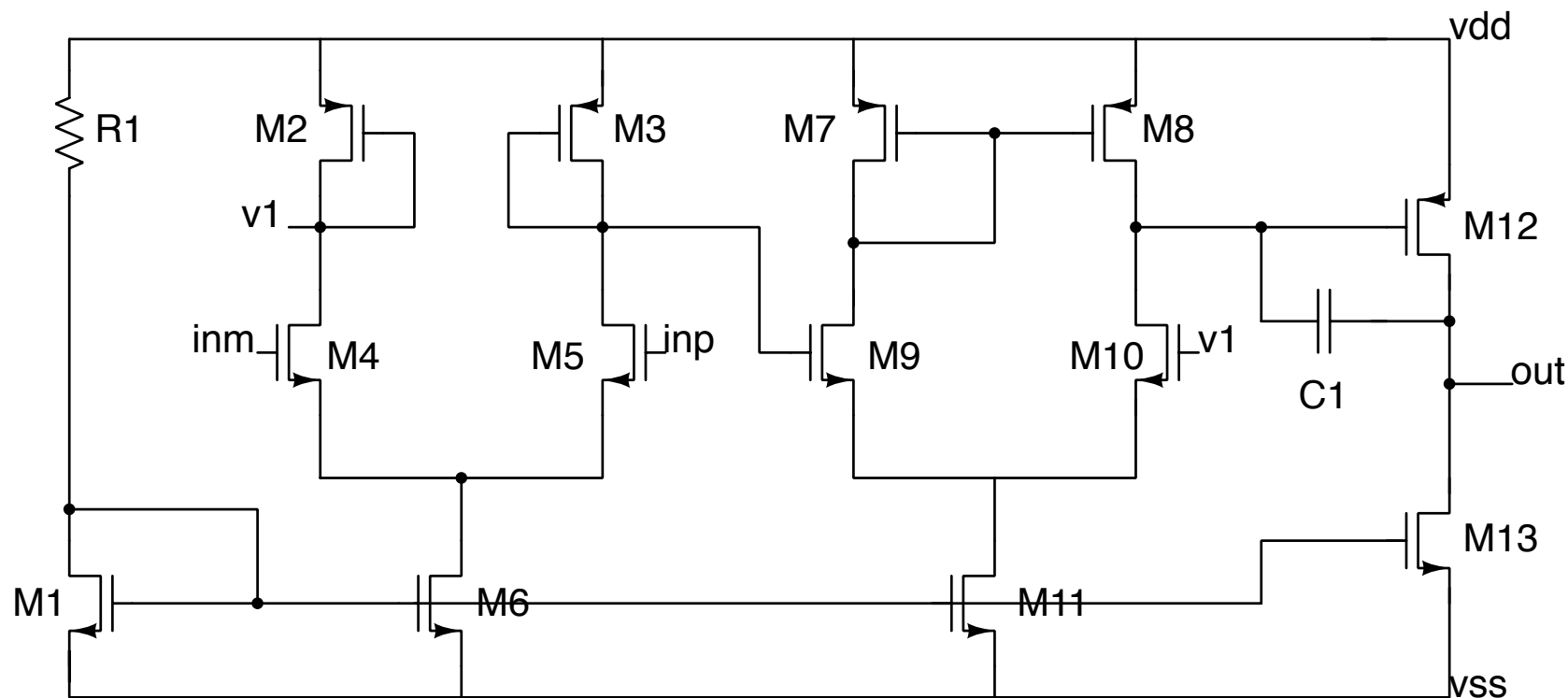


同相除去比をいかにあげるかが重要になる





# 提出回路



Vdd = 1.5V Vss = -1.5V R1 = 63.65Ω C1 = 14pF

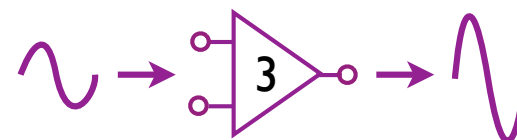
トランジスタのWの値

M1 = 4.0u M2 = M3 = 8.4u M4 = M5 = 2.0u M6 = 3.2u

M7 = M8 = 6.8u M9 = M10 = 1.6u M11 = 3.0u

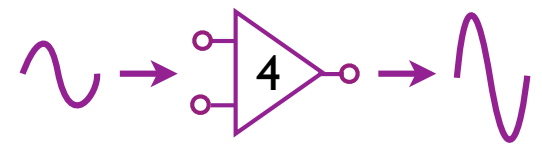
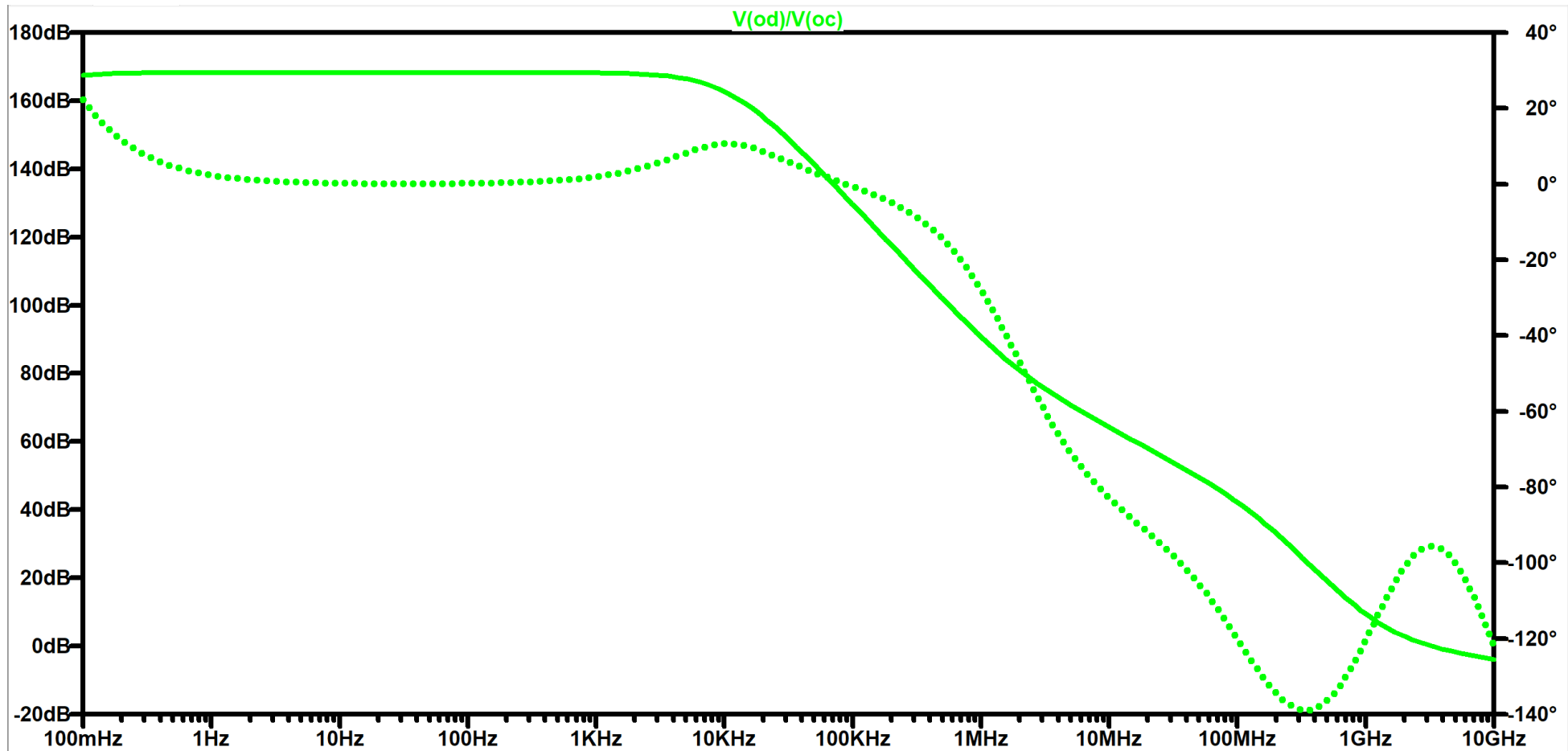
M12 = 9.2u M13 = 2.2u

Lの値 0.8uで統一

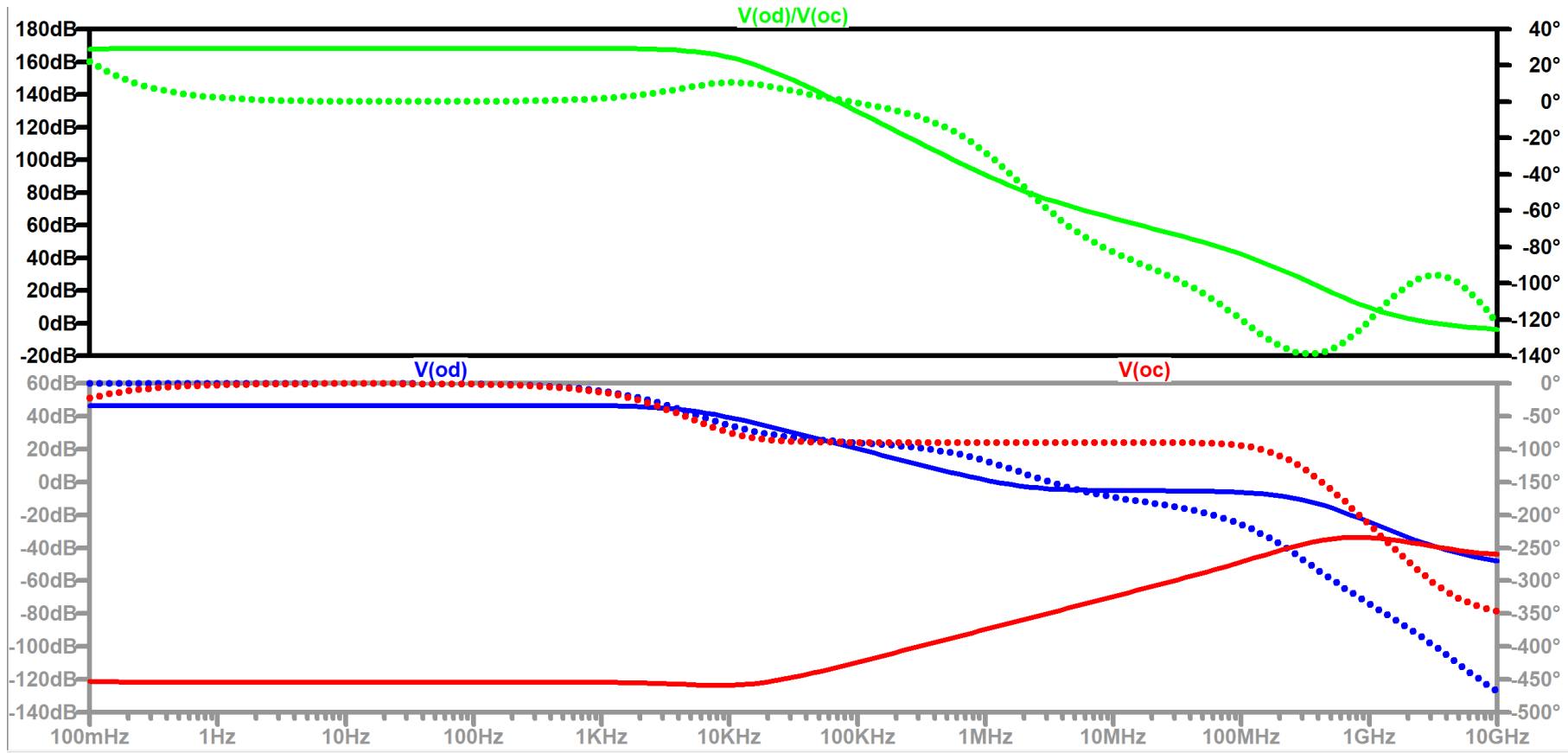


# CMRR

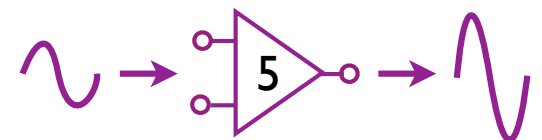
## CMRRシミュレーション



# CMRR

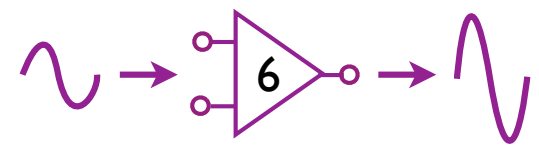
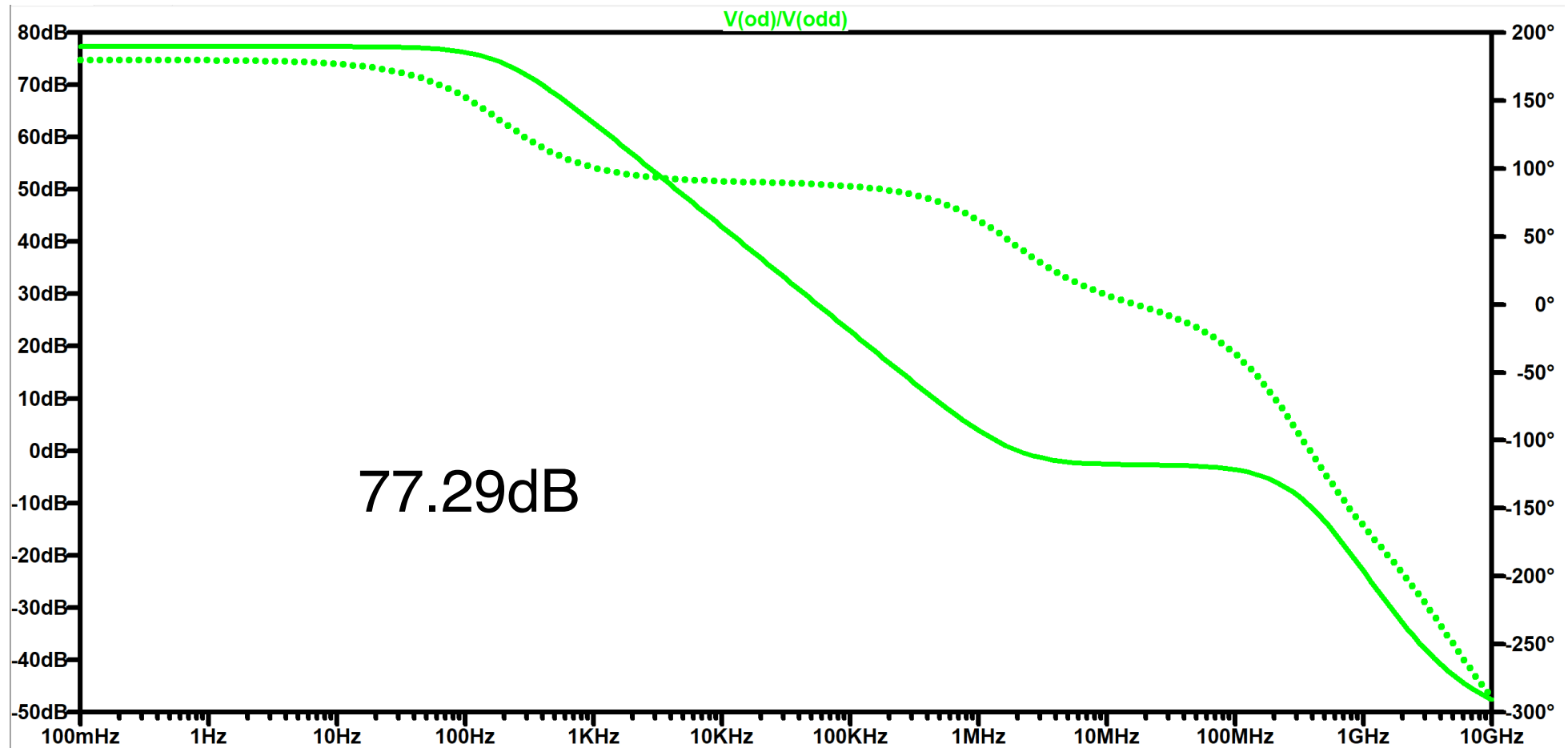


同相利得を小さくすることで、電源電圧変動除去比を高く

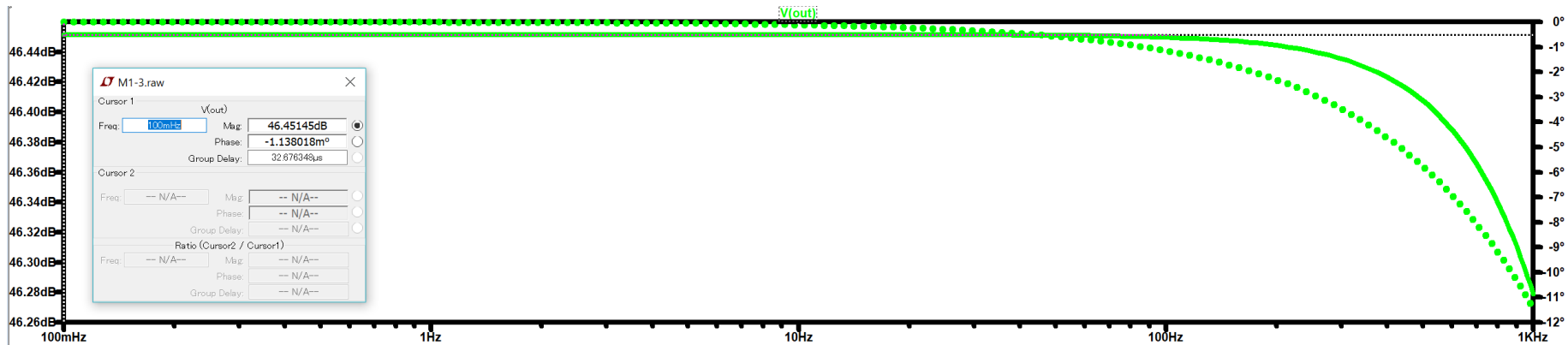


# PSRR

Vdd側



# DCgain



シミュレーション

直流利得 : 46.45145 dB

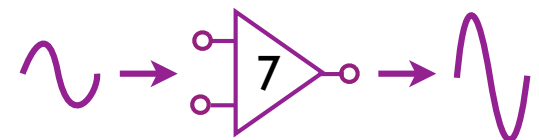
```
C:\Users\%ttrkk%\Documents\%LTSpiceXVII%\M1\use\M1-3_outregister.asc
--- Transfer Function ---
Transfer_function:      1.98115      transfer
v1#Input_impedance:    1e+020      impedance
output_impedance_at_V(out): 180.634  impedance
```

出力抵抗 : 180.634 Ω

実際の直流利得

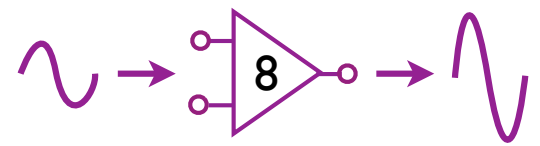
DC gain: 7.4014e+01dB

Output resistance: 4.5769e+05Ω



# スコア

電源電圧変動除去比	7.7214E+01
同相除去比	1.6928E+02
直流利得	7.4127E+01
電源電圧	3.00E+00
スコア	2.7219E+04



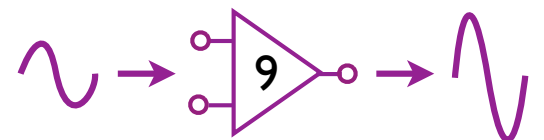
# 最後に

## 良かった点

狙い通り同相利得を小さくすることで、  
電源電圧変動除去比を上げる事ができ、スコアをのばせた

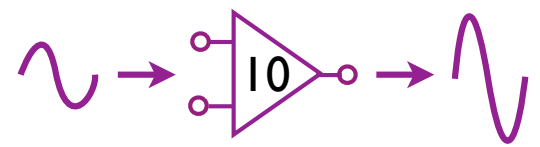
## 改善点

利得を下げる工夫を設けなかった



# 謝辞

このような貴重な機会を与えてくださった  
協賛企業の皆さまと  
運営の皆さまに深く感謝を申し上げます





# 平成30年演算増幅器設計コンテスト シミュレーションの部

部門1 1位

部門2 1位

(部門3 4位)

部門4 奨励賞

東京理科大学 兵庫研究室

修士2年 吉田浩志

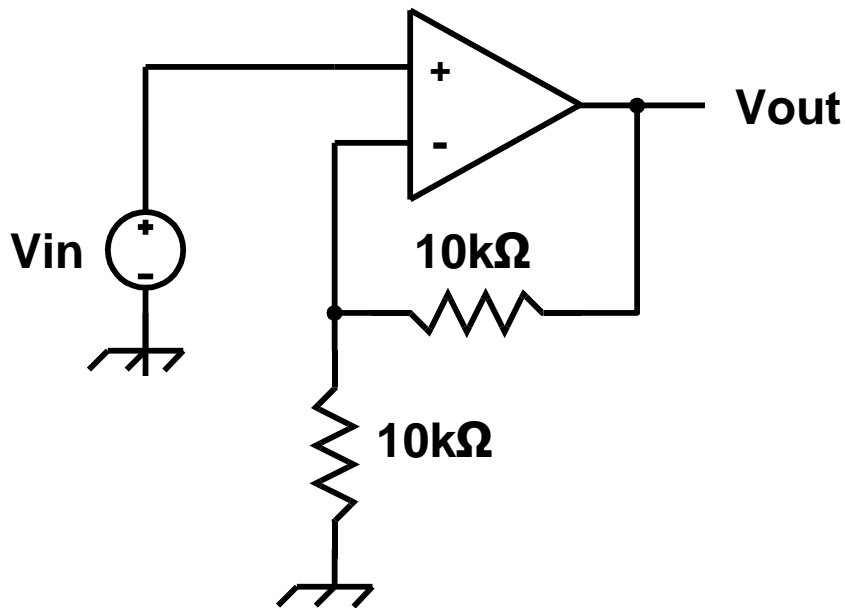


# 部門1

$$\text{得点} = \frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得}}{\text{消費電流}}$$

- 直流利得はdB値 スルーレートと消費電流は真値で評価
- 大きくスコアを変えるスルーレートと消費電流を意識して設計

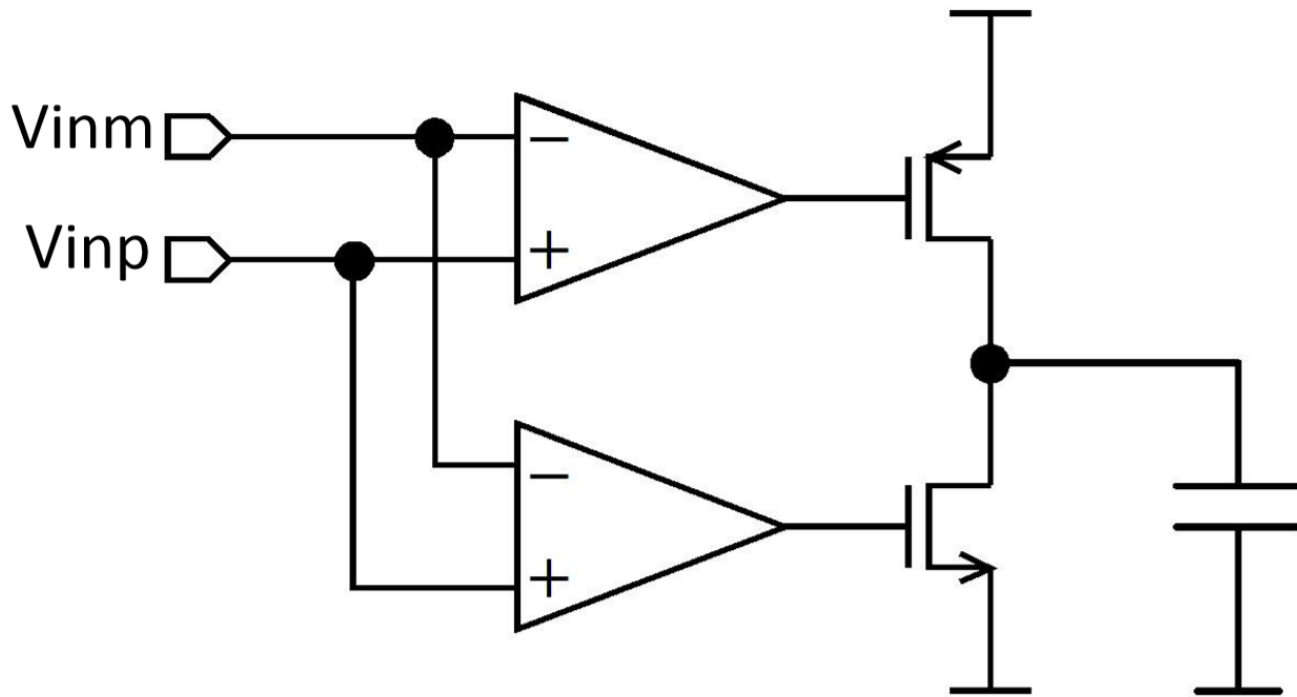
# スルーレート評価方法



- 利得2倍の非反転増幅回路
- 容量負荷が無い  
→ 設計回路自体が持つ容量値が評価に大きく影響
- アンプの寄生容量、補償容量をなるべく抑える設計を目指す

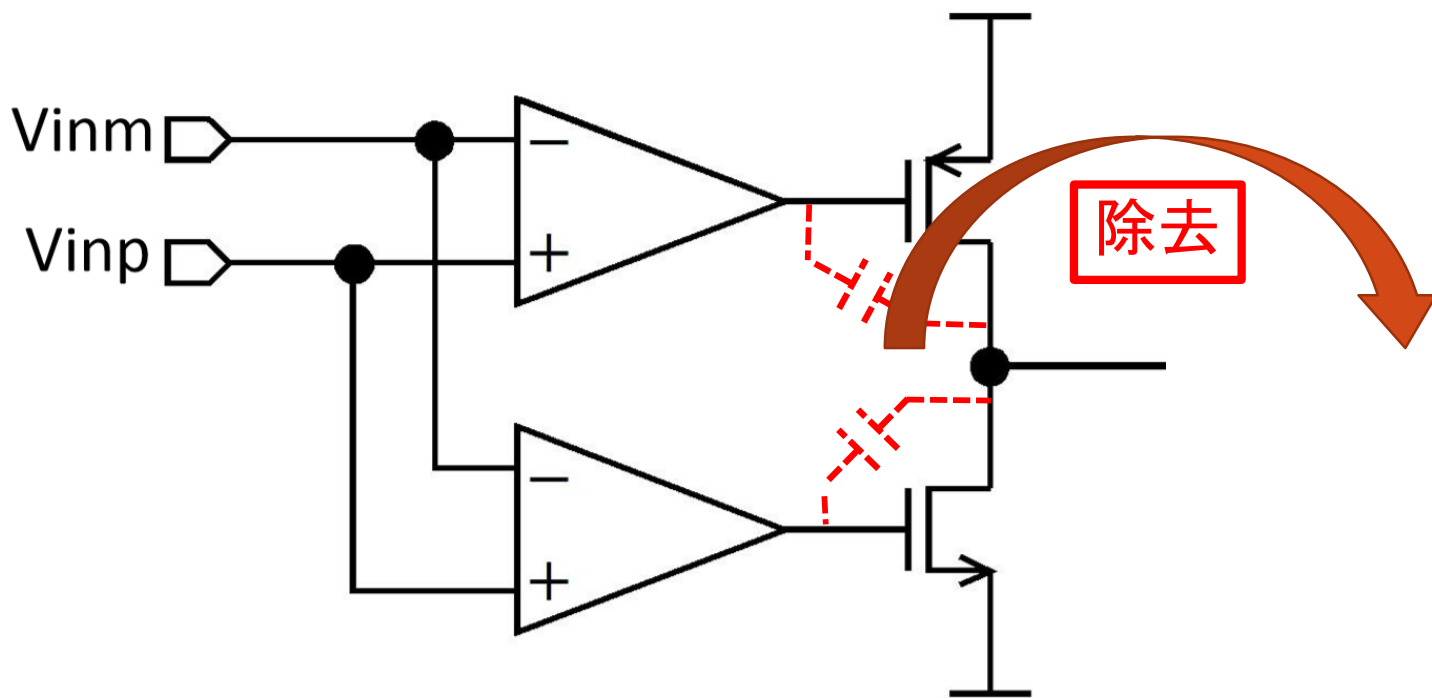


# スルーレートを上げるには... (1/2)



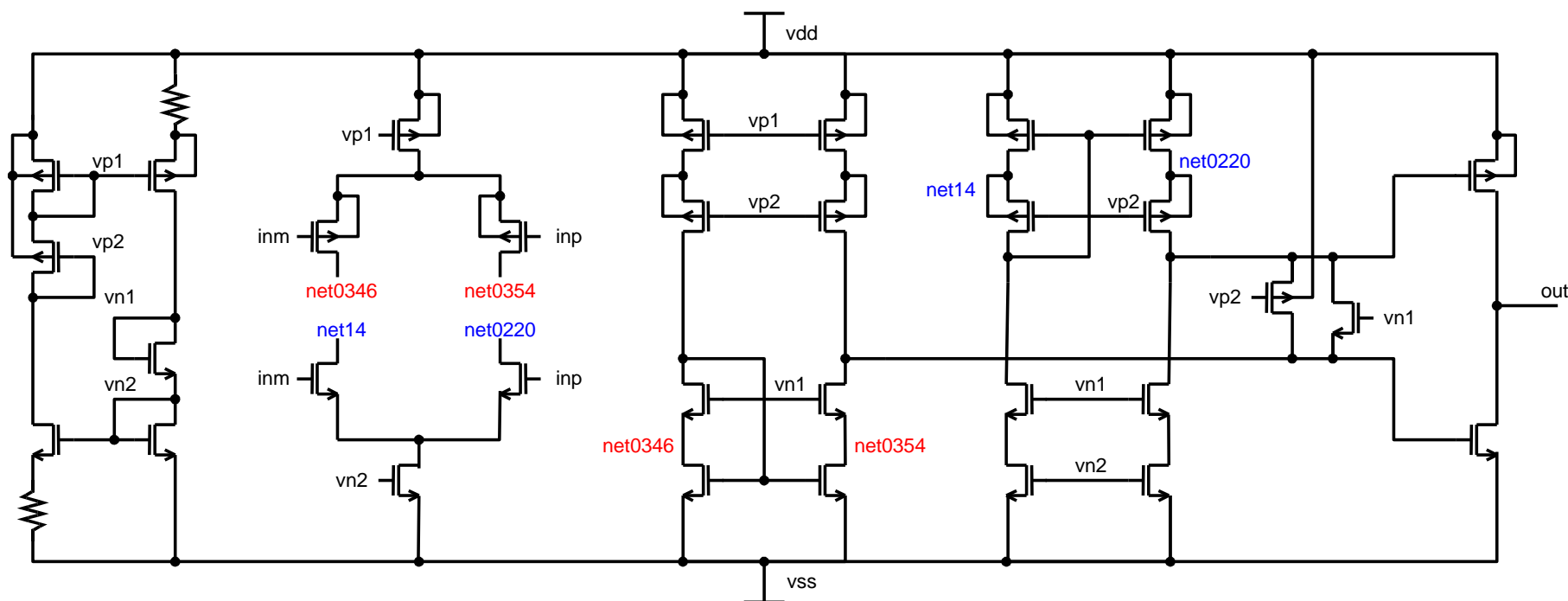
- 差動段を二つ用意しそれぞれが出力段のMOSを駆動させる
- →より速いスルーレートを実現

# スルーレートを上げるには... (2/2)



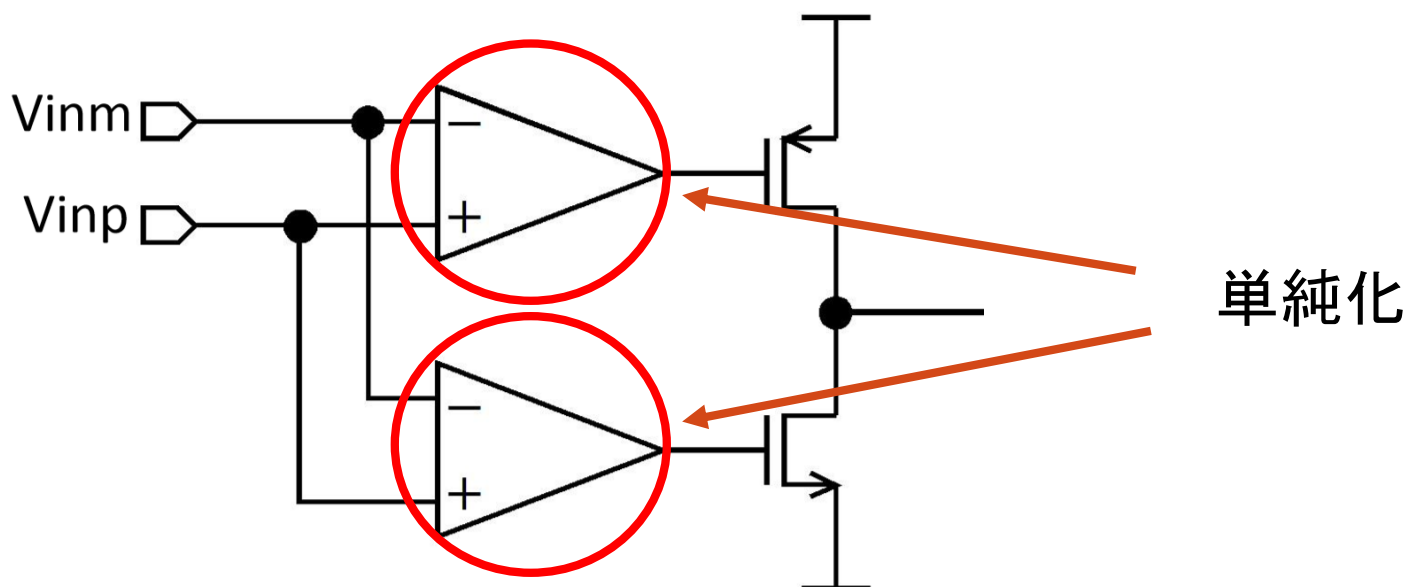
- 二段アンプでは通常位相補償が必要
- アンプのセカンド以降のポール次第で補償容量は取り除ける

# 位相補償を除くための試行錯誤



- 各MOSサイズを最小サイズとしてアンプを設計
- フォールデットカスコードアンプを二つ用いてそれぞれで出力段を駆動
- 出力段の駆動力不足でスルーレートがあまり上げられなかった

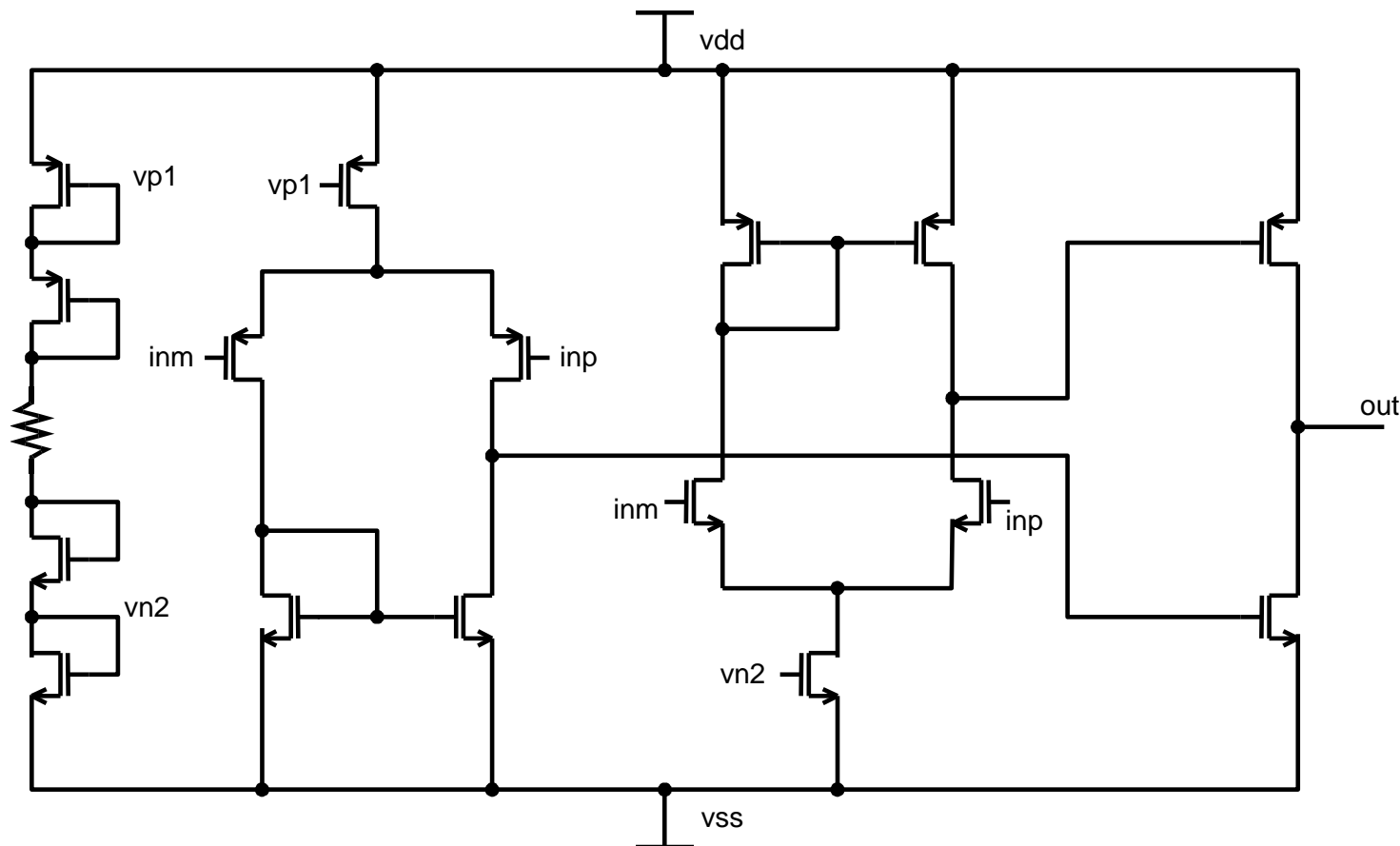
# 位相補償を除くための試行錯誤



- MOSのW/L比を大きくして駆動力確保→**位相余裕不足**
- なるべく単純な構成のアンプを用いてMOSTランジスタの数を減らすことで補償容量なしで二段アンプを実現させる



# 部門1 提出回路



バイアス段

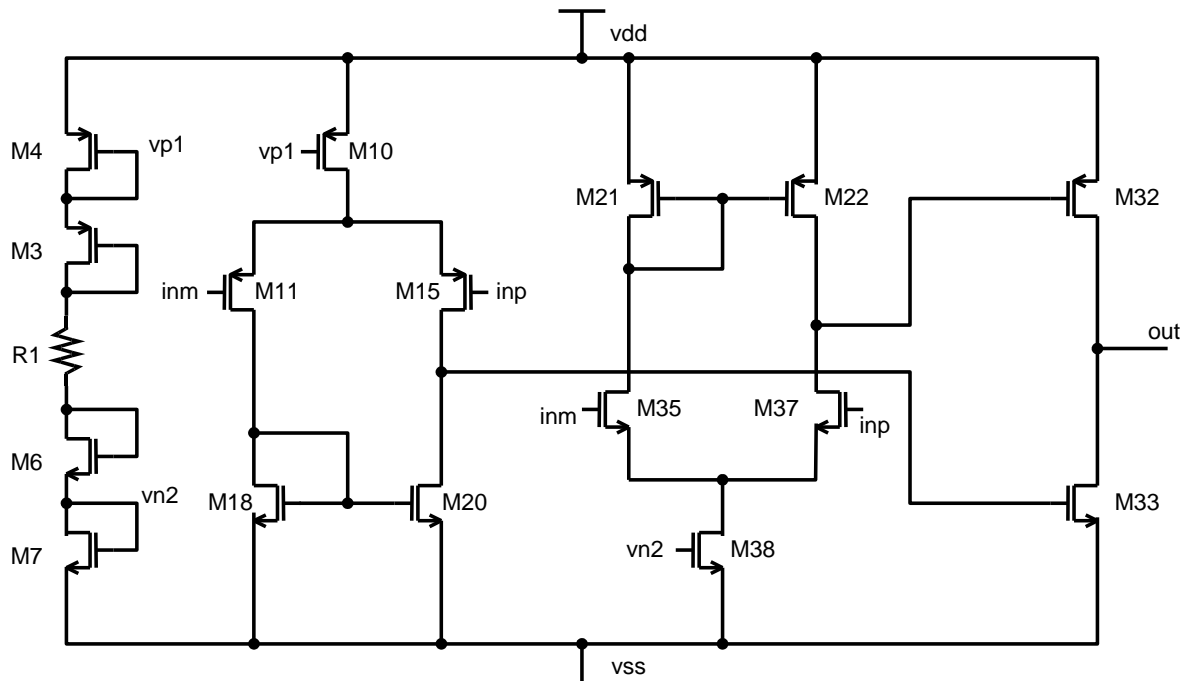
差動増幅段

出力段

# 部門1 提出回路

部門1

NMOSのバルクは全てvssに、PMOSのバルクは全てvddに接続



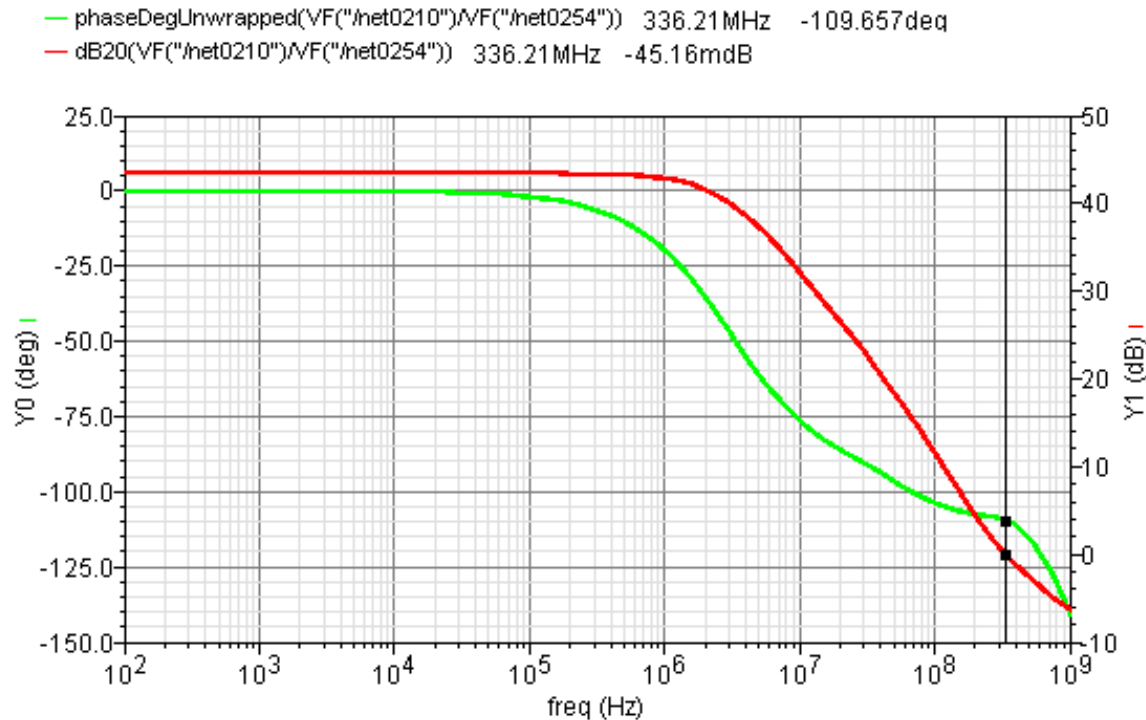
M4 : 2u/0.18u  
M3 : 0.3u/1u  
R1 : 27.3M  
M6 : 0.4u/1u  
M7 : 2u/0.18u  
M10 : 2u/0.18u M=6  
M11 : 1u/0.18u M=2  
M15 : 1u/0.18u M=2  
M18 : 1u/0.18u M=2  
M20 : 1u/0.18u M=2

M21 : 2u/0.18u M=3  
M22 : 2u/0.18u M=3  
M35 : 1u/0.18u M=2  
M37 : 1u/0.18u M=2  
M38 : 3.2u/0.18u M=6  
M32 : 0.8u/0.18u M=4  
M22 : 0.8u/0.18u M=2  
vdd=1.5V  
vss=-1.5V

- 基本的な差動増幅回路を二つ用意しそれぞれで出力段を動作
- 駆動力を確保しつつ補償容量をなくすことに成功

# シミュレーション結果

AC Response

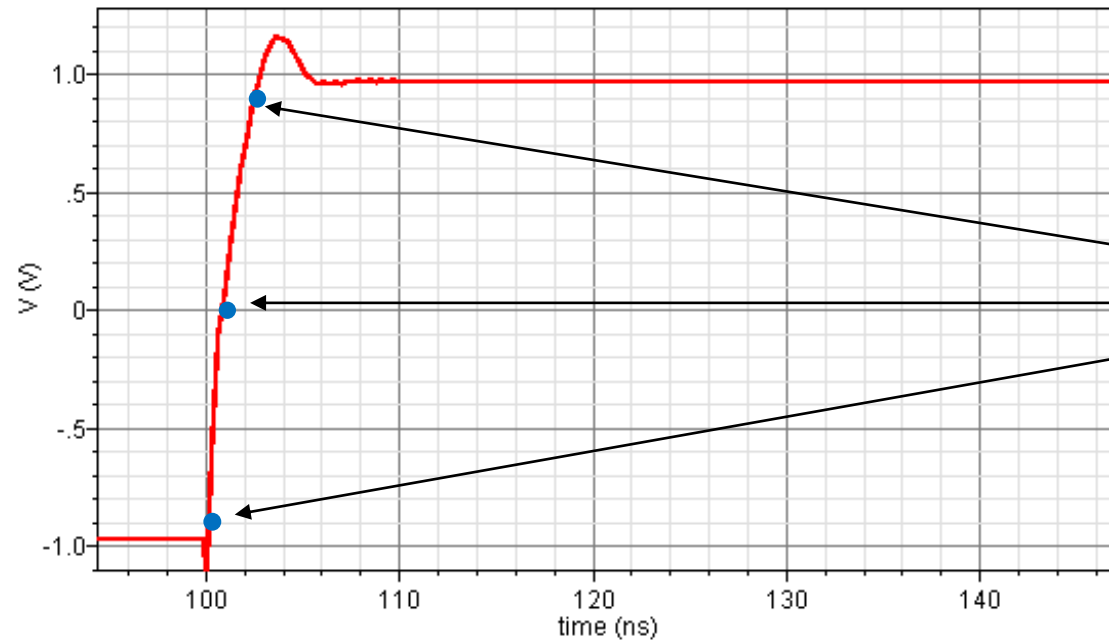


- 直流利得 シミュレーション値  $A_{sim} = 45dB$   $r_{osim} = 210\Omega$
- 出力抵抗で補正  $A = \frac{A_{sim}(R_L + r_o)}{R_L} = 70dB$

# シミュレーション結果

Transient Response

— v /net0212; tran (V)



3点における  
平均の傾き  
→ $1.39e+10$  V/s

- スルーレート :  $1.39e+10$  V/s
- 入力信号の立ち上がり、立ち下がりは $1.0e+11$  V/s

# 部門1 スコア

項目	評価結果	単位
スルーレート	○ 1.3907e+10	V/s
消費電流	◎ 1.3560e-06	A
同相入力範囲	◎ 1.0000e+02	%
直流利得	○ 7.5523e+01	dB
スコア	○ 7.7456e+19	

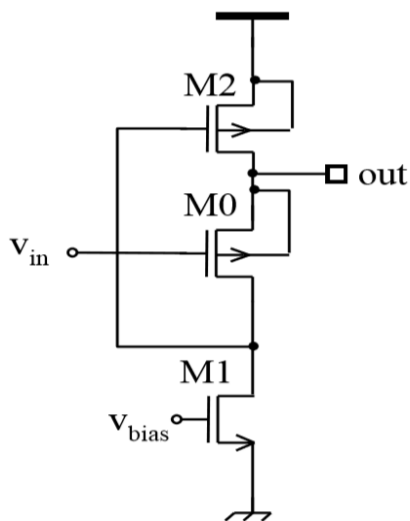
- 消費電力とスルーレートで大きくスコアを伸ばすことに成功
- 昨年の優勝スコアに届かなかったのが残念だった

# 部門2

$$\text{得点} = \frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

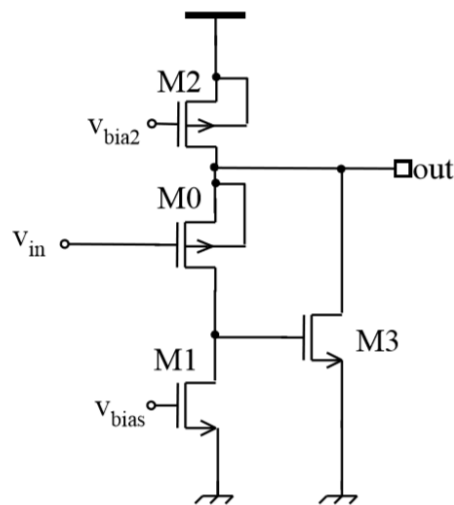
- 部門2は最も苦戦した
- 設計方針やマージンの削りが煮詰まっておリスコアの更新が難しい
- 全ての項目に力を入れて設計

# 出力抵抗を小さくするには…(1/2)



FVF

$$r_{out} \approx \frac{1}{g_{m0}g_{m2}(r_{o1} // r_{o0})}$$

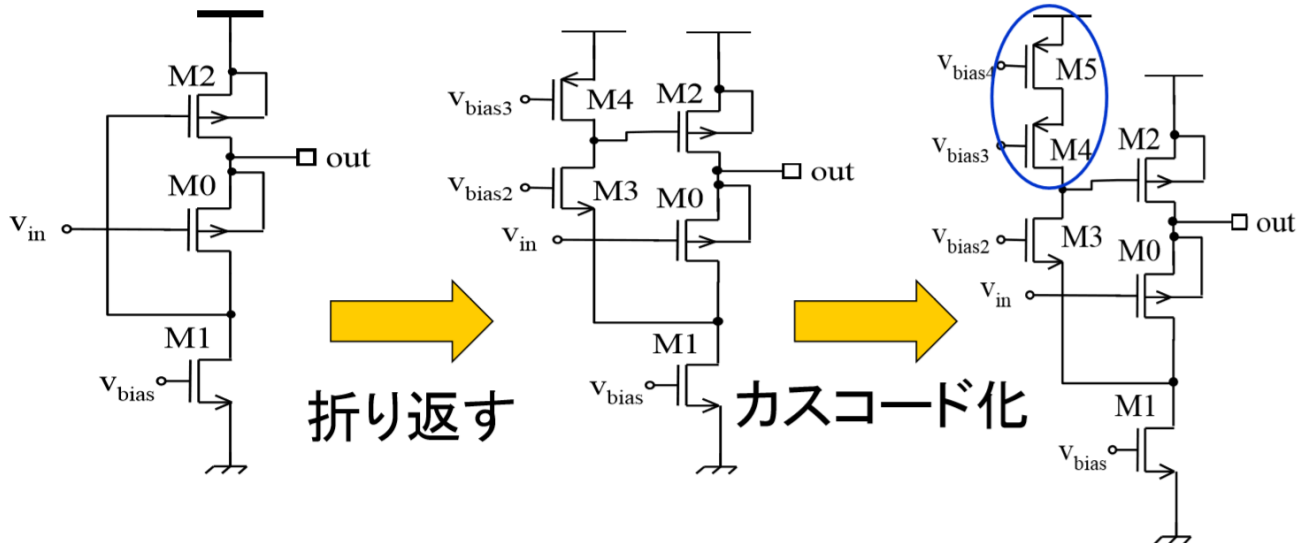


スーパーソースフォロワ

$$r_{out} \approx \frac{1}{g_{m0}g_{m3}(r_{o1} // r_{o0})}$$

- 利得要件(40dB以上)を満たしつつ出力抵抗を抑えるにはバッファ回路は必須
- 例年FVFかSSFの二択→電流パスの少ないFVFを選択

# 出力抵抗を小さくするには…(2/2)

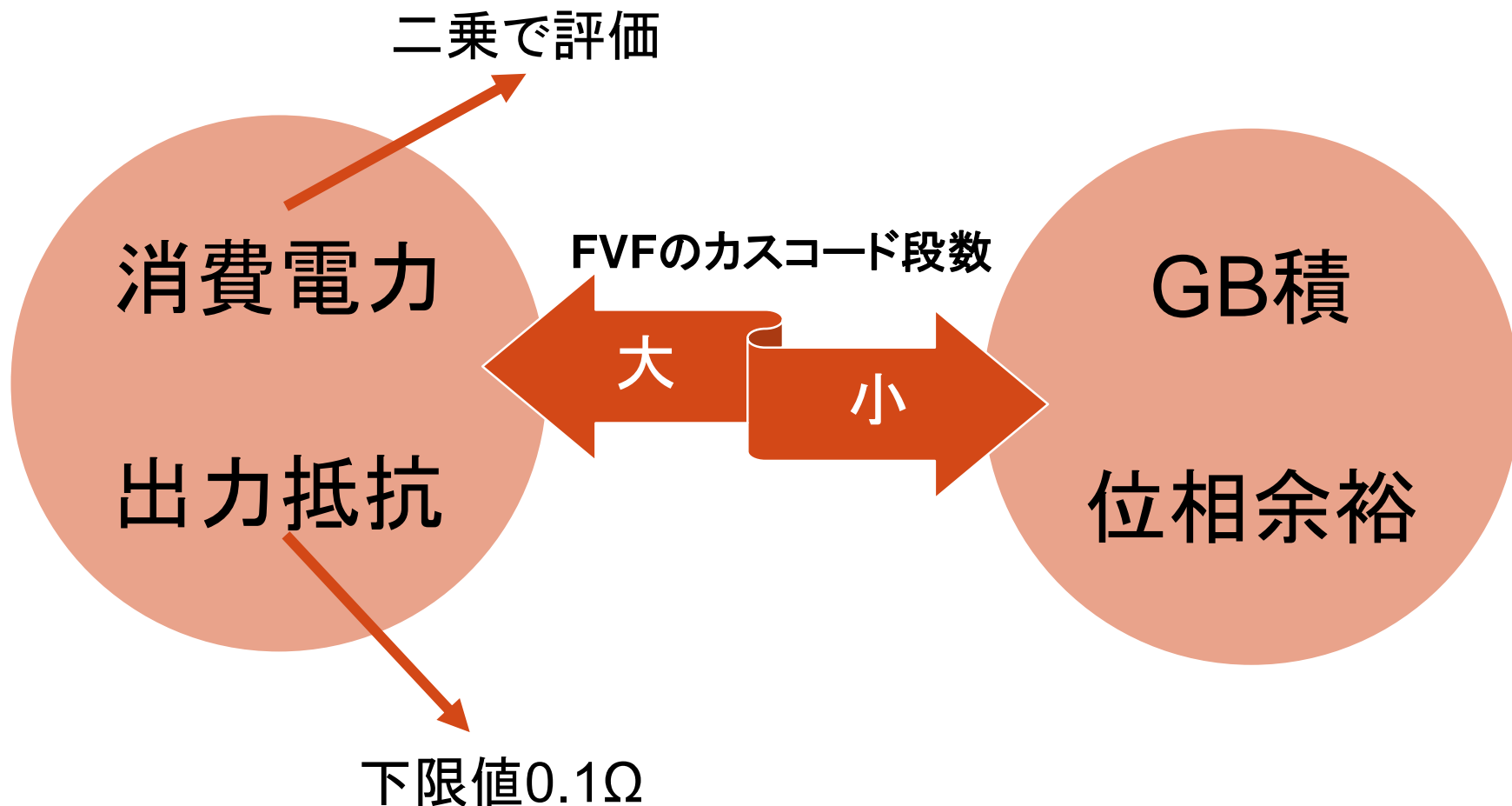


$$r_{out} \approx \frac{1}{g_{m0}g_{m2}(r_{o1} // r_{o0})} \quad r_{out} \approx \frac{1}{g_{m0}g_{m2}r_{o4}} \quad r_{out} \approx \frac{1}{g_{m0}g_{m2}(g_{m3}r_{o3}r_{o1} // g_{m4}r_{o4}r_{o5})}$$

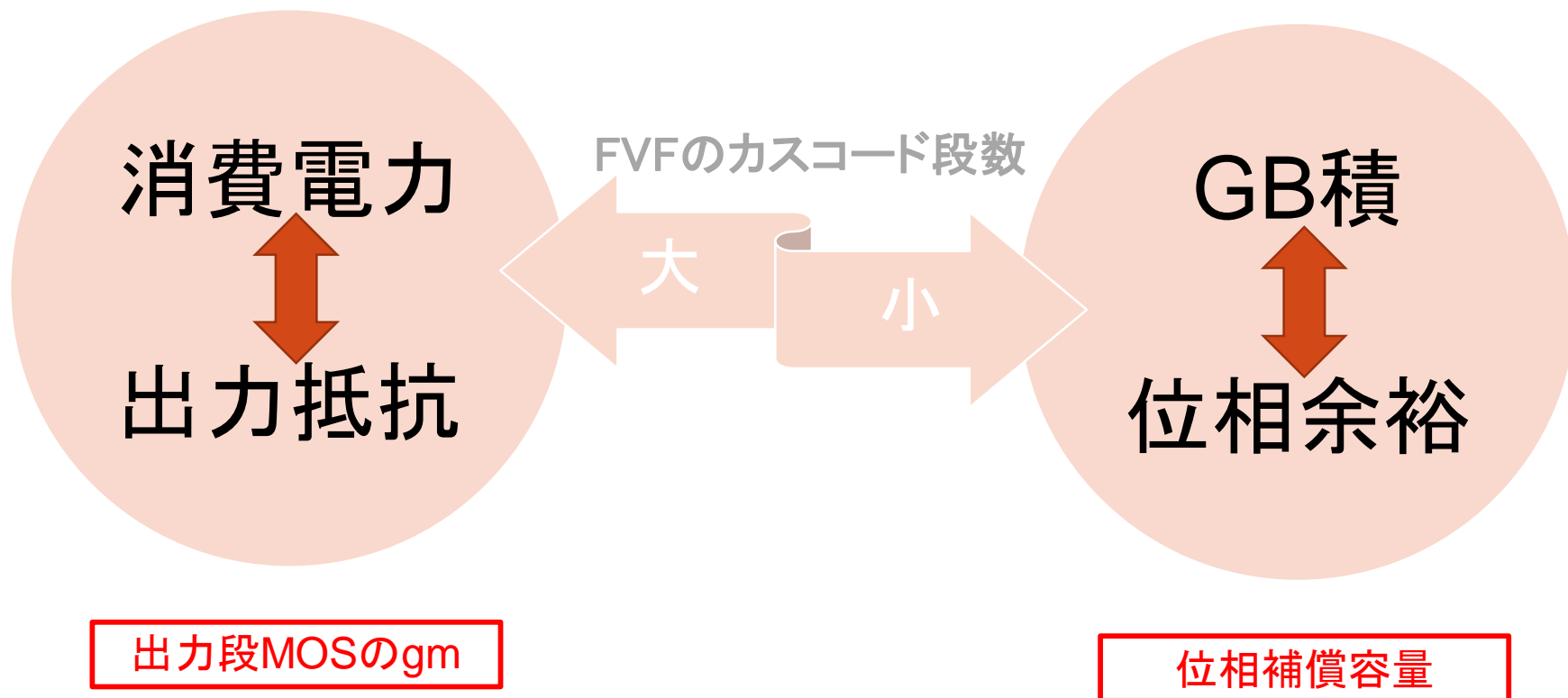
- 出力抵抗は最小値( $r_o=0.1 \Omega$ )が設けられている
- 最小値を達成するためにFVFのカスコード化が必要



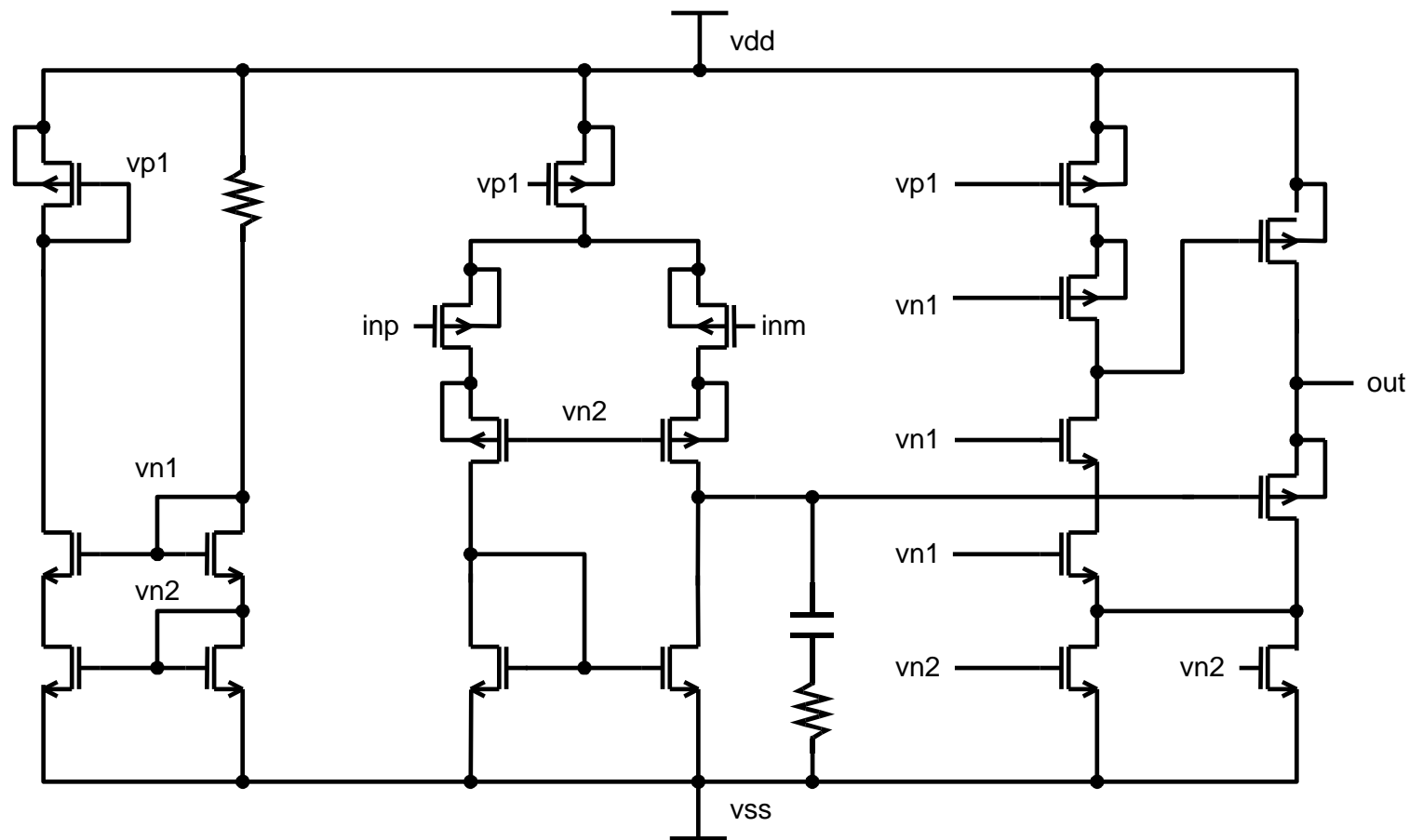
# 重視する項目とFVF構成の関係



# 更に存在するトレードオフ



# 部門2提出回路



バイアス段

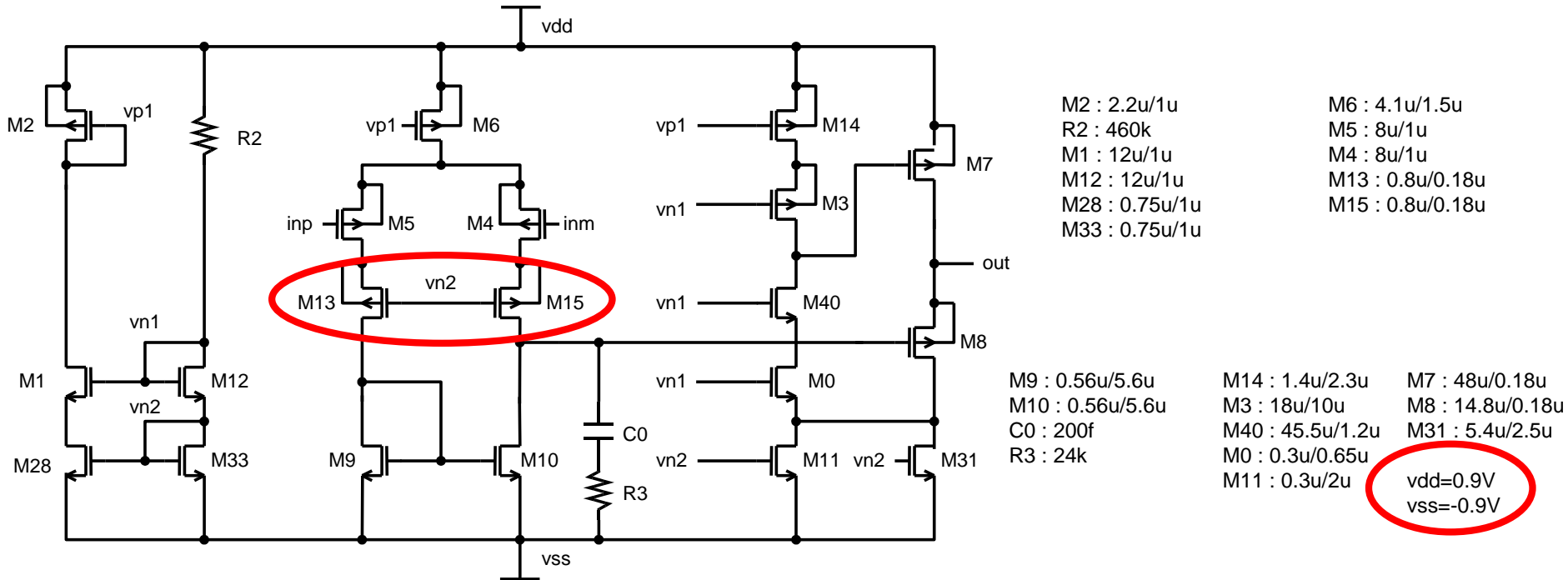
差動増幅段

出力段

# 部門2提出回路

部門2

NMOSのバルクは全てvssに、PMOSのバルクは全てソース端子に接続

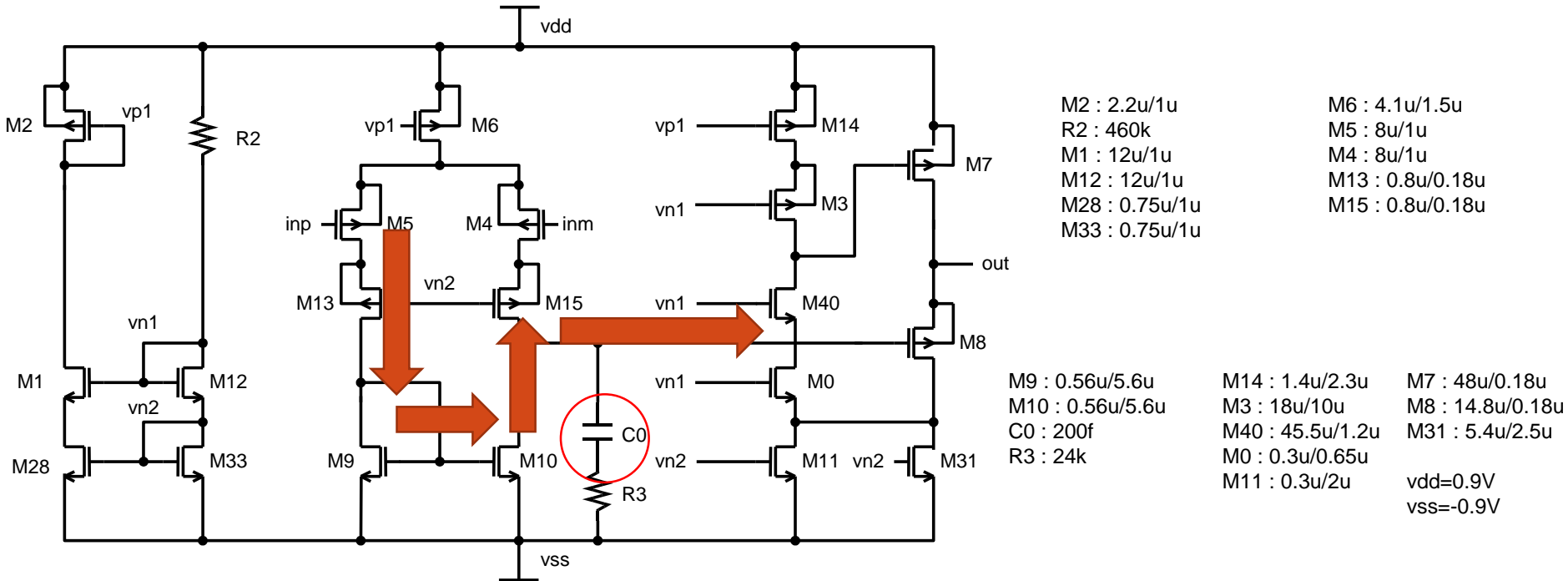


- 出力段は直流利得が無い(≒1倍)ので差動段のみで40dB達成する必要がある→PMOSをカスコード化
- 消費電力を抑えるためになるべく低電源電圧に(1.8V)

# 部門2提出回路

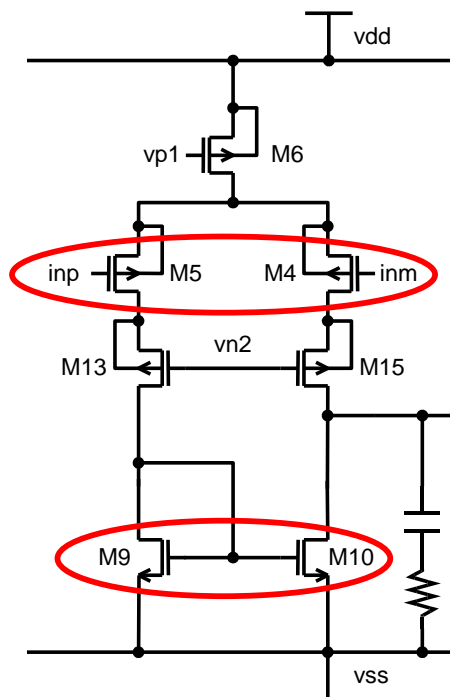
部門2

NMOSのバルクは全てvssに、PMOSのバルクは全てソース端子に接続



- 出力段の直流利得は無い(≒1倍)ので補償容量は一段目の出力につける
- 信号が通るMOSサイズをなるべく小さくし帯域幅を広げる

# 入力換算雑音の低減



- 入力換算雑音が大きいMOSは4つ
- 雑音の式からM4 M5 M9 M10の値を調整
  - $W_{4,5}/L_{4,5}$ を大きく、 $W_{9,10}/L_{9,10}$ を小さく
  - $W_{4,5} * L_{4,5}$ を大きく、 $L_{9,10}$ を大きく

$\gamma$ : チャンネル熱雑音係数

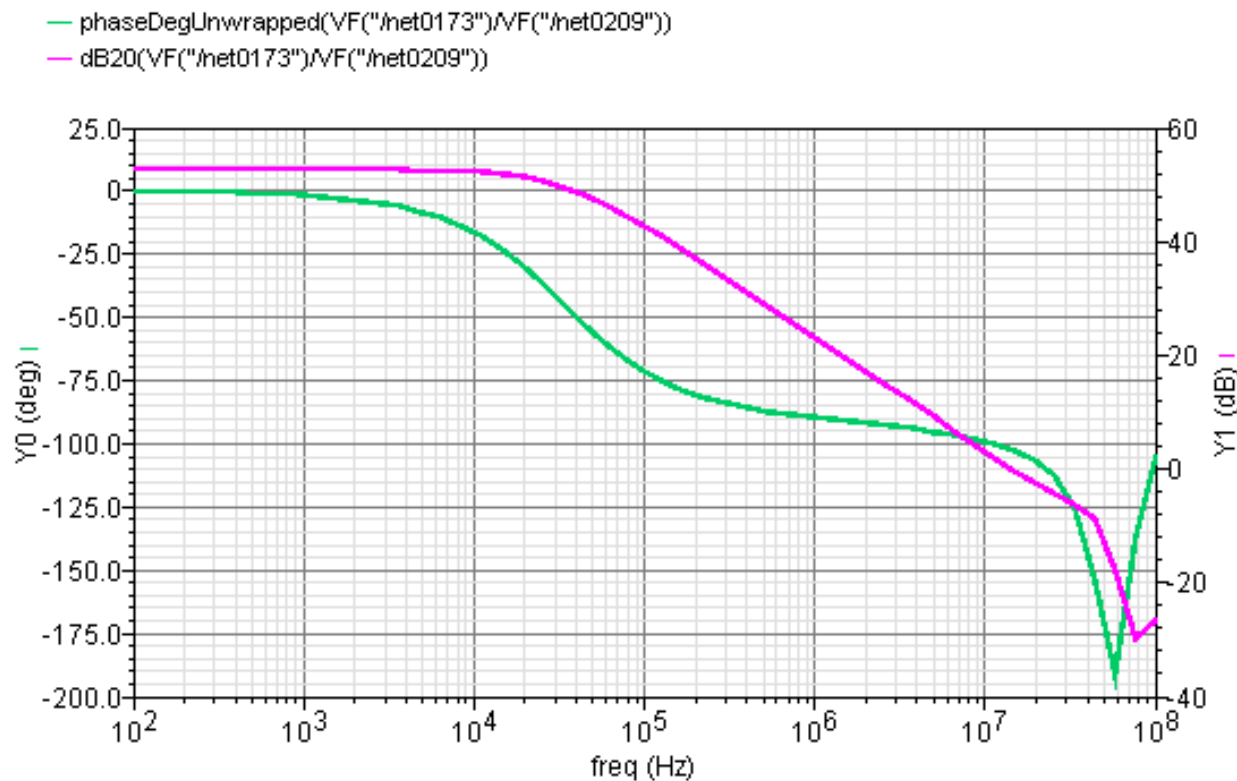
$k_B$ : ボルツマン定数

$K_{n,p}$ : フリッカ雑音係数

$$\overline{V_{n,in,total}^2} = 5k_B T \gamma \frac{1}{g_{m4,5}} \left( 1 + \frac{g_{m9,10}}{g_{m4,5}} \right) \Delta f + \frac{2k_p}{C_{ox} W_{4,5} L_{4,5}} \left( 1 + \frac{K_n \mu_n L_{4,5}^2}{K_p \mu_p L_{9,10}^2} \right) \frac{\Delta f}{f}$$

# シミュレーション結果

AC Response



- 直流利得 53dB 位相余裕 77度 利得帯域幅積 14MHz

# 部門2 スコア

項目	評価結果	単位
消費電力	◎ 2.0486e-05	W
出力抵抗	◎ 1.0000e-01	Ω
入力換算雑音	○ 2.1721e-03	V
利得帯域幅積	◎ 1.4532e+07	Hz
位相余裕	◎ 7.0545e+01	deg
スコア	◎ 1.1246e+22	

- 全ての項目で高スコアを記録できた
- 昨年の優勝スコアを上回ることができ満足
- 入力換算雑音はもう少し伸ばすことができるかもしれない



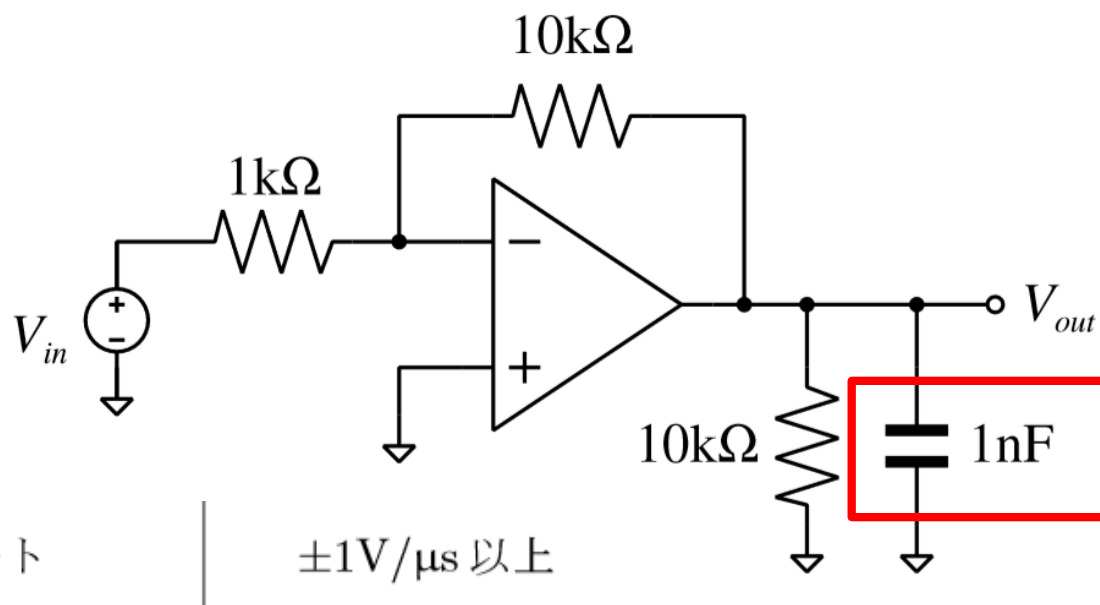
# 部門4

## 得点=消費電流のみ

- ただし以下の要件を満たすこと(コンテストHPより引用)

項目	要件	備考
電源電圧	3V	固定
直流利得	40dB 以上	図 1(b)
位相余裕	45 度以上	図 1(b), 負荷容量 $\pm 10\%$ 変動
帯域幅	20kHz 以上	図 1(a)
出力オフセット電圧	$\pm 100\text{mV}$ 以内	図 1(a)
入力電圧範囲	$\pm 100\text{mV}$ 以上	図 1(a)
スルーレート	$\pm 1\text{V}/\mu\text{s}$ 以上	図 1(a)
全高調波歪	0.1%以下	入力: 1kHz, 振幅 1mV, DC オフセット 0V, 図 1(a)
占有面積	$0.2\text{mm}^2$ 以内	

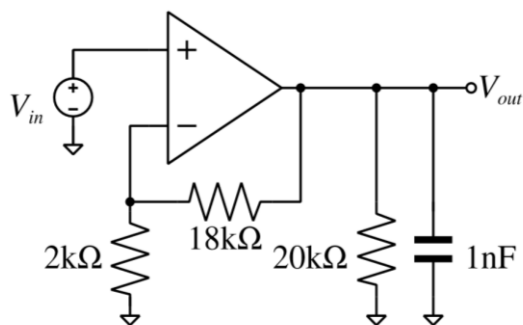
# 部門4の評価回路



- 負荷容量が存在し、値が非常に大きい
- 部門1のように消費電流とスルーレートを重視する構成がよい

# 評価回路の変更

H29

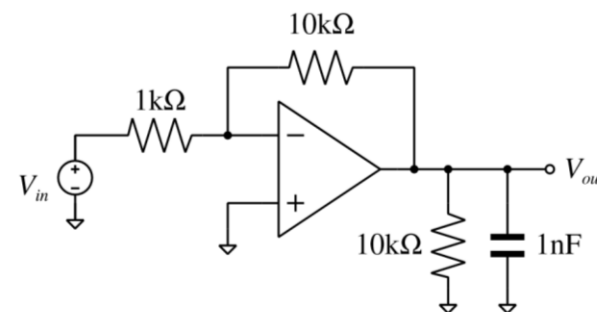


非反転増幅回路

変更



H30

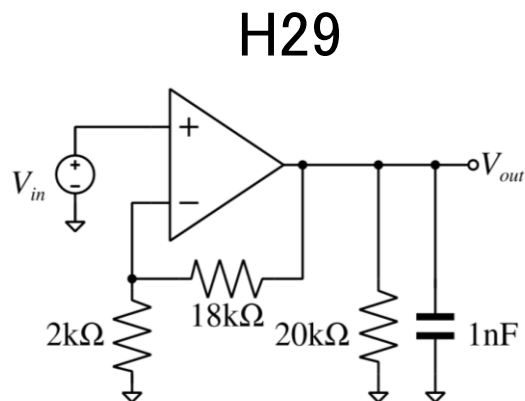


反転増幅回路

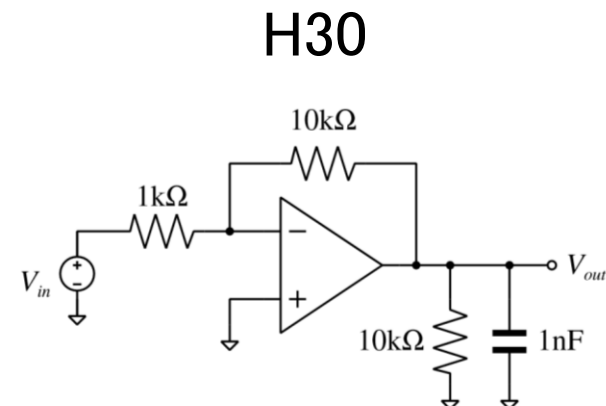
- 入力インピーダンスが小さい
- ループ利得が少し小さくなる

影響があるか確認

# 評価回路変更の影響

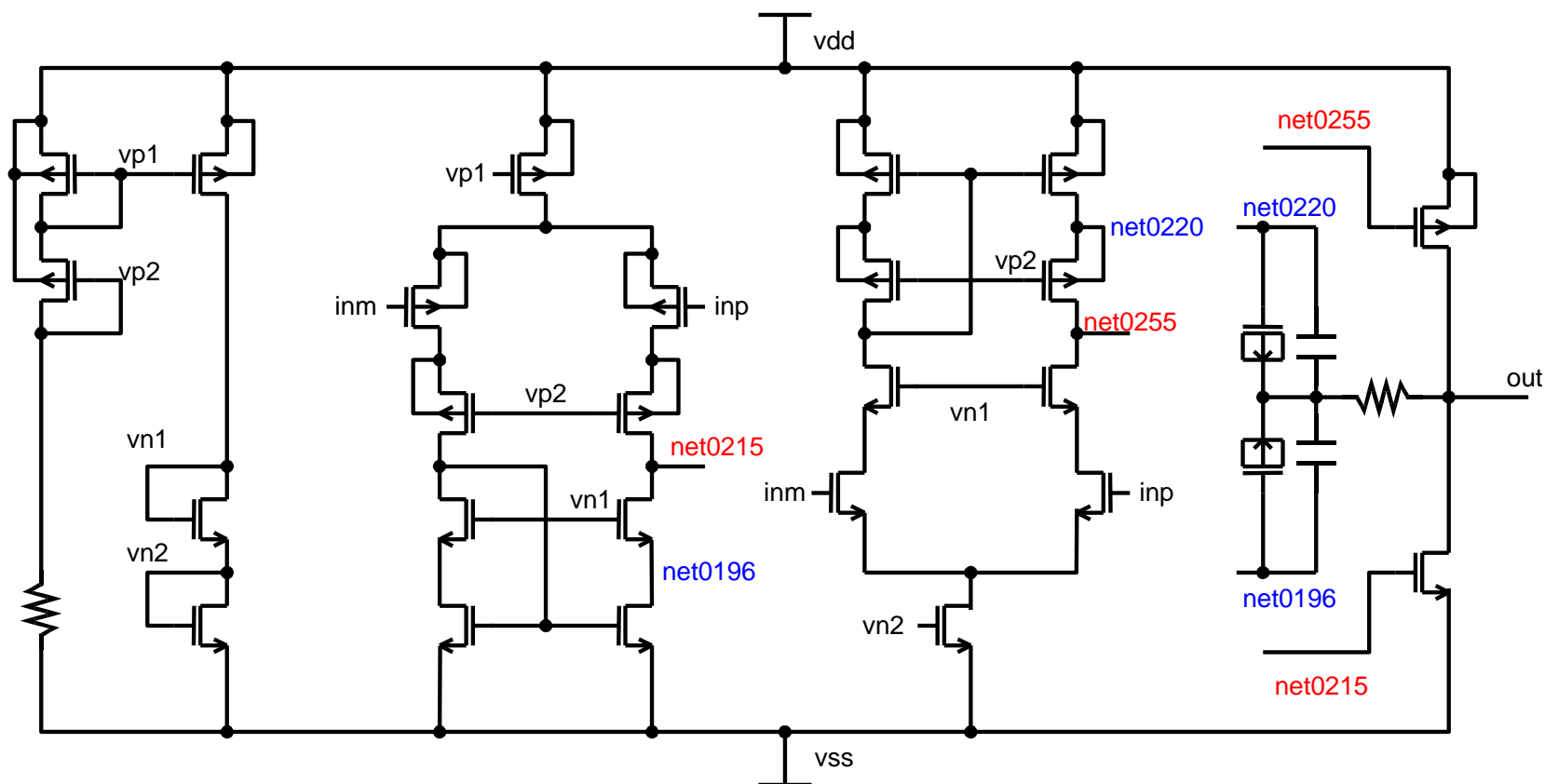


変更



- 試しに昨年の回路を提出したところ、スルーレートが $0.4\text{V}/\mu\text{s}$ 程度下がっており、要件を満たせなかった
- 回路を修正し、昨年より利得とスルーレートが上がる構成に変更

# 部門4提出回路



バイアス段

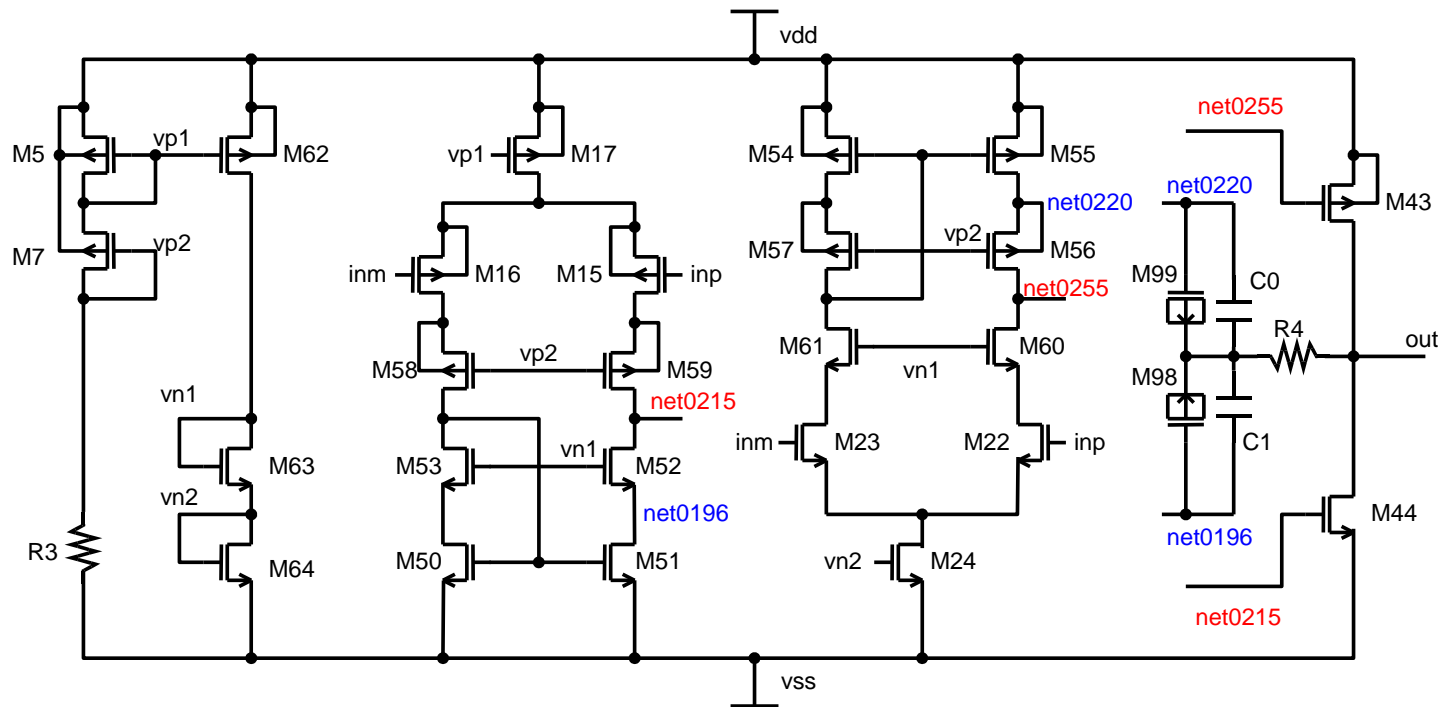
差動増幅段

出力段

# 部門4提出回路

## 部門4

NMOSのバルクは全てvssに、PMOSのバルクはソース端子、一部vddに接続



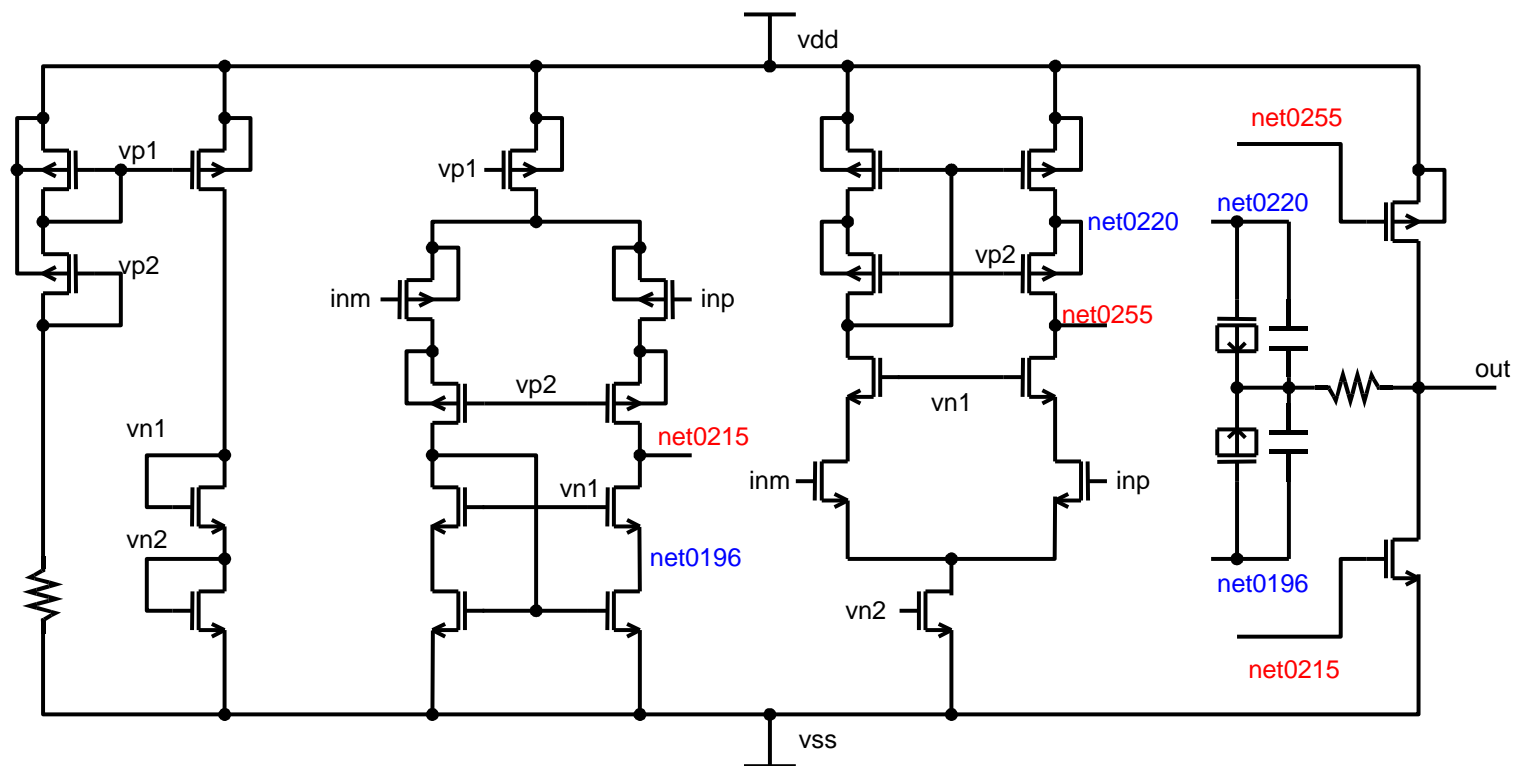
M5 : 1.3u/0.6u  
M62 : 1.3u/0.6u  
M7 : 1.3u/0.6u  
M63 : 1.2u/0.6u  
R3 : 1.31M  
M64 : 1.3u/0.6u

M17 : 1.3u/0.6u M=2  
M16 : 1.3u/0.6u  
M15 : 1.3u/0.6u  
M58 : 1.3u/0.6u  
M59 : 1.3u/0.6u  
M53 : 1.2u/0.6u  
M52 : 1.2u/0.6u  
M50 : 1.2u/0.6u  
M51 : 1.2u/0.6u

M54 : 1.3u/0.6u  
M55 : 1.3u/0.6u  
M57 : 1.3u/0.6u  
M61 : 1.2u/0.6u  
M60 : 1.2u/0.6u  
M23 : 1.2u/0.6u  
M22 : 1.2u/0.6u  
M24 : 1.2u/0.6u M=2

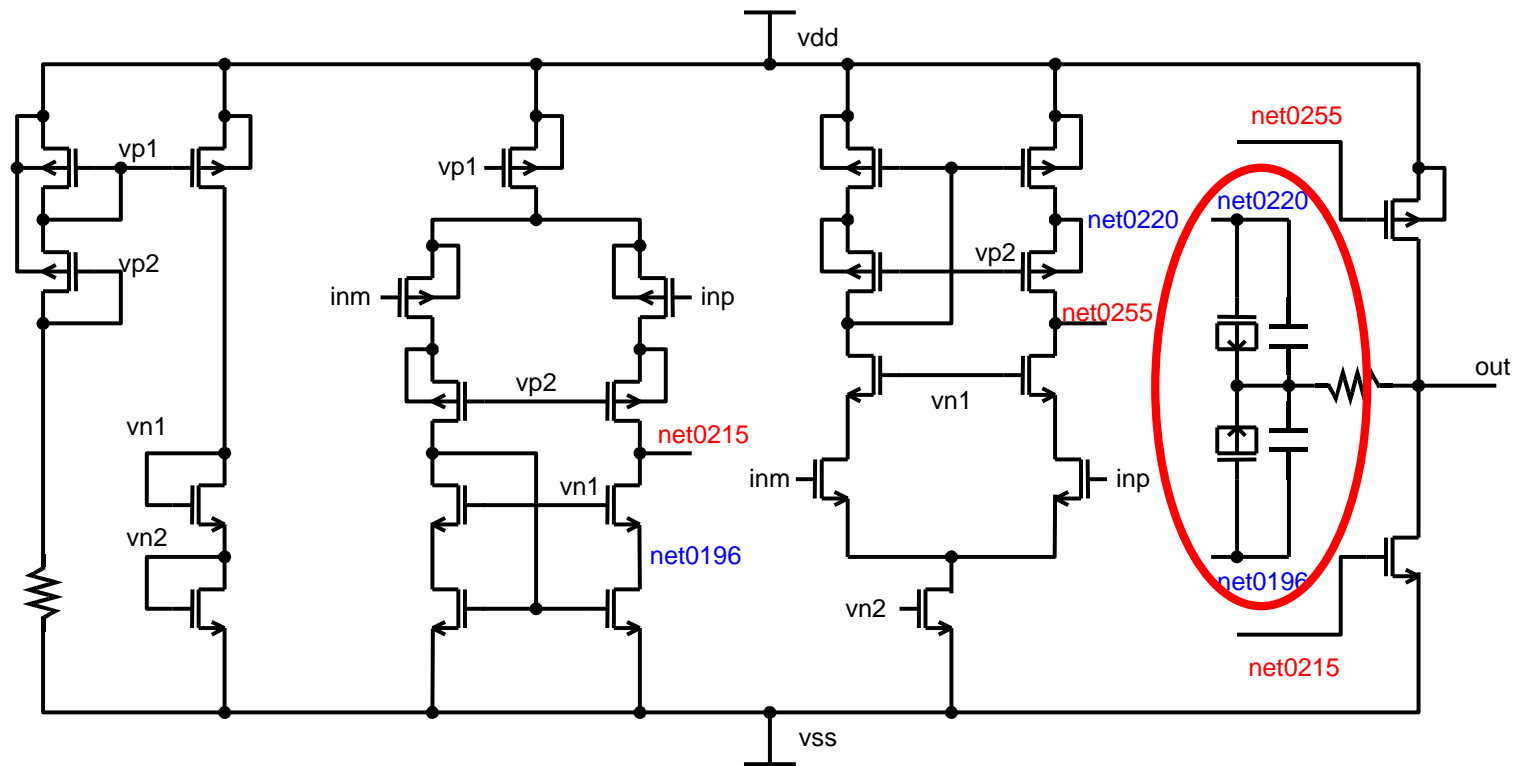
M99 : 1.3u/0.6u M=6  
M98 : 1.3u/0.6u M=6  
C0 : 100f  
C1 : 100f  
R4 : 1.5M  
M43 : 10.5u/0.6u M=2  
M44 : 4.4u/0.6u M=2  
vdd=1.5V  
vss=-1.5V

# 部門4提出回路



- 部門1よりもプロセスが大きい→位相補償は必須
- 最小Lが大きくgmが取り難い→テレスコピックにすることで40dB以上の利得を達成

# 部門4提出回路



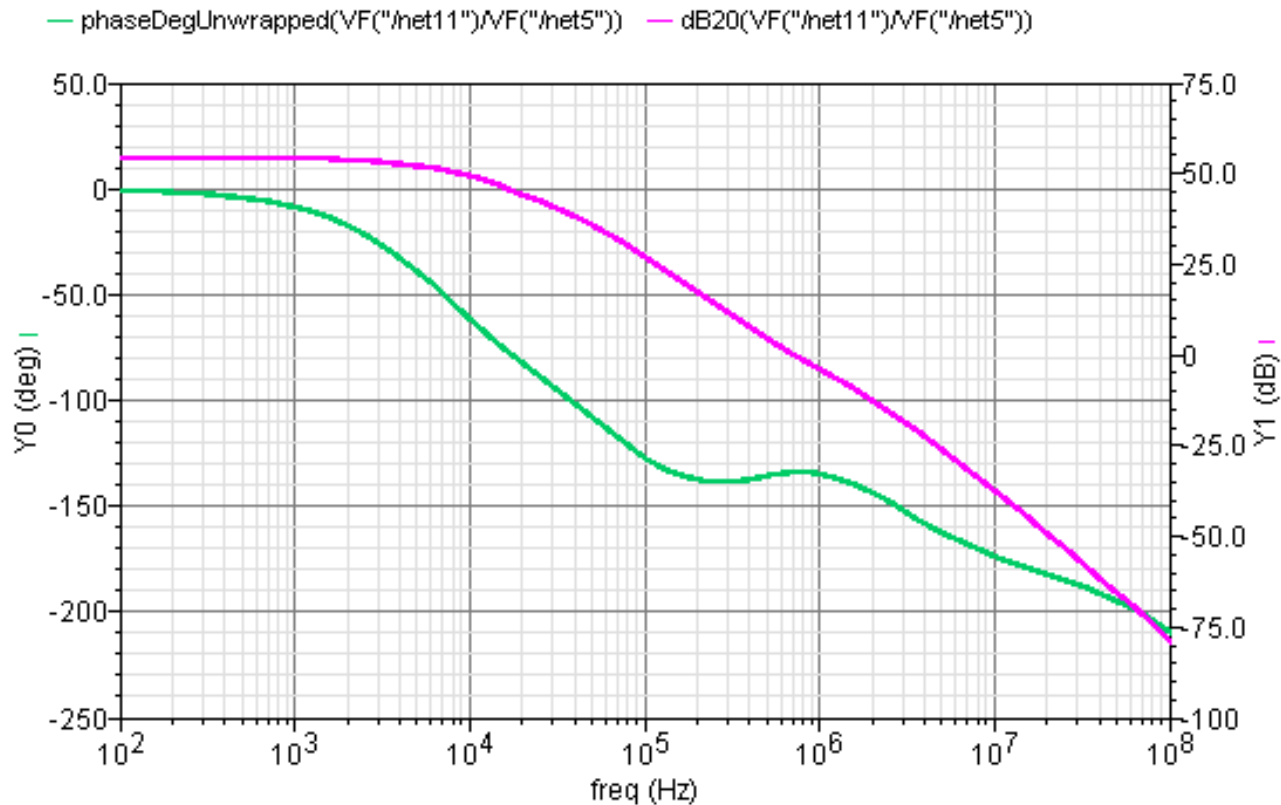
- 容量値は100fF刻みであるが $100\text{fF} < C < 200\text{fF}$ の容量値を用いたい

→MOS容量と100fFのキャパシタを並列に接続



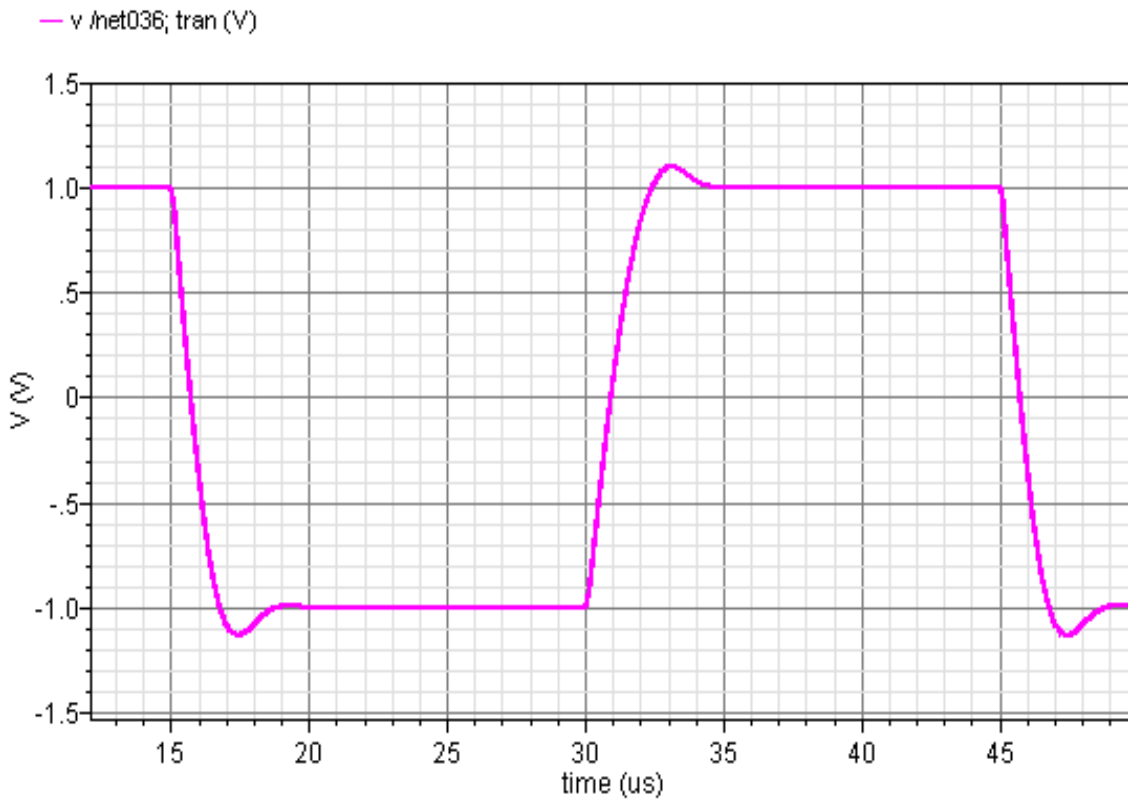
# シミュレーション結果

AC Response



- 直流利得 57dB 位相余裕 46度

# シミュレーション結果



- スルーレート  
立ち上がり1.0V/us  
立ち下がり1.4V/us

# 部門4 スコア

項目	評価結果	単位
消費電流	○ 1.1510e-05	A

- 試作の部と評価回路が異なるが回路変更及びマージンを削ることで5uA程度下げることができた
- 評価回路が変わったとはいえ、昨年より一桁消費電流が上がってしまったため、もう少し絞れると良かった

# まとめと感想

- シミュレーションの部に本格的に参加したのは今年が初めて  
→各部門の特徴がわかるようになった
- 演算増幅器自体は設計したことがある人が多いかもしれないが、重視する項目が変わるだけで構成や素子値が大きく変わる深さが味わえるので是非参加してほしい
- このような機会を与えてくださった演算増幅器設計コンテスト運営の方々及び協賛企業の方々に厚く感謝申し上げます



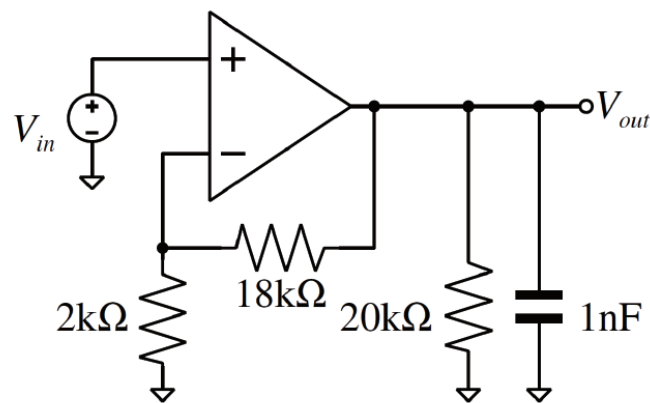
# 演算増幅器設計コンテスト 試作の部 評価回路1 2位

2018/12/7

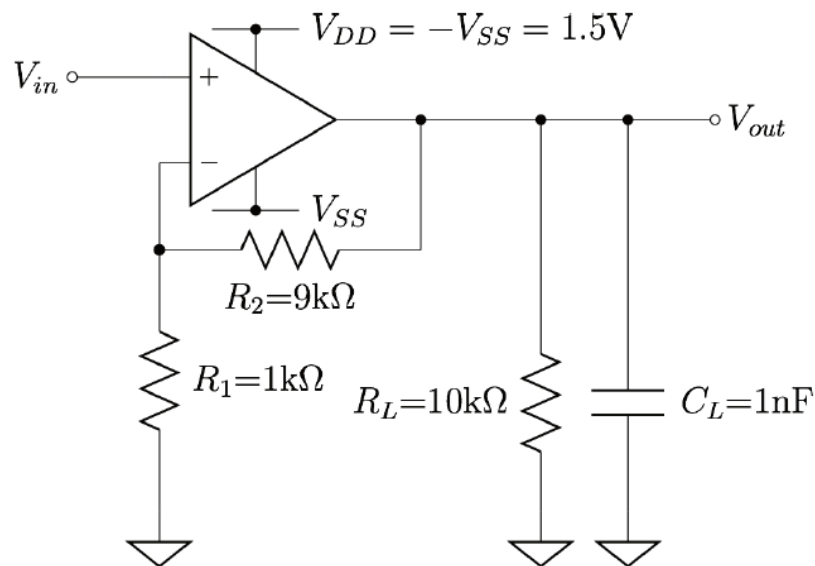
東京理科大学 兵庫研究室

藤原 嵩

# 評価回路について



評価回路1(本来の回路)



評価回路2(HP掲載)

以下のシミュレーション等は評価回路1を使用

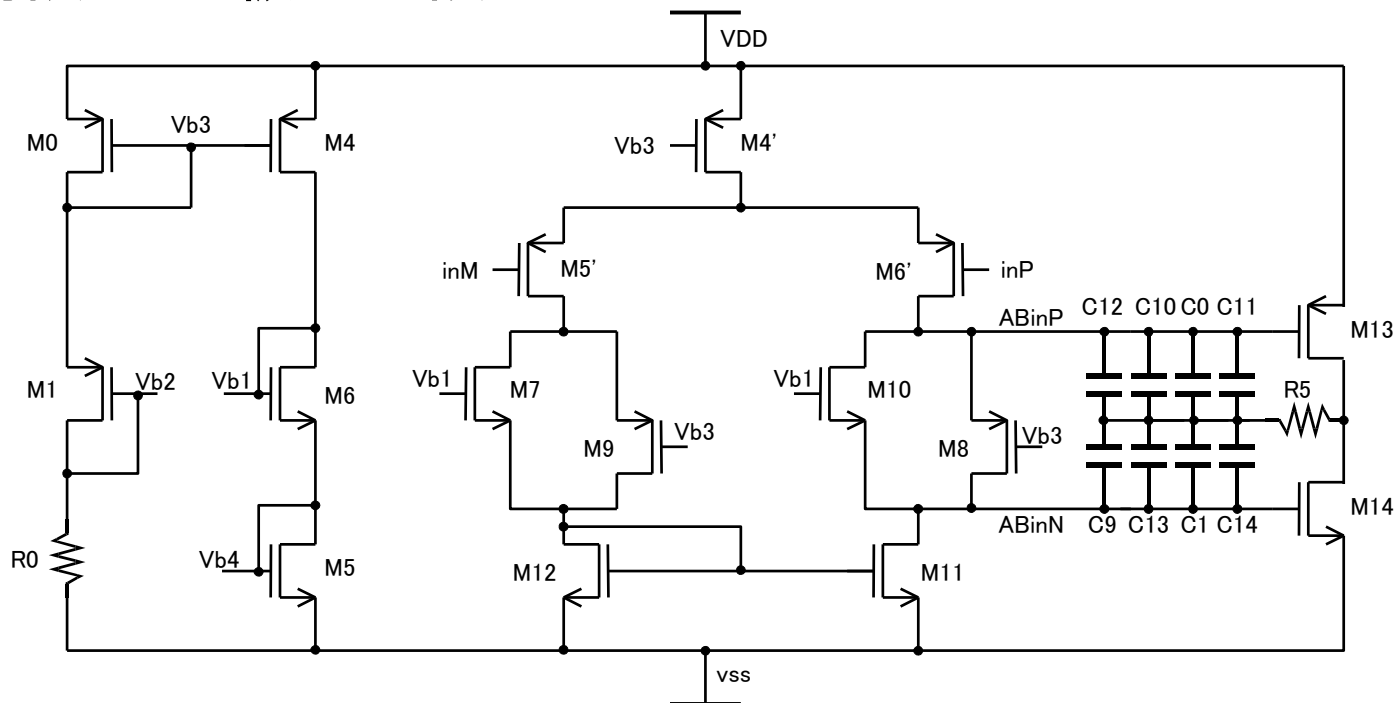
# 設計方針・目標

---

- 消費電流のみを競う部門
  - 消費電流が多少大きくてもマージンのある設計
  - 30 $\mu$ A以下を目標 (昨年優勝はsimで13 $\mu$ A、実測20 $\mu$ A)
- Simと実測で大きな差が生じる部門
  - レイアウト等の工夫でミスマッチを減らせるか試す

# 提出回路

## 差動段 + AB級出力段



M0:12u/1.6u	M=1	M4':12u/1.6u	M=8	M9:12u/1.6u	M=2	C0:260fF	C13:260fF
M1:12u/1.6u	M=1	M5':12u/1.6u	M=4	M10:6u/1.6u	M=2	C1:260fF	C14:260fF
M4:12u/1.6u	M=1	M6':12u/1.6u	M=4	M11:6u/1.6u	M=4	C9:260fF	
M5:6u/1.6u	M=1	M7:6u/1.6u	M=2	M12:6u/1.6u	M=4	C10:260fF	R5:280kΩ
M6:6u/1.6u	M=1	M8:12u/1.6u	M=2			C11:260fF	M13:12u/1.6u M=4
R0:462kΩ						C12:260fF	M14:6u/1.6u M=4

NMOSのバルクは全てvssに、PMOSのバルクは全てソース端子に接続



# シミュレーション結果

## 要件

直流利得: 49.2dB

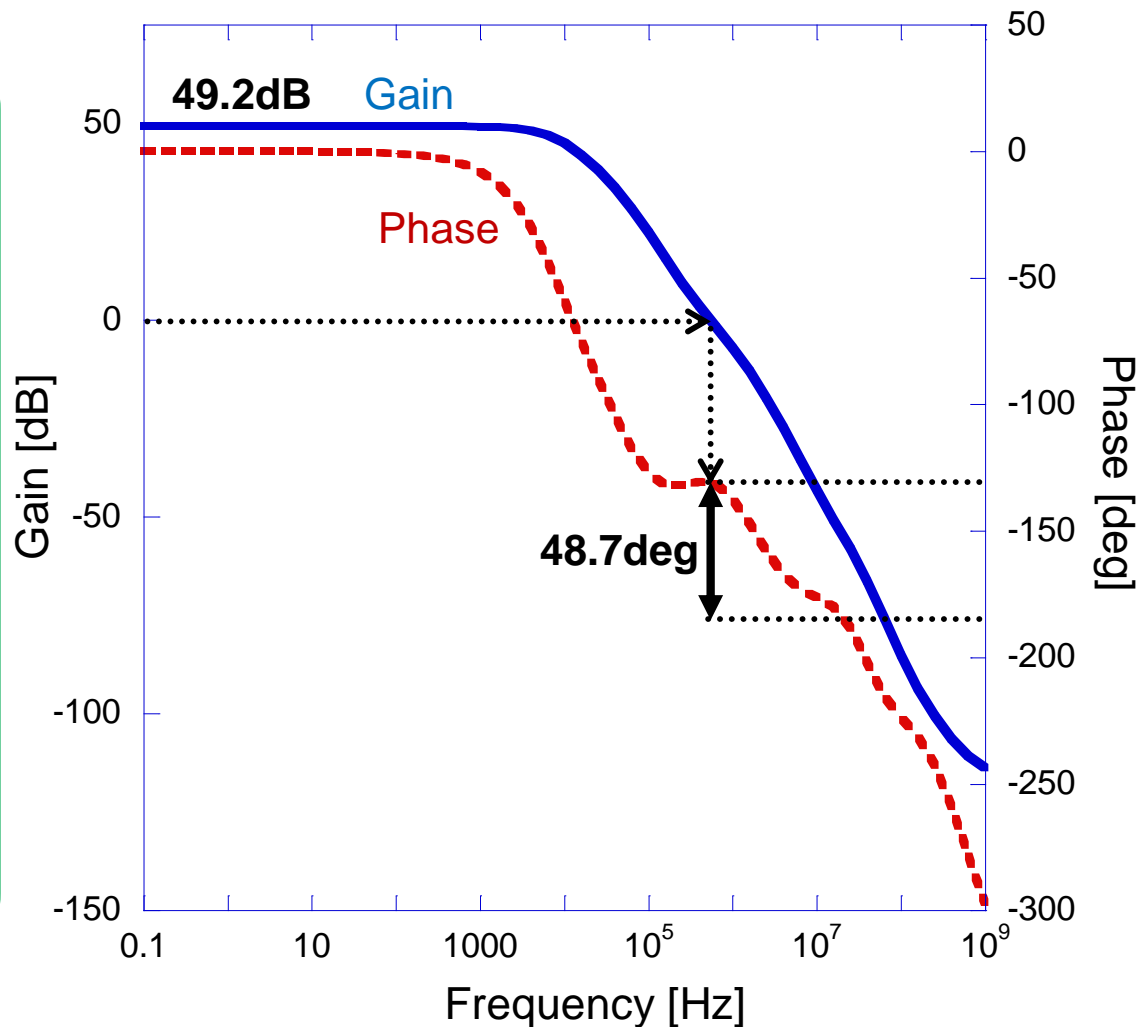
位相余裕: 48.7°

帯域幅: 175.6kHz

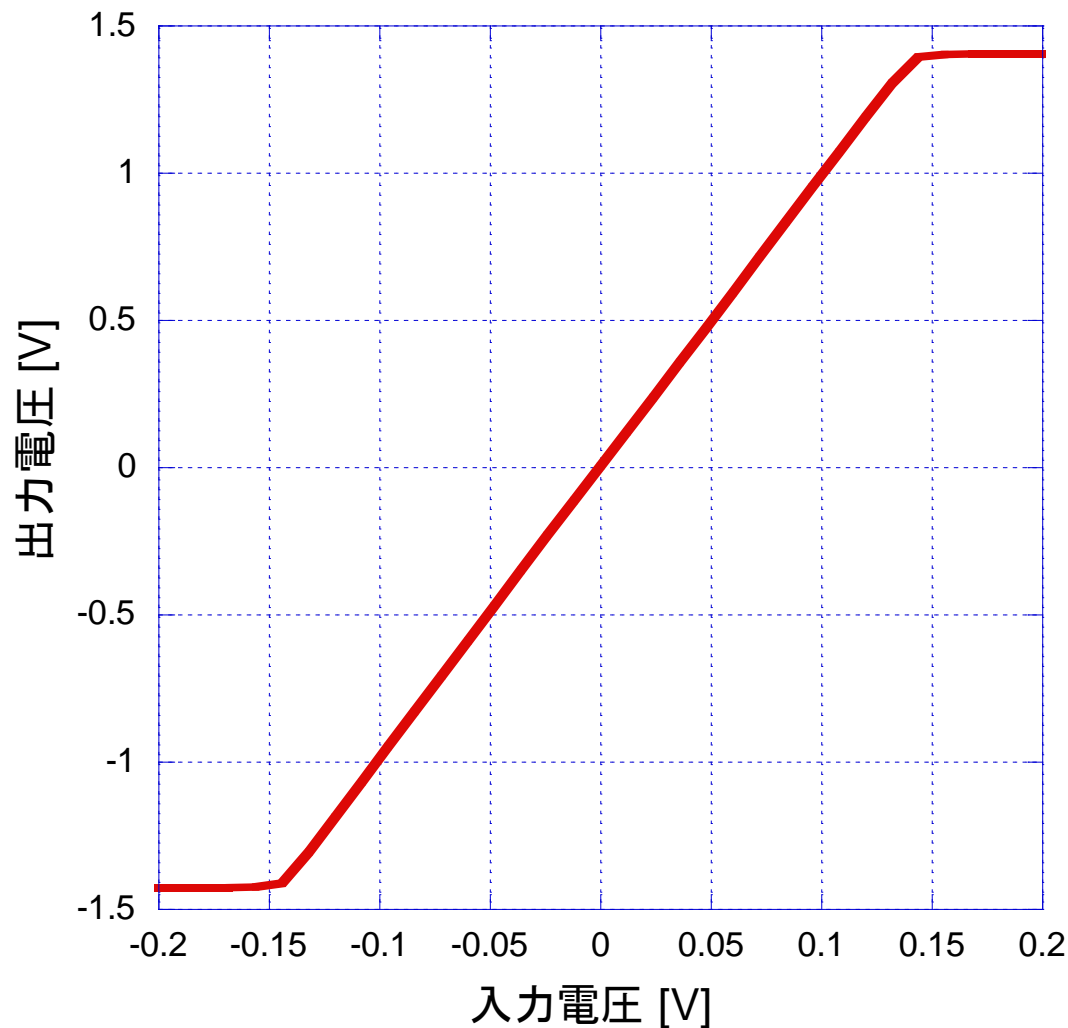
消費電流(+): 28.0  $\mu$ A

消費電流(-): 27.5  $\mu$ A

出力オフセット電圧: 4.39mV

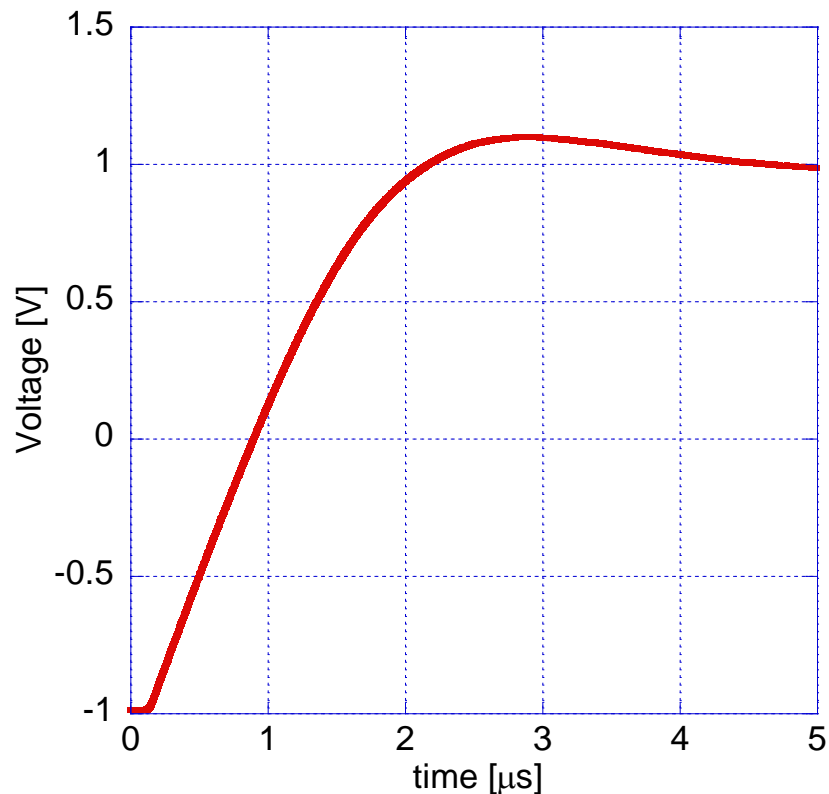
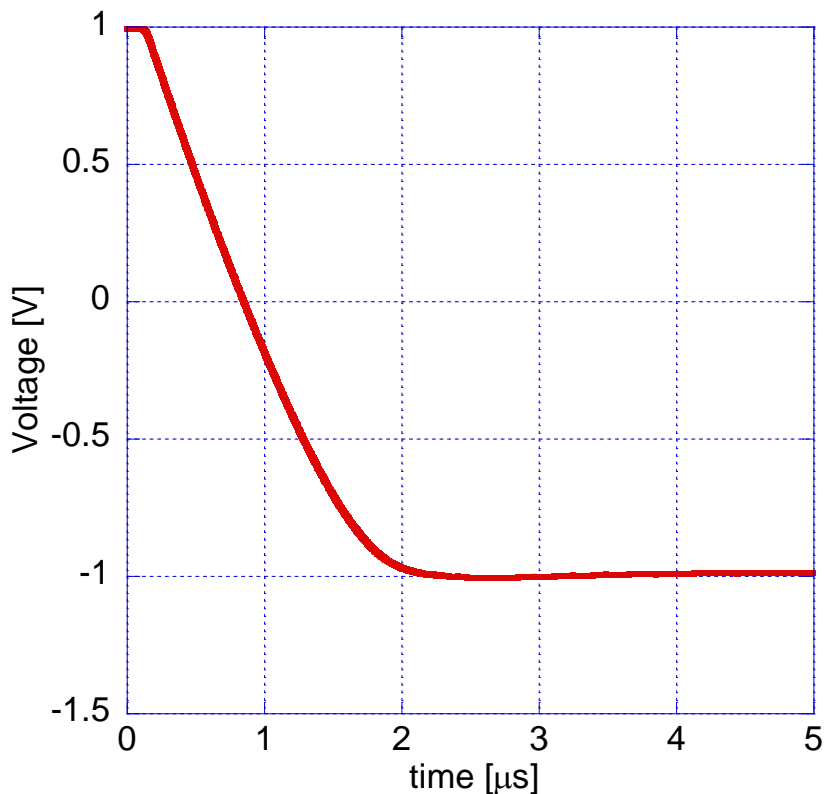


# シミュレーション結果(入力電圧範囲)



入力電圧範囲:  
±145mV

# シミュレーション結果(SR)



• 立ち下がり:  $1.13\text{V}/\mu\text{s}$

• 立ち上がり:  $1.05\text{V}/\mu\text{s}$

# レイアウト図



バイアス段

差動段+レベルシフト

AB級+補償

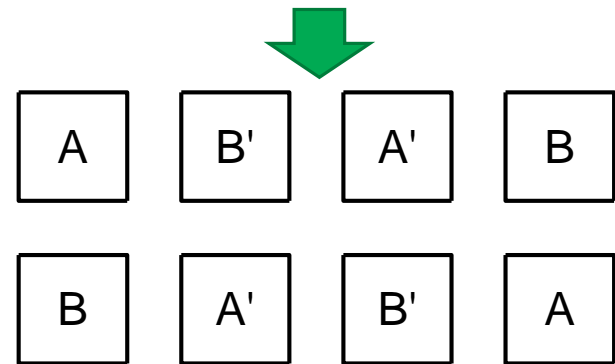
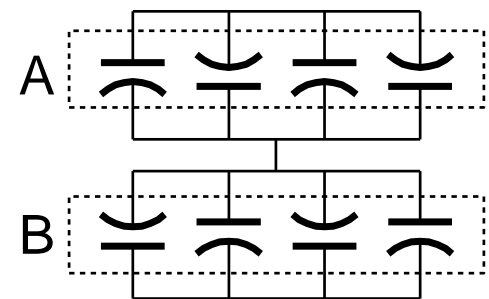
占有面積:  $489\mu\text{m} \times 117\mu\text{m} = 0.057\text{mm}^2$

# ミスマッチ対策

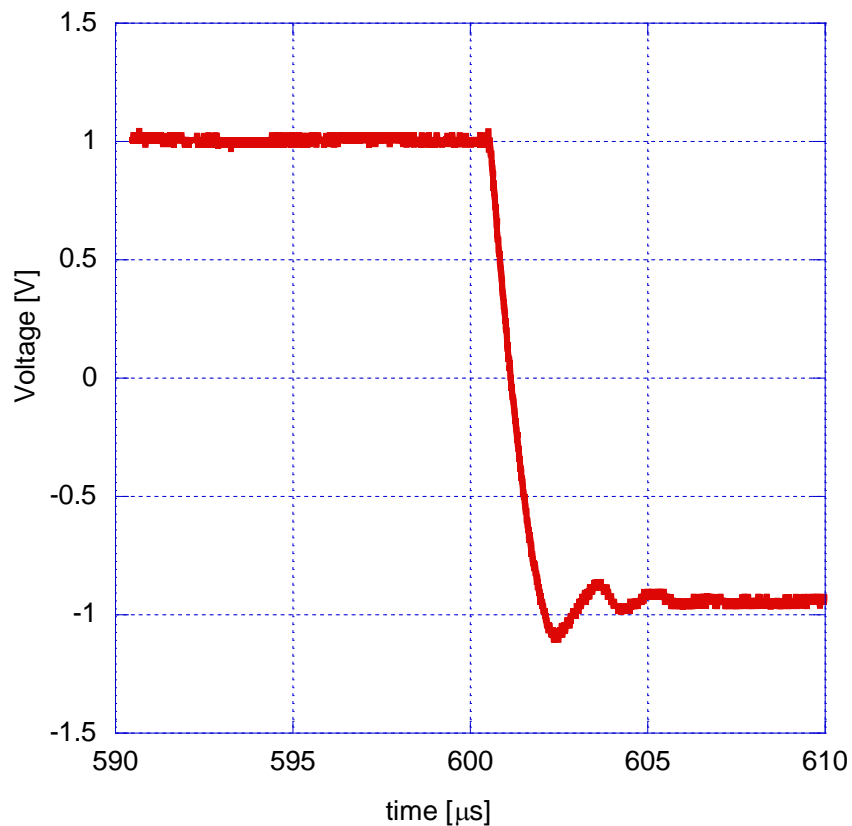
- MOSトランジスタのミスマッチ
  - 電流を同一方向に流す
  - MOSのLを大きく ( $\because \Delta V_{th} \propto 1/\sqrt{LW}$ )

- R,Cのミスマッチ

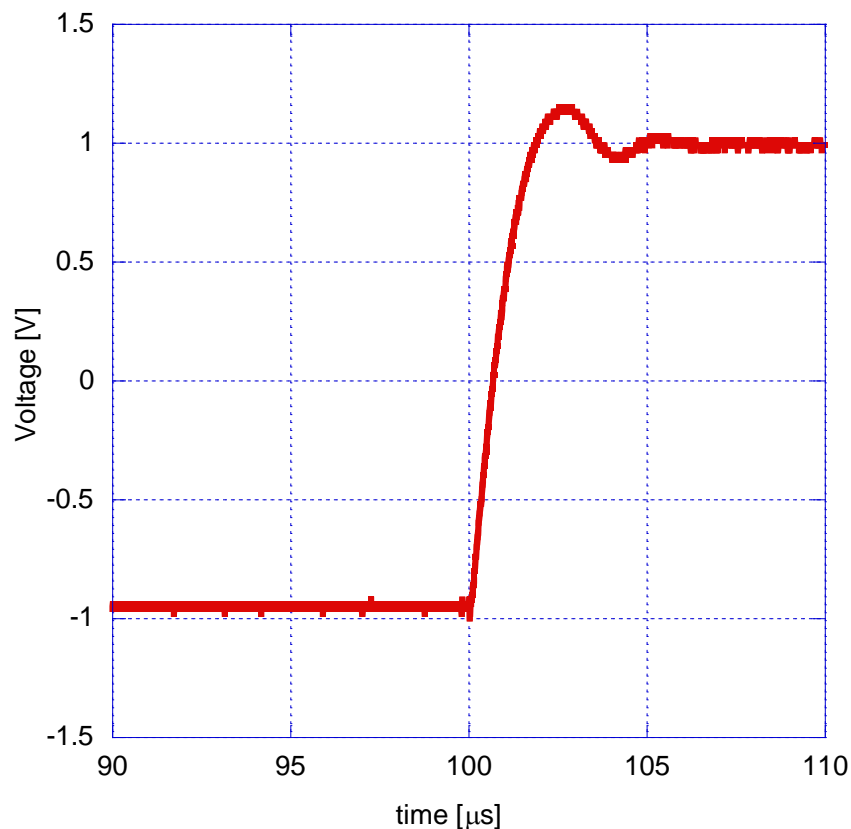
- ダミー抵抗の配置
- 補償容量のコモンセントロイド配置



# 測定結果(SR)



• 立ち下がり:  $1.36\text{V}/\mu\text{s}$



• 立ち上がり:  $1.15\text{V}/\mu\text{s}$

# simと試作チップの比較

回路特性		Sim	測定	審査
閉ループ利得		9.68倍	9.70倍	-
-3dB帯域幅		176kHz	400kHz	-
最大入力電圧		145mV	135mV	-
消費電流	$V_{DD}$ 側	28.0 $\mu$ A	46.8 $\mu$ A	44.2 $\mu$ A (最悪値)
	$V_{SS}$ 側	27.5 $\mu$ A	41.8 $\mu$ A	
SR	立ち上がり	1.05V/ $\mu$ s	1.15V/ $\mu$ s	-
	立ち下がり	1.13V/ $\mu$ s	1.36V/ $\mu$ s	-

Simに比べ、消費電流がかなり大きくなった

# 感想

---

- 自分の思うようにいかない、試作の難しさを痛感した
- レイアウトに関する知識不足を大いに実感した
- 今回の経験を活かし、来年はより良いチップを作成したい
- 演算増幅器設計コンテスト運営の皆様並びに、協賛企業の皆様、厚く御礼申し上げます。





Takai Laboratory

# 演算増幅器コンテスト 試作の部

群馬大学 修士1年

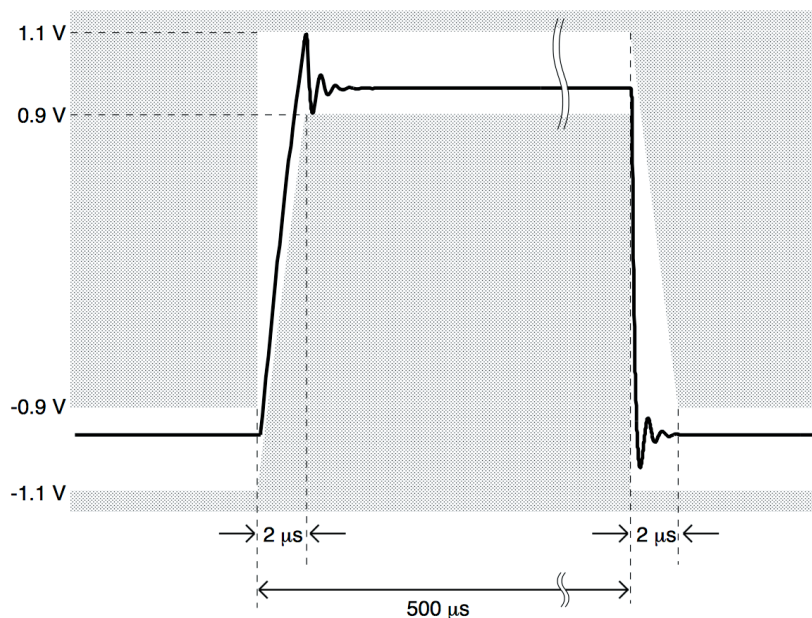
松場 輝樹

試作の部 2位

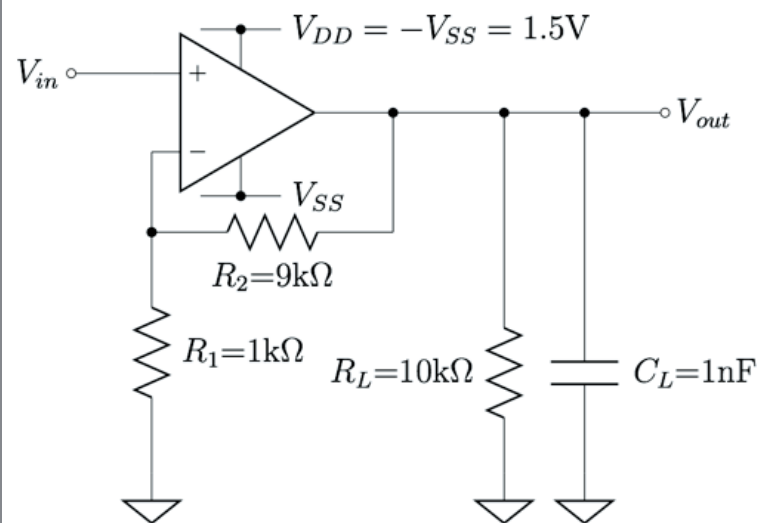
# 審査基準

## 減点方式

周波数が1kHz、直流成分が0V、時比率50%で0.2V<sub>p-p</sub>の矩形波を入力した時の時間応答波形が以下のマスク図の中に収まっていなければ減点対象



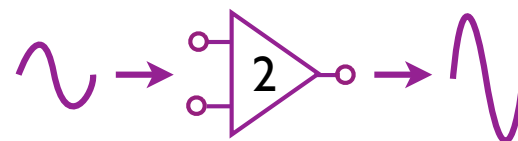
## 測定回路(回路2)



## 評価基準

消費電力のみ

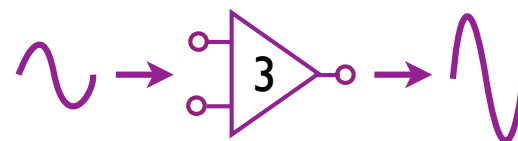
$$P = \max\{|I_{Bp}V_{DD}|, |I_{Bn}V_{SS}|\}$$



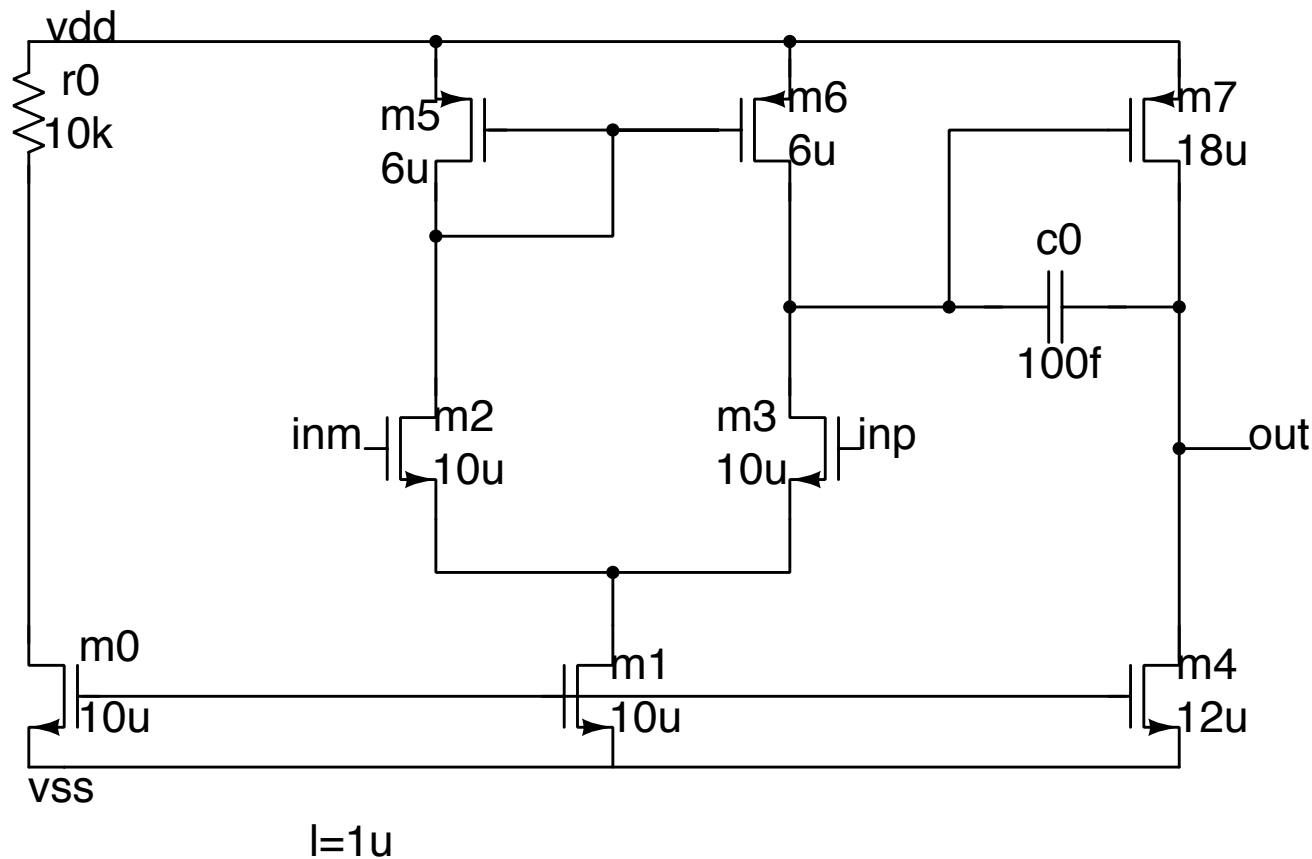
# 設計方針

レイアウトのイロハも分からないので、動く回路を目標に！

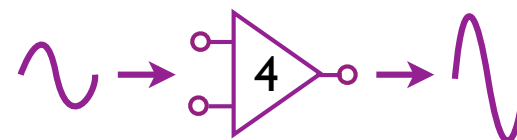
基本的な作動対、プッシュプル、バイアス段を使用する



# 提出回路

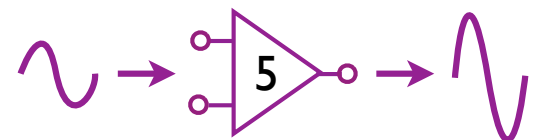
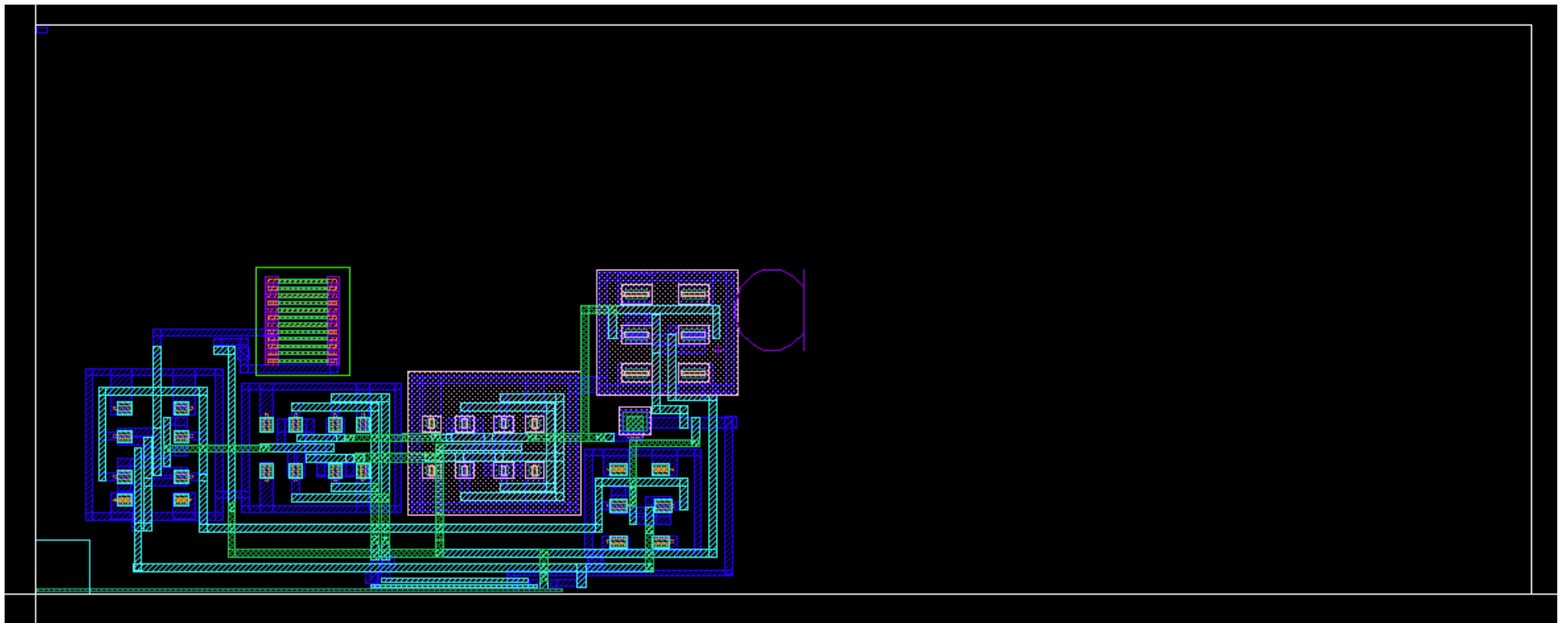


図のトランジスタの値はWの値



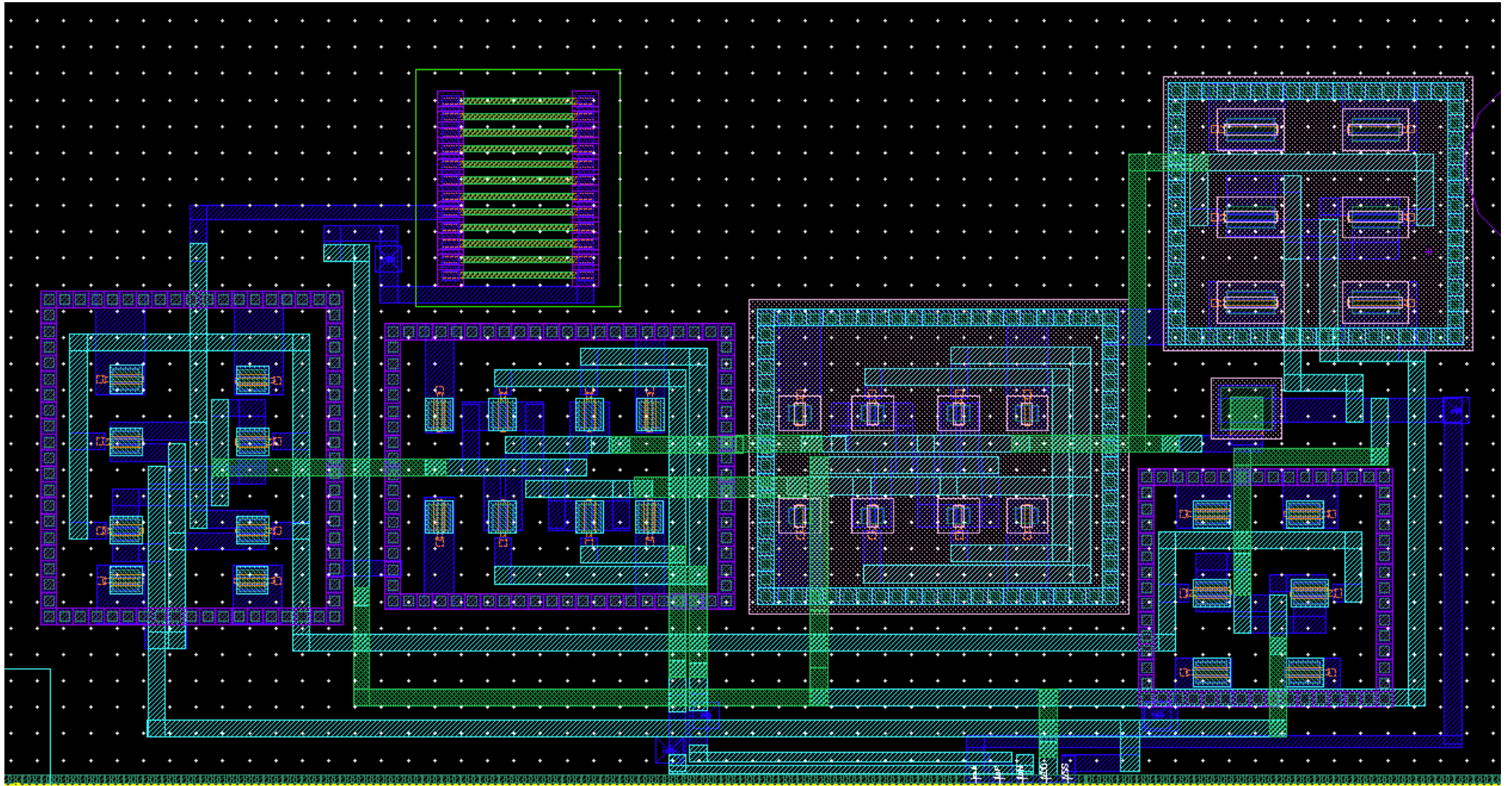
# レイアウト

与えられた枠に対してのレイアウト

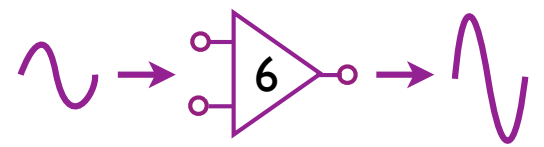




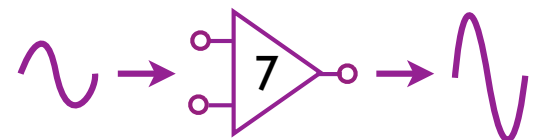
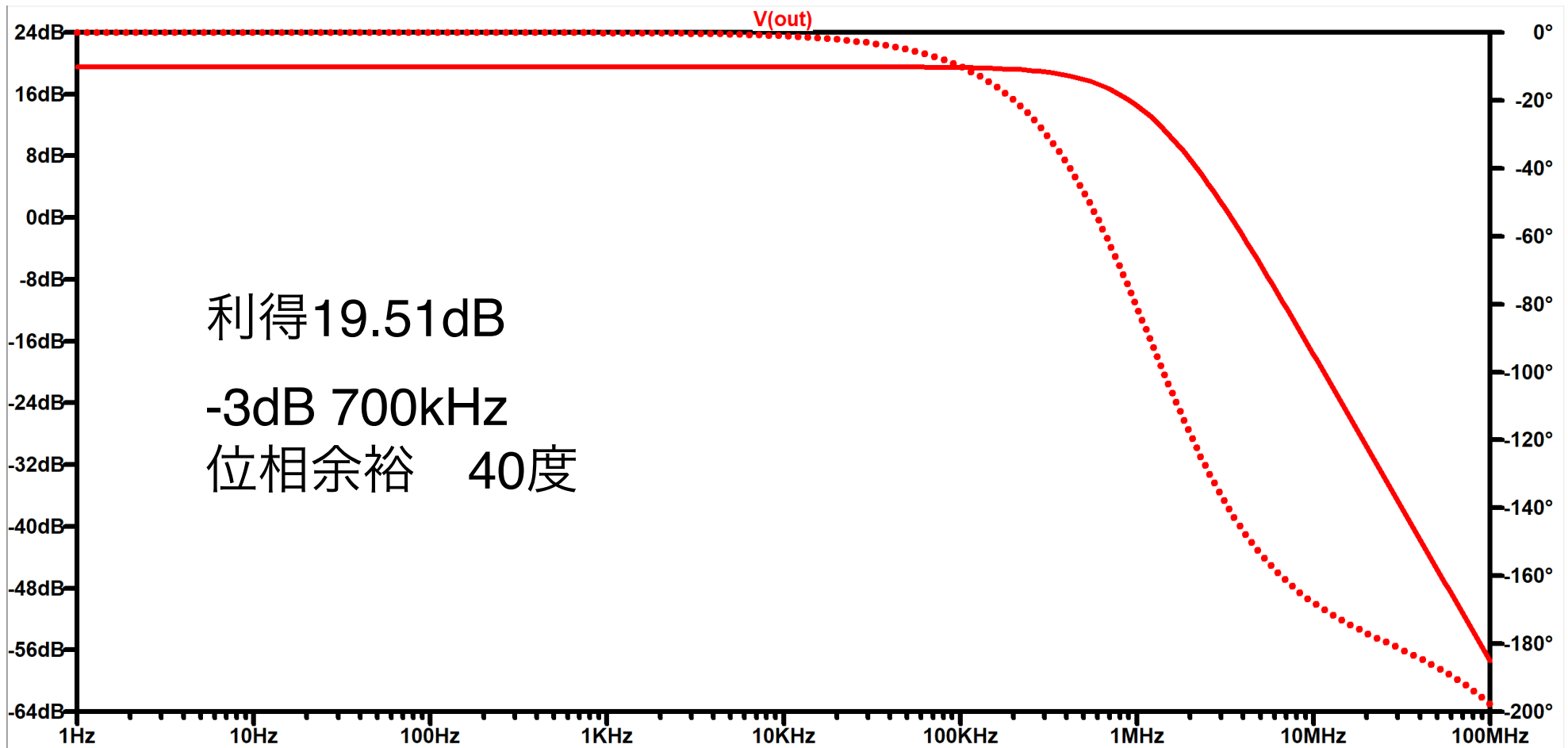
# レイアウト



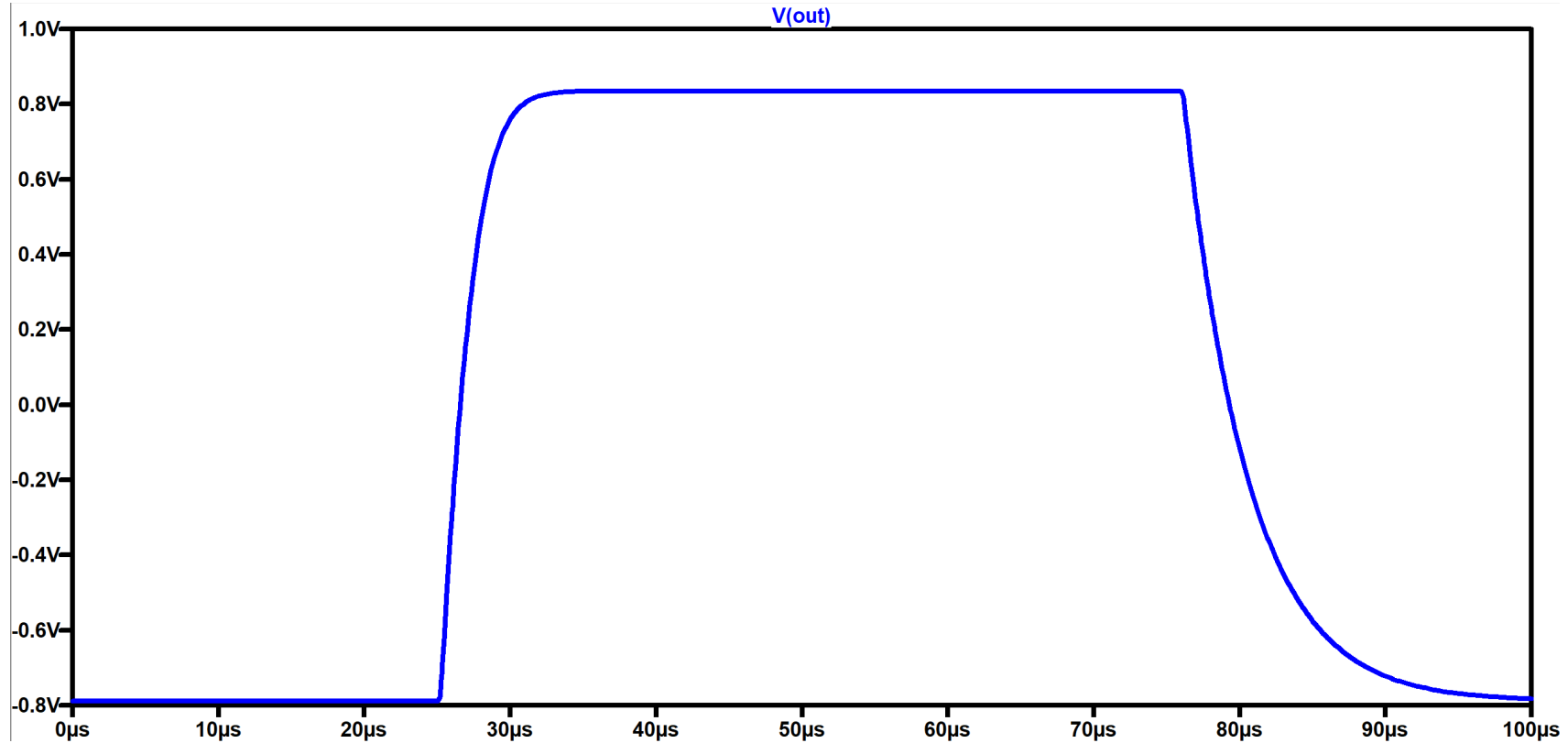
GUNMA UNIVERSITY TAKAI-LAB



# シミュレーション：利得



# スルーレート

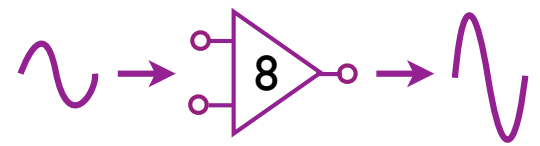


立ち上がり

0.421V/ $\mu\text{S}$

立ち下がり

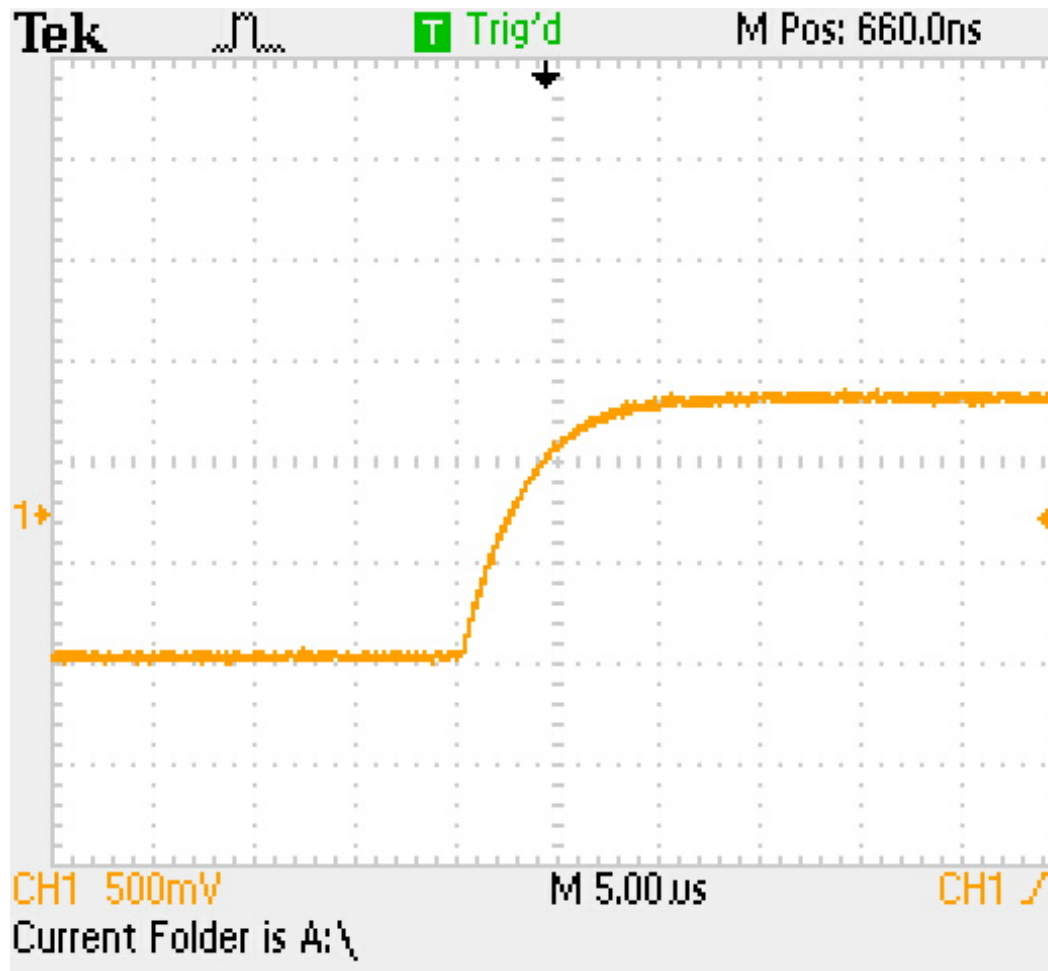
0.156V/ $\mu\text{S}$





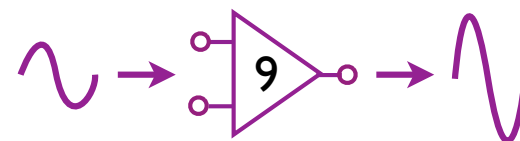
スルーレート

立ち上がり



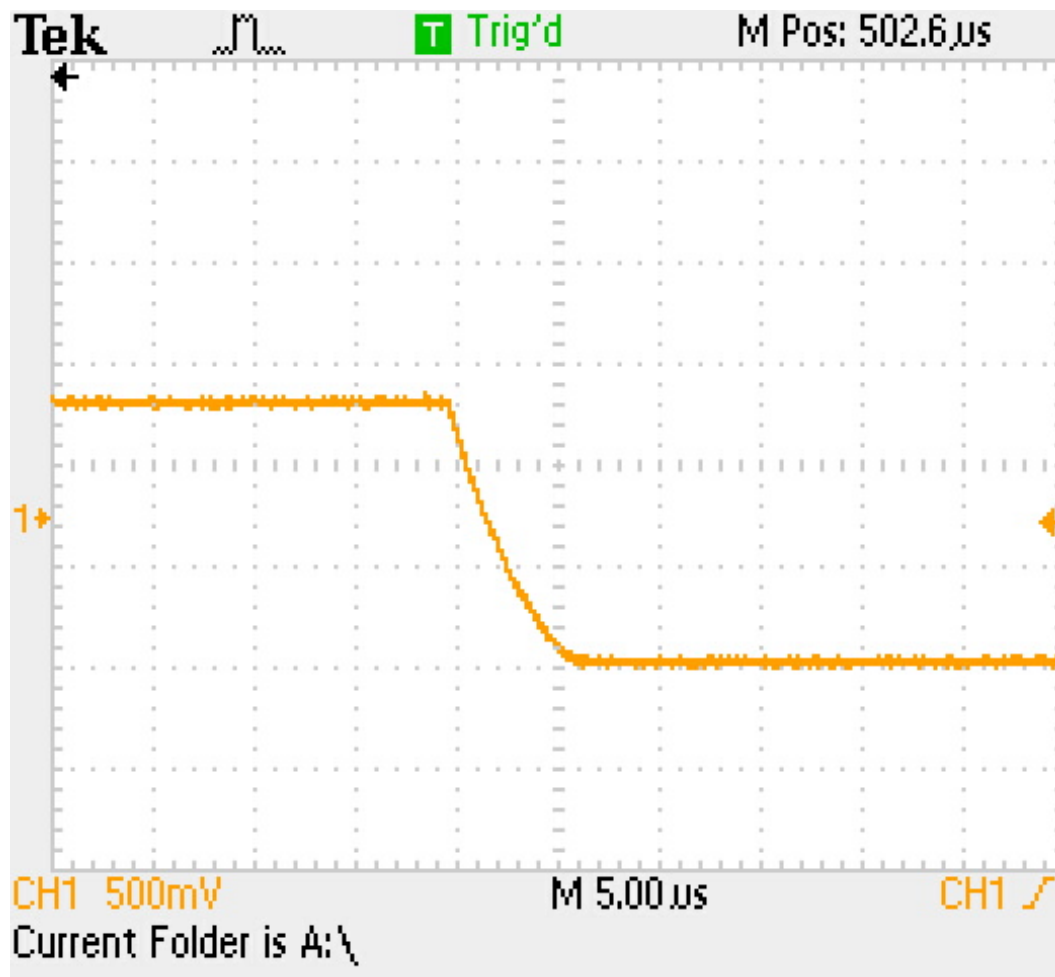
0.24V/ $\mu$ S

GUNMA UNIVERSITY TAKAI-LAB



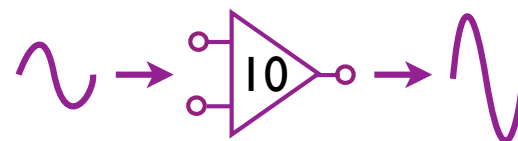
スルーレート

立ち下がり



0.08V/uS

GUNMA UNIVERSITY TAKAI-LAB



# 測定結果

シミュレーションでの消費電流

Vss 377.7uA Vdd 378.9uA

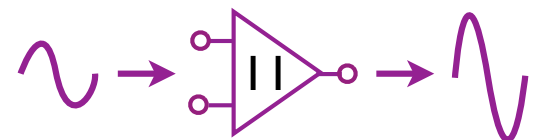
実測での消費電流

Vss 500uA Vdd 580uA

なのでスコアは**580uA**

コンテストの測定結果

605.9uA



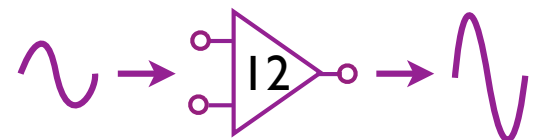
# まとめ

## よかった点

要項を満たし動作をする回路を設計しできた  
ダミーやコモンセントロイドの工夫をし  
レイアウトをすることができた

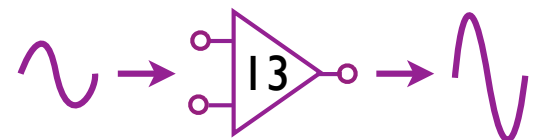
## 反省点

まだまだ、電流を絞ることができた  
工夫を凝らした回路構成にしたかった  
レイアウトをもっと綺麗にしたかった



# 謝辞

この様な貴重な機会を与えて下さった  
協賛企業の皆さまと運営の皆様に深く感謝を申し上げます





# 演算増幅器設計コンテスト 試作の部 評価回路1 1位

日付 2018年12月7日(金)

名前 小高 孔頌

所属 東京理科大学 理工学研究科  
電気工学専攻 兵庫研究室

# 設計目標

---

- **試作の部で入賞したい**

⇒近年の入賞作品より消費電流を40 $\mu$ A以内に抑えれば良い

- **素人が工夫せずにレイアウトした場合にシミュレーション値と実測値がどのくらい差が生じるのか気になる**

⇒あえてレイアウトに関する知識を勉強せずにレイアウトしてみる

- **消費電流がシミュレーション値と比べ実測値が増加することを考慮**

⇒過去の入賞作品より実測値ではシミュレーション値の1.5~2倍近くの消費電流が流れると予想

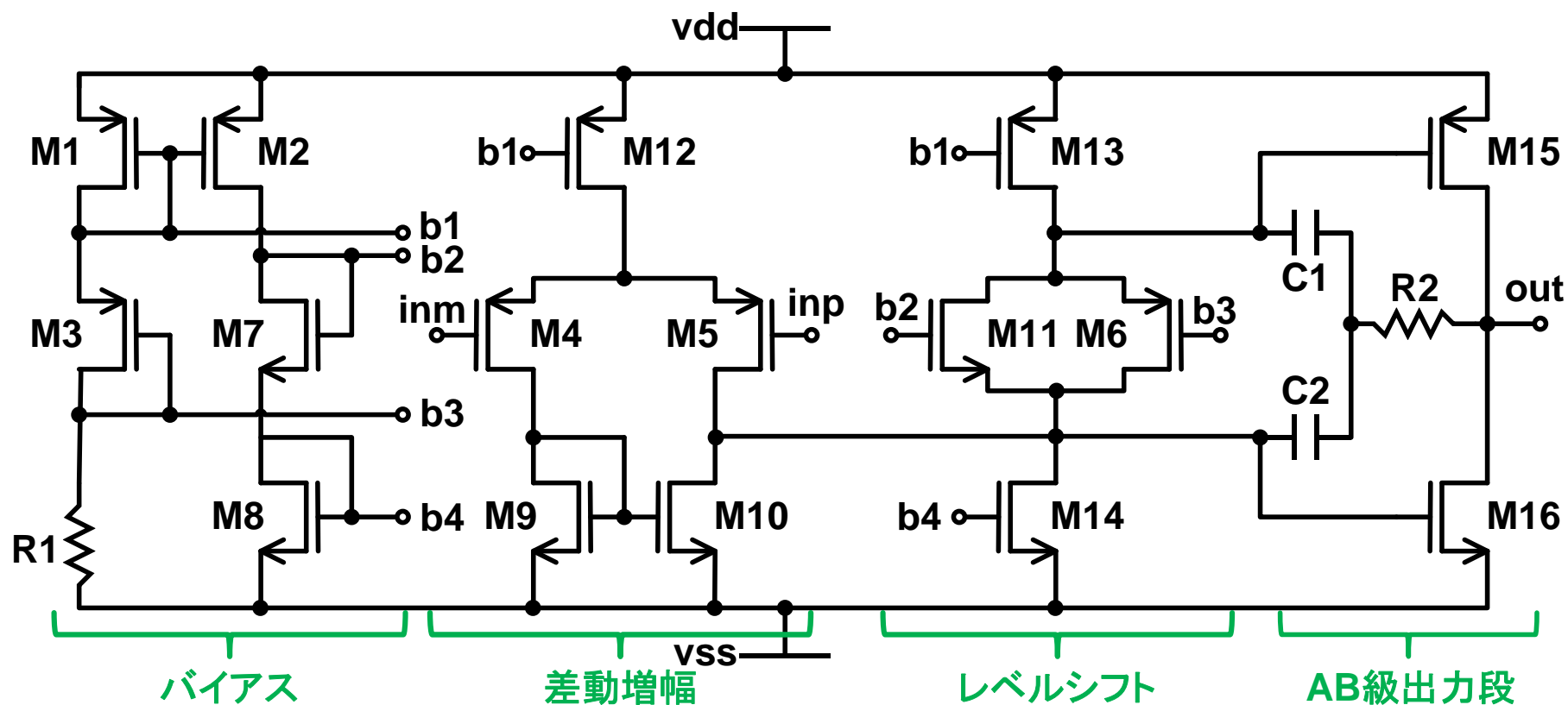
# 設計する際の工夫

---

- 初めての試作なのでレイアウトで苦戦するはず
  - 簡単化のためにNMOS及びPMOSはそれぞれアスペクト比を一種類のみ使用
  - 回路構成をできるだけシンプルなものを選ぶ
- 消費電流を抑える必要がある
  - 出力段にAB級を使用

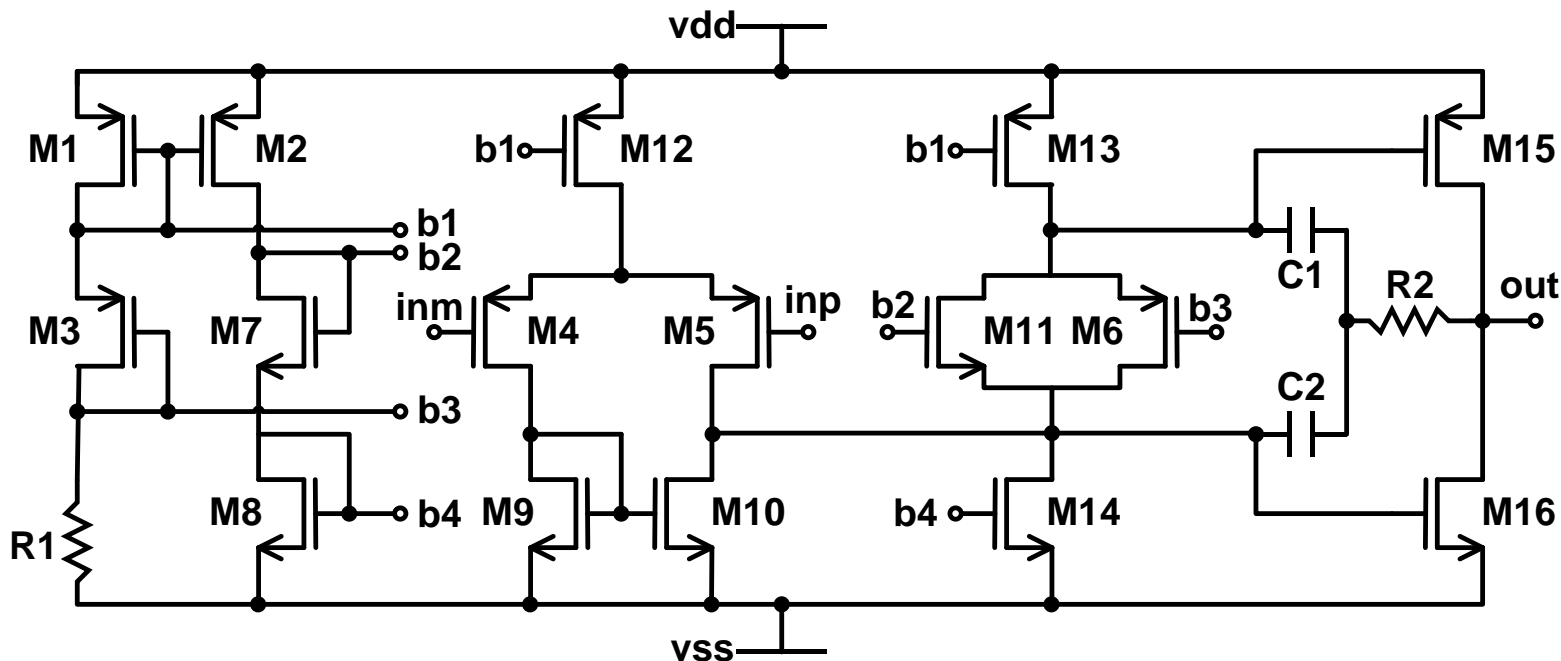


# 提出回路



消費電流 +側 : 17.7 $\mu$ A -側 : 17.8 $\mu$ A

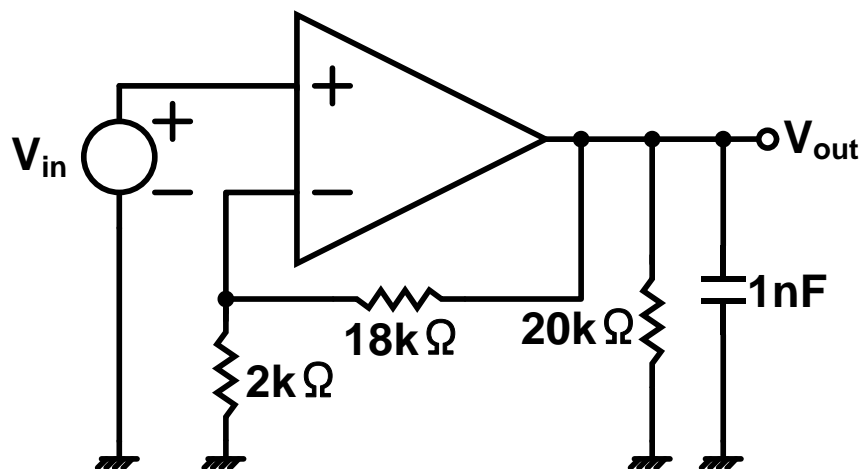
# 提出回路



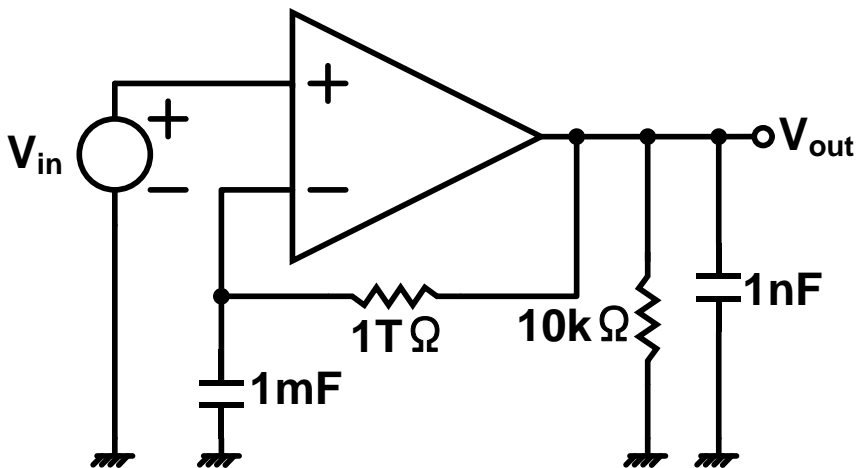
素子値 ( $\mu\text{m}$ )	M1~M11	M12~M14	M15~M16		素子値
PMOS	15.0/1.0	15.0/1.0 $\times$ 2	15.0/1.0 $\times$ 3	R0(k $\Omega$ )	399
NMOS	5.0/1.0	5.0/1.0 $\times$ 2	5.0/1.0 $\times$ 3	R1(k $\Omega$ )	210
				C1,C2(pF)	1.04

※PMOSのバルクは全てソースに NMOSのバルクは全てVssに接続している

# 評価回路及び要件



(a)

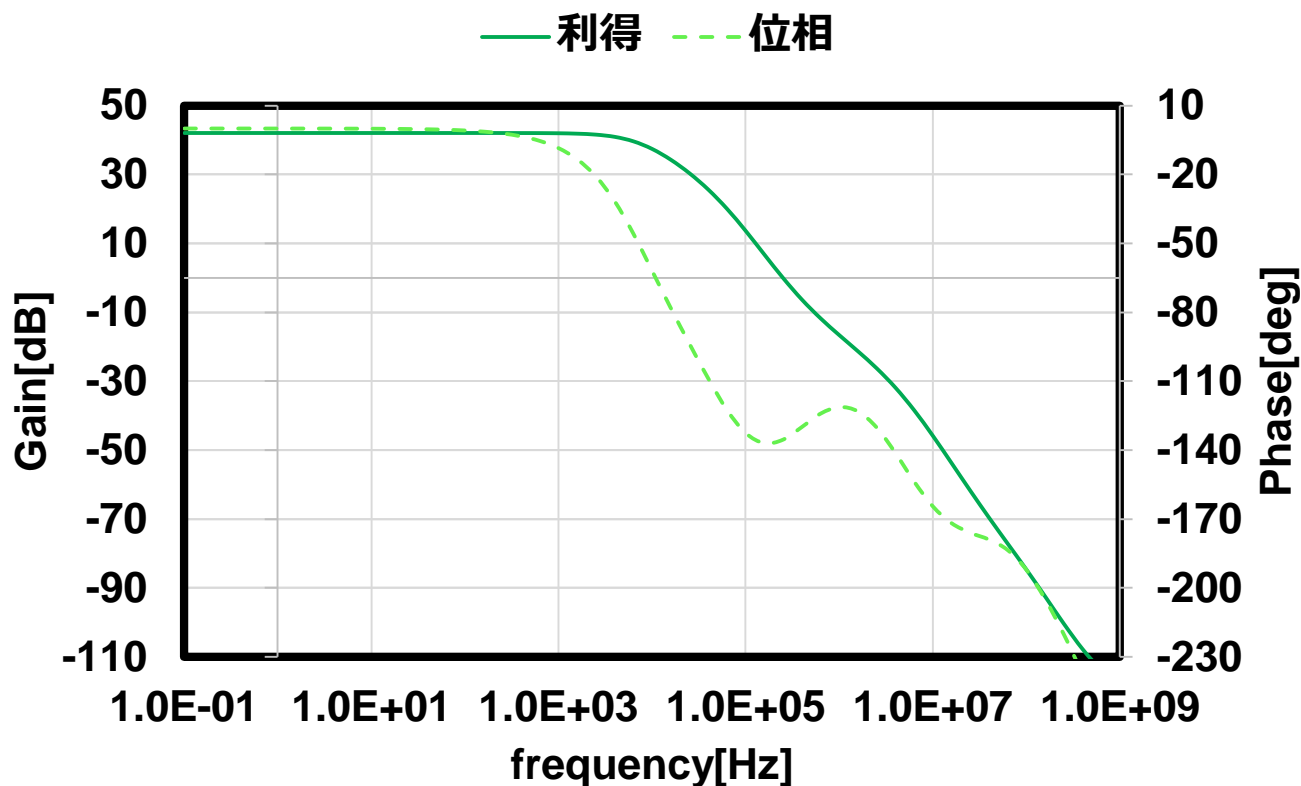


(b)

項目	要件	評価回路
直流利得	40dB以上	(b)
位相余裕	45°以上	(b)
-3dB帯域幅	20kHz以上	(a)
入力電圧範囲	±100mV以上	(a)
スルーレート	±1V/μs以上	(a)

※回路の電源電圧は3V(±1.5V)とする

# シミュレーション結果①



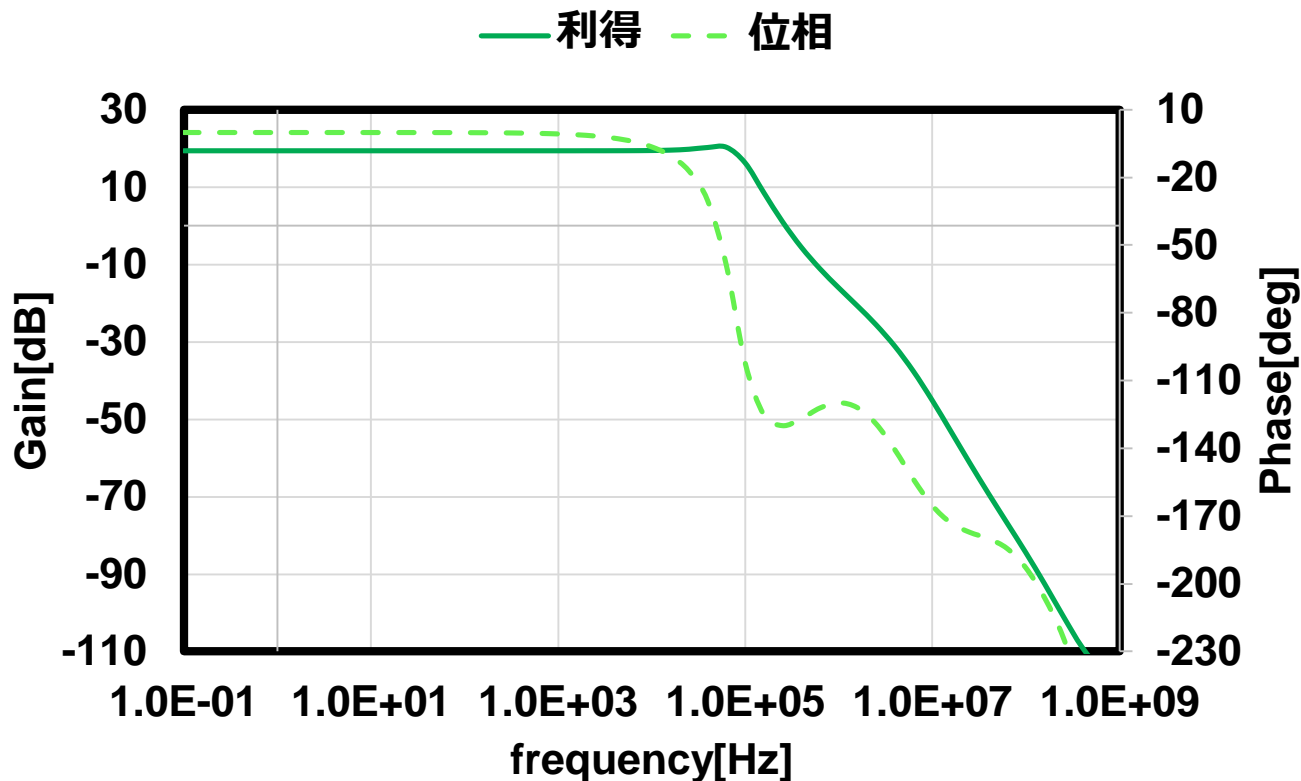
## 評価方法

- **直流利得**  
評価回路(b)における0.1Hzでの利得を求める
- **位相余裕**  
評価回路(b)における利得0dBとなる時の( $180^\circ +$ 位相回転)を求める

直流利得(open loop gain): 45dB

位相余裕:  $45^\circ$

# シミュレーション結果②



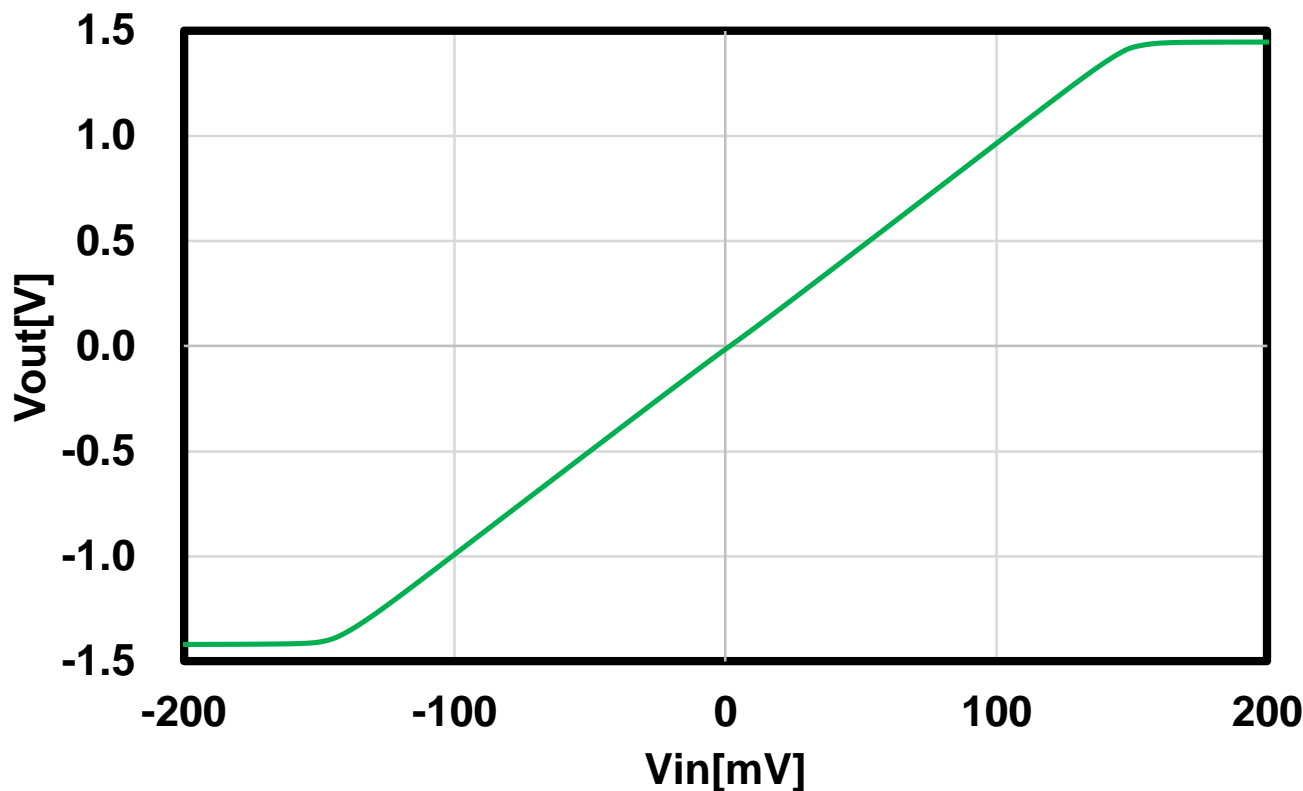
## 評価方法

- **-3dB帯域幅**  
評価回路(a)における0.1Hzでの利得を基準とし利得が-3dB周波数を求める

**直流利得(closed loop gain): 19.3dB (9.24倍)**

**-3dB帯域幅: 100kHz**

# シミュレーション結果③

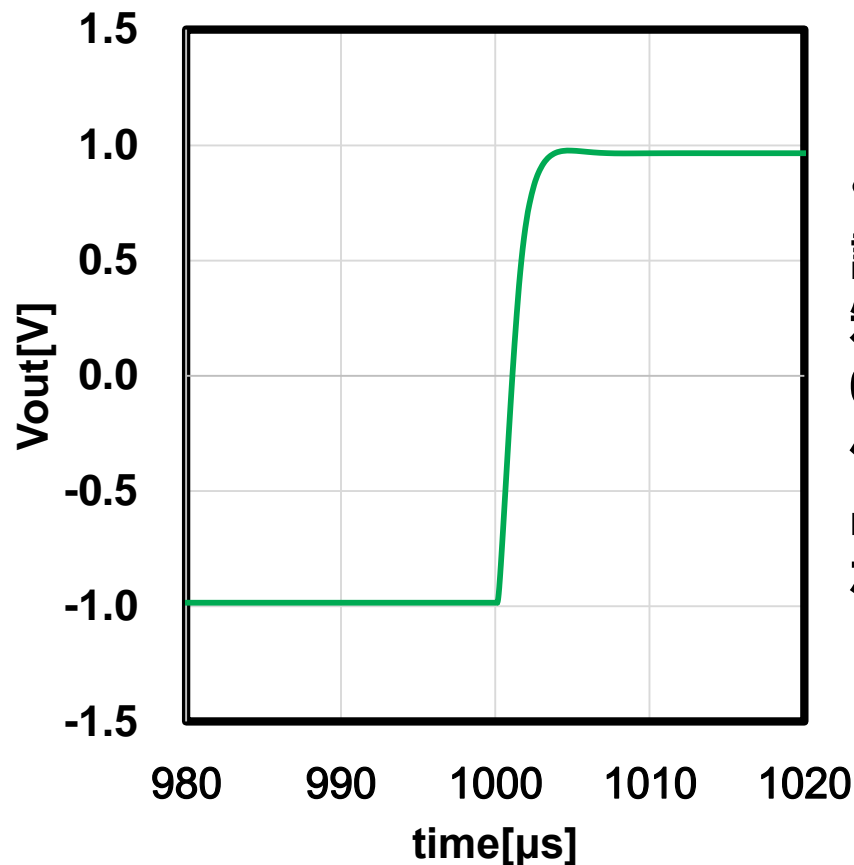


## 評価方法

- 入力電圧範囲  
評価回路(a)において入力電圧を掃引し、出力電圧が飽和し始める入力電圧を求める

最大入力電圧範囲： $\pm 140$  mV

# シミュレーション結果④



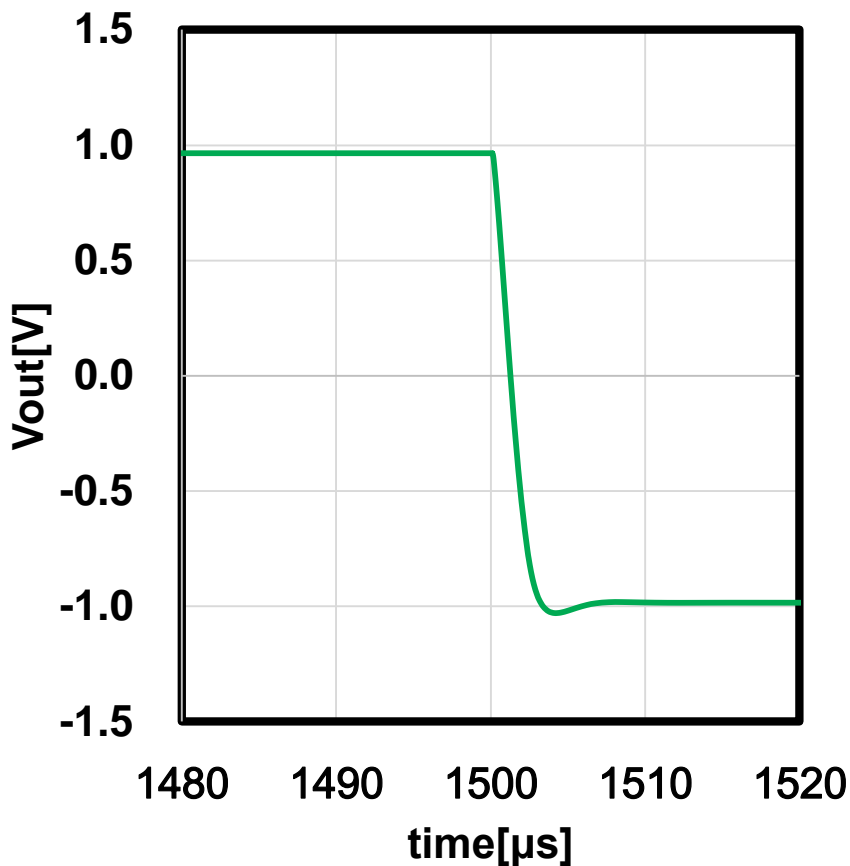
## 評価方法

- スルーレート立ち上がり  
評価回路(a)において入力電圧を矩形波とし立ち上がり時間を0.5nsで-100mVから100mVに変化させる。  
出力電圧が-900mVと900mVになった時刻をそれぞれ $t_1$ と $t_2$ する。

$$SR = \frac{1.8}{t_2 - t_1}$$

立ち上がり : 0.77V/ $\mu s$

# シミュレーション結果⑤



## 評価方法

- スルーレート立ち下がり  
評価回路(a)において入力電圧を矩形波とし立ち下がり時間を0.5nsで100mVから-100mVに変化させる。  
出力電圧が900mVと-900mVになった時刻をそれぞれ $t_1$ と $t_2$ する。

$$SR = \frac{1.8}{t_2 - t_1}$$

立ち下がり : 0.74V/ $\mu s$

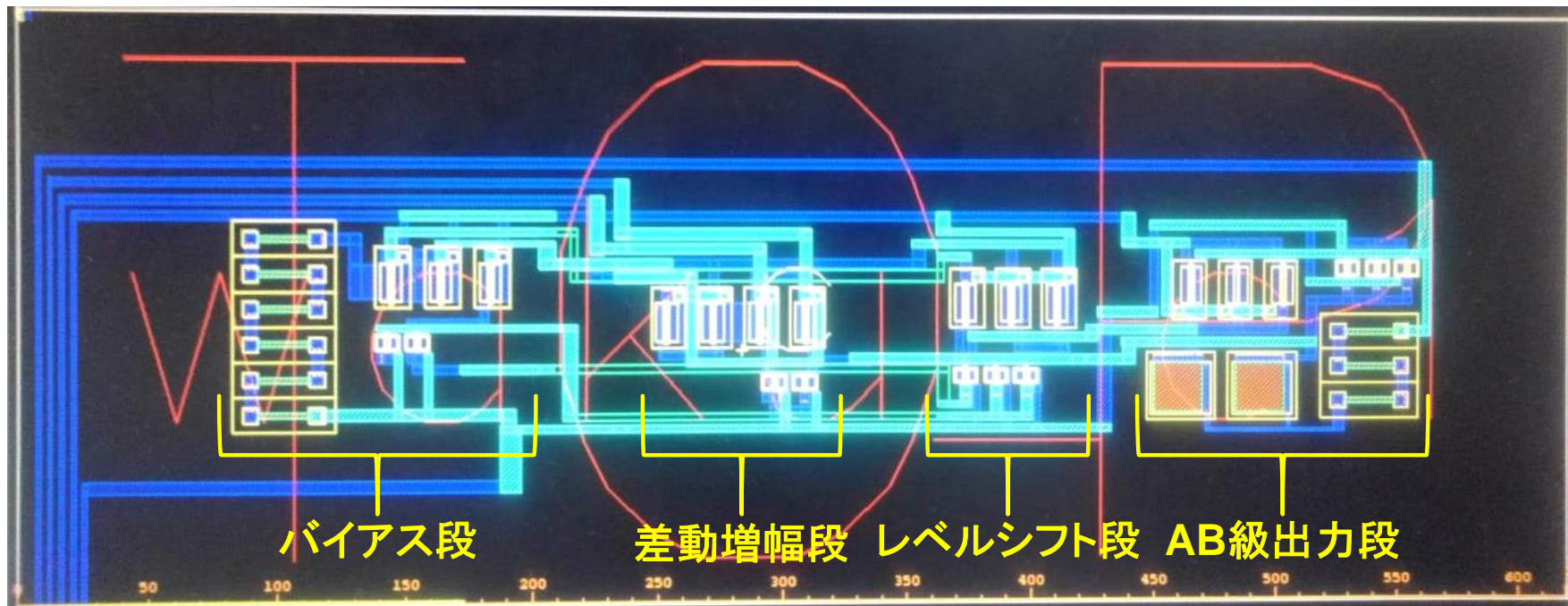


# レイアウトする際の工夫

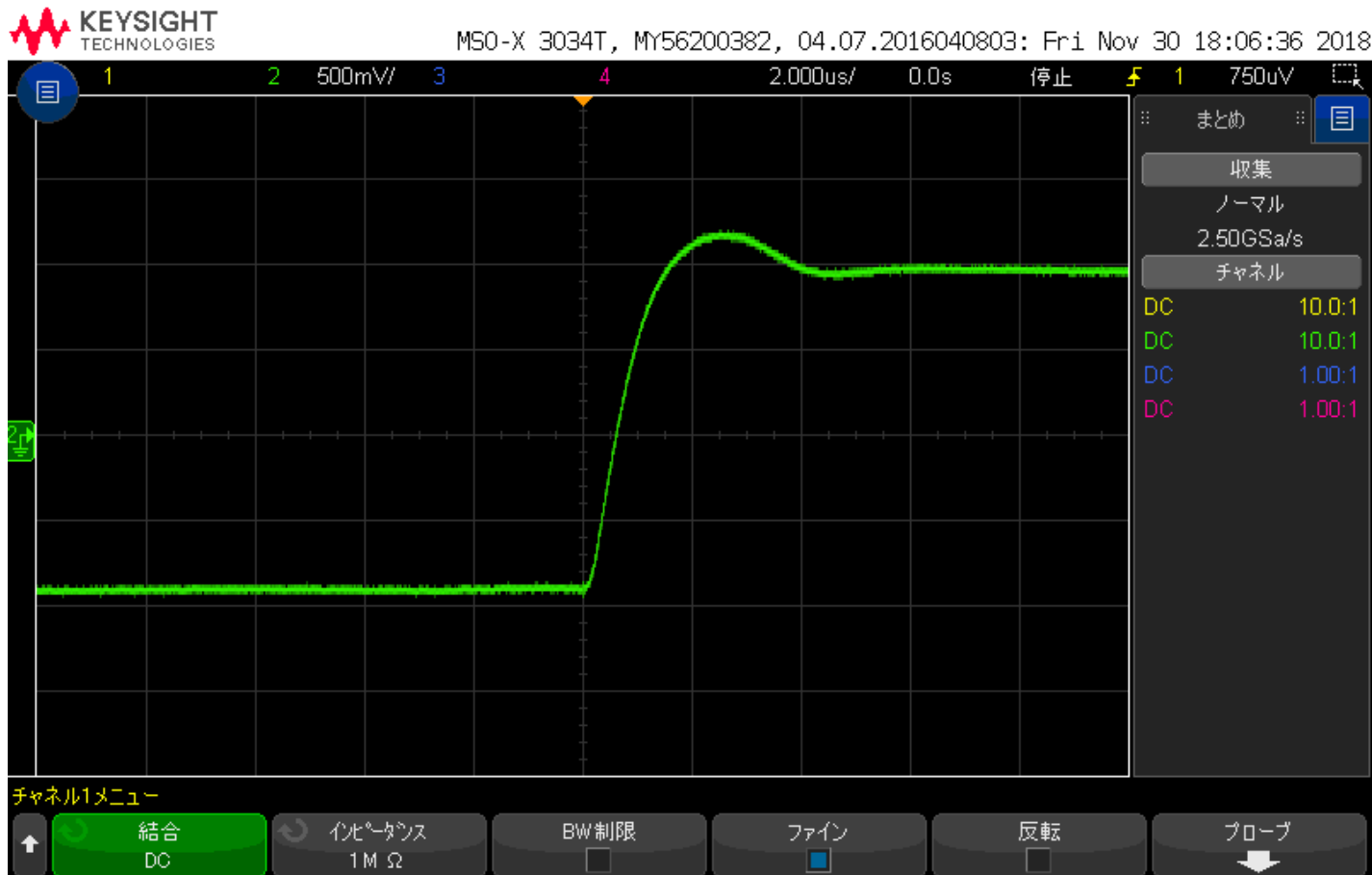
---

- 極力時間をかけずにレイアウトを終えたい
  - LVS (Layout Versus Schematic) で間違いを見つけやすくするためにバイアス段、差動段、レベルシフト段、AB級出力段を個々にレイアウトし各LVSを終えた後に各段を接続する
  - デザインルールに引っかからないように各素子間に余裕を持たせてレイアウトする

# レイアウト図



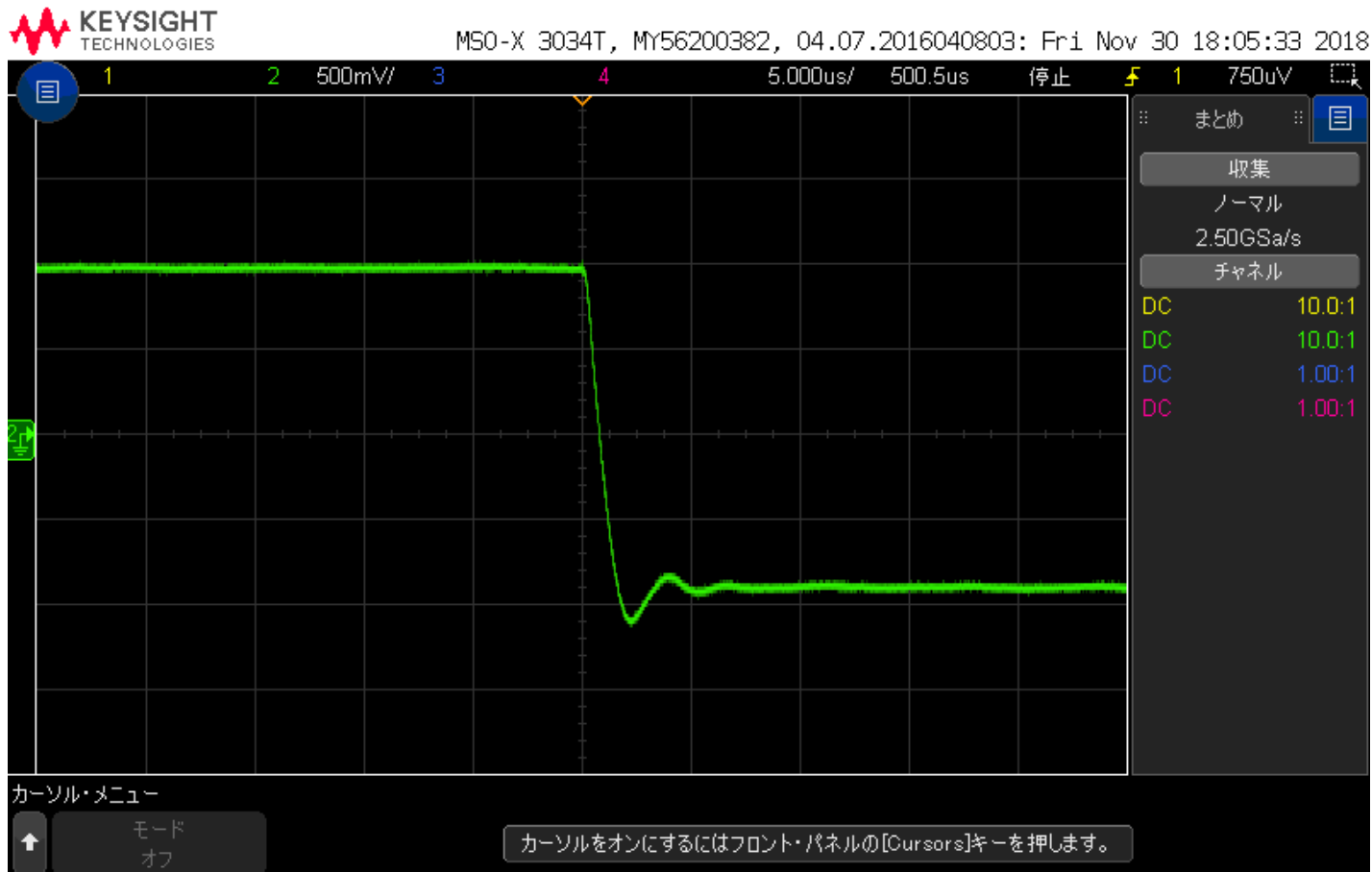
# 測定結果①



500mV/DIV  
2.000μs/DIV

立ち上がり : 1.29V/μs

# 測定結果②



500mV/DIV  
5.000 $\mu$ s/DIV

**立ち上がり : 1.20V/ $\mu$ s**

# チップ測定結果 (運営)

	チップ # 1	チップ # 2
測定 1 回目	-3.63E-05	-2.30E-05
測定 2 回目	-2.28E-05	-3.67E-05
絶対平均値	2.95E-05	2.99E-05

- 消費電流測定結果

最大消費電流は36.7 $\mu$ A 最大消費電力は55.1 $\mu$ W

# 測定結果まとめ(自分)

チップ番号	消費電流[ $\mu$ A]		利得[倍]	スルーレート[V/ $\mu$ s]		最大入力電圧[mV]	帯域幅[kHz]
	+側	-側		立ち上がり	立ち下がり		
1	23.1	32.1	9.55	1.36	1.20	$\pm$ 146	400
2	21.9	74.0	9.55	1.52	1.06	$\pm$ 120	400
3	22.9	39.1	9.55	1.37	1.20	$\pm$ 141	400
4	22.5	35.6	9.55	1.39	1.21	$\pm$ 141	400
5	24.1	28.3	9.60	1.32	1.19	$\pm$ 154	400
6	21.7	50.0	9.55	1.43	1.10	$\pm$ 134	400
7	52.1	24.1	9.55	1.19	1.32	$\pm$ 148	400
8	67.6	22.6	9.55	1.10	1.25	$\pm$ 130	400
9	24.4	32.6	9.55	1.36	1.16	$\pm$ 146	400
10	23.1	39.1	9.65	1.37	1.20	$\pm$ 139	400
11	46.5	22.7	9.65	1.15	1.28	$\pm$ 145	400
12	69.8	22.6	9.50	1.09	1.27	$\pm$ 134	400
13	70.8	22.8	9.60	1.07	1.30	$\pm$ 134	400
14	22.1	33.7	9.50	1.35	1.04	$\pm$ 144	400
平均	36.6	34.2	9.56	1.29	1.20	$\pm$ 140	400
最善値	21.7	22.6	9.65	1.52	1.32	$\pm$ 154	400
最悪値	70.8	74.0	9.50	1.07	1.04	$\pm$ 120	400

# 測定値とシミュレーション値の比較

	消費電流[ $\mu\text{A}$ ]		利得[倍]	スルーレート[V/ $\mu\text{s}$ ]		最大入力電圧[mV]	帯域幅[kHz]
	+側	-側		立ち上がり	立ち下がり		
要件値				1.00	1.00	$\pm 100$	20
シミュレーション値	17.7	17.8	9.24	0.77	0.74	$\pm 140$	100
測定値 (自分)	36.6	34.2	9.56	1.29	1.20	$\pm 140$	400
測定値 (運営)		36.7					
増加率 [%]	107	106	3	68	62	0	300

## 増加理由

利得：消費電流が増加したため

スルーレート：消費電流が増加したため

帯域幅：直流利得が増加したため

**➡ 消費電流の増加が原因と考えられる**

# 消費電流の増加原因と対策

- バイアス電流の増加

- ① バイアス段で使用している抵抗（マンダ構造）の変動が原因と考えられるのでダミーフィンガーを利用し抵抗値をそろえる [1]
- ② バイアス段の抵抗ばらつきを低減するためにコンタクトとビアをランディングパッドで囲み、合わせ余裕はルールより大きくとる [1]

- カレントミラー比が変動

- ① 個々のMOSFETの特性がずれたことに起因すると考えられるのでゲート幅をより広いMOSFETを用いる [1]

[1] ウェスト&ハリス 『CMOS VLSI回路設計 基礎編』 丸善.



# 課題

---

- 試作チップ毎に消費電流にかなりの差がある
- 消費電力を抑えつつSRを向上させられるような回路構成を考える
- シミュレーション値と実測値が近くなるような回路構成、レイアウト上の工夫を考える

# まとめ

---

- 目標としていた入賞をすることができた
- レイアウトを我流で行った場合バラつき等がどのくらい現われるのか理解できた
- 消費電流の実測値はシミュレーション値の約2倍になった

# 感想及び謝辞

---

- 実際にチップ化する上でレイアウト設計を初めて行ったが、想像以上に難しく、貴重な体験をできた
- レイアウト及び回路設計に関する知識をより身に付けたい
- 来年は今年度の経験を活かし、より低電力で動作するものを作成したい
- 貴重な機会を設けて下さいました協賛企業及び運営の方々に感謝申し上げます



Takai Laboratory

# 演算増幅器設計コンテスト 試作の部 1位(回路2)

2018年12月7日

群馬大学 理工学府

電子情報・数理教育プログラム

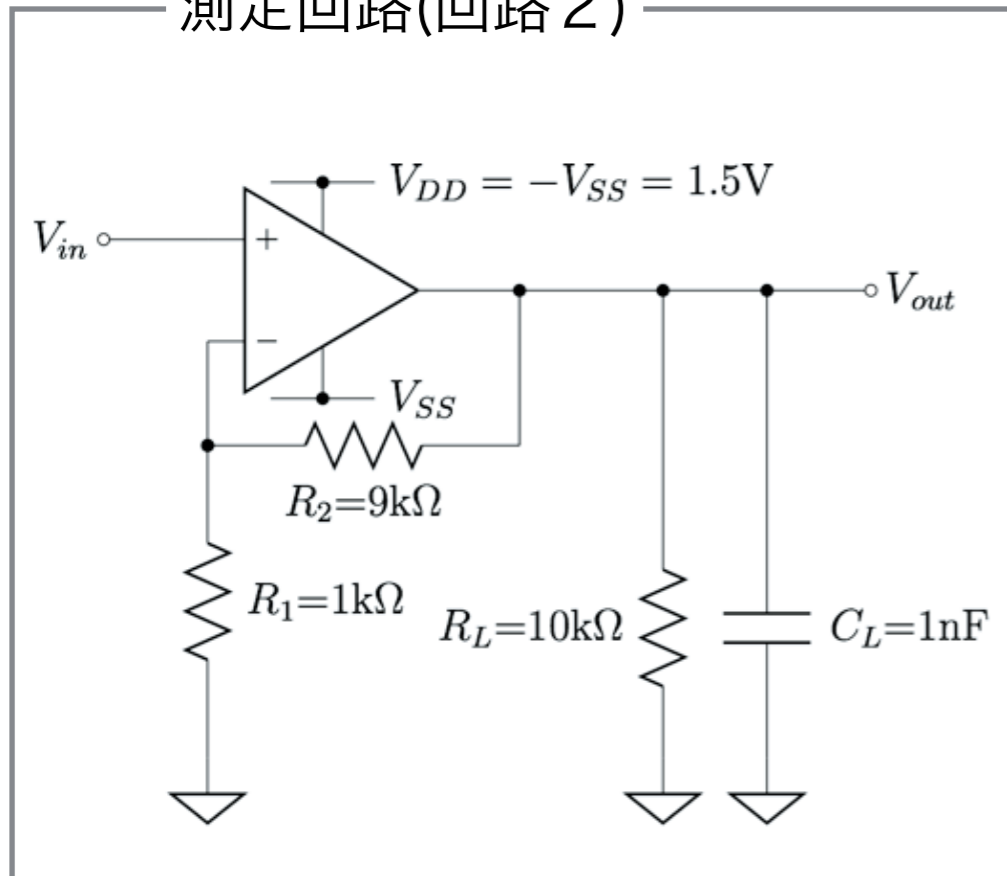
情報通信システム第2研究室

修士1年 久保 友助



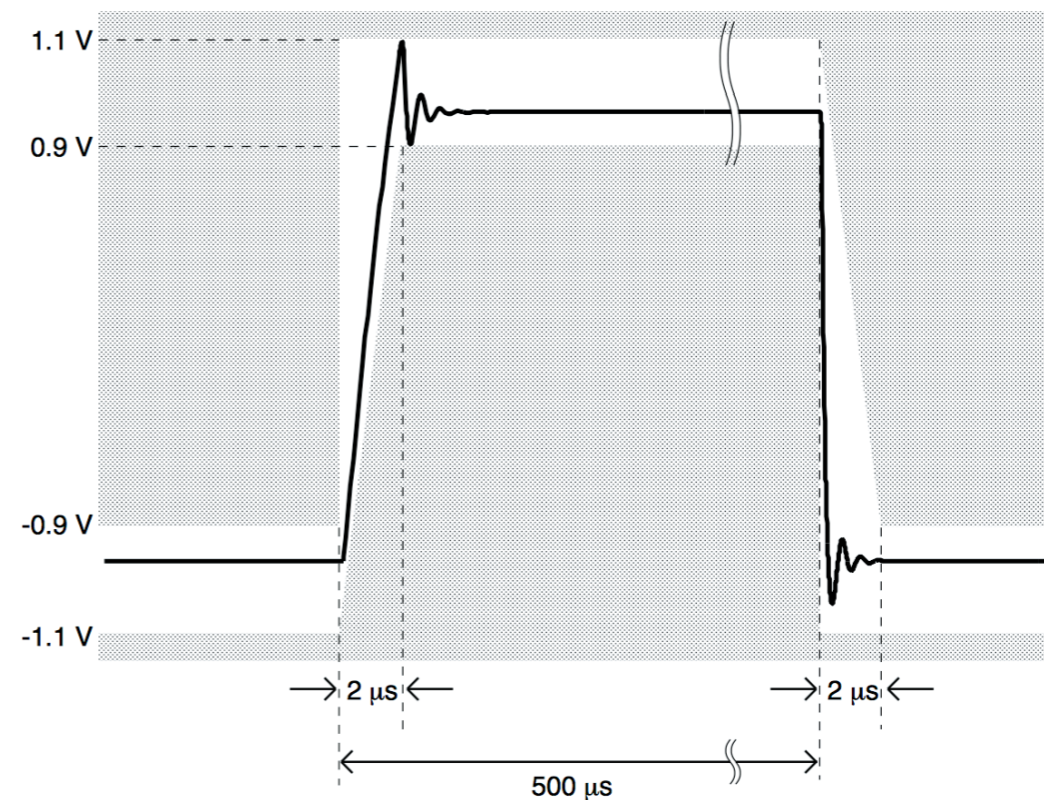
# 審査基準

測定回路(回路 2)



減点方式

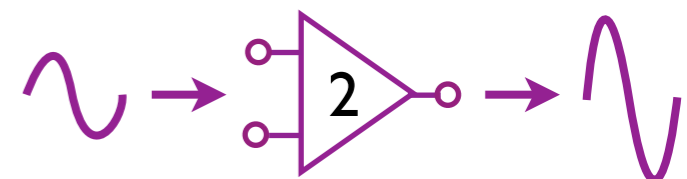
周波数が1kHz、直流成分が0V、時比率50%で $0.2\text{V}_{\text{p-p}}$ の矩形波を入力した時の時間応答波形が以下のマスク図の中に収まっていなければ減点対象



評価基準

消費電力のみ

$$P = \max\{|I_{Bp}V_{DD}|, |I_{Bn}V_{SS}|\}$$

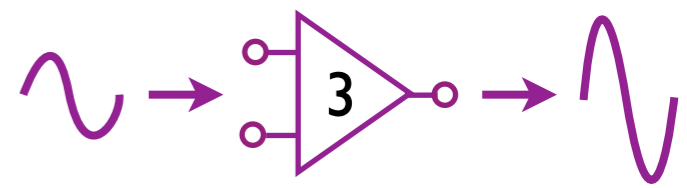


# 設計方針

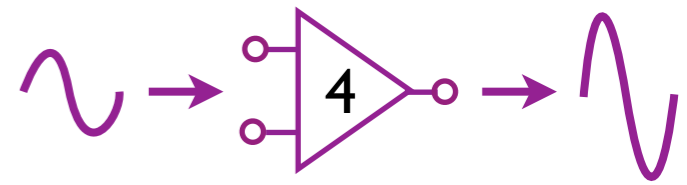
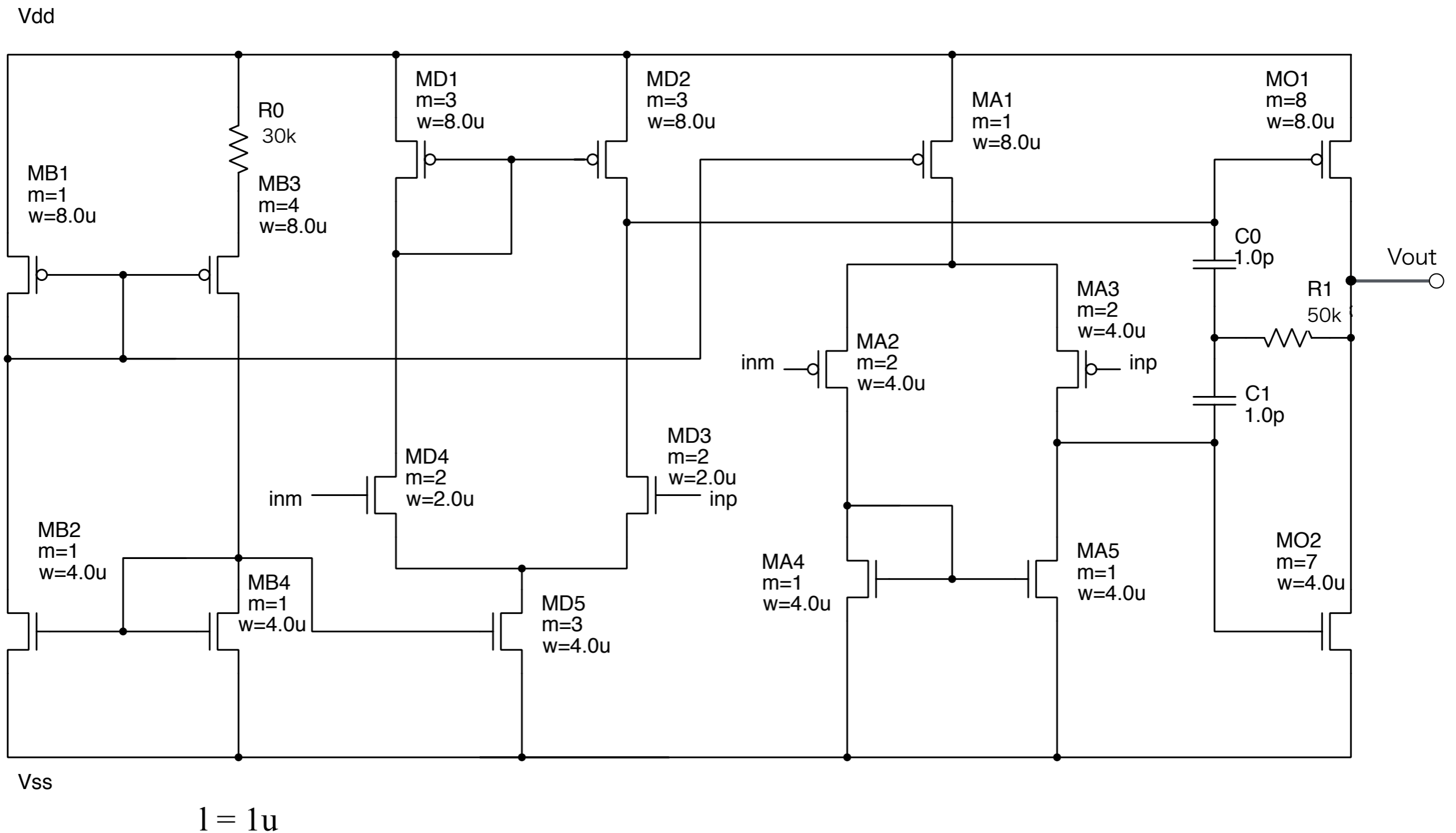
- ☑ 去年の1位は消費電流20.3uAなので、無理はせずできるだけ小さくなるように設計

→ シミュレーションの段階では消費電流を小さめに設計し、レイアウトは広めに作ってなんとか動かす

- ☑ 安定性を持たせるために各素子でダミーを配置する
- ☑ 素子のばらつきを軽減するためにコモンセントロイド配置をする



# 設計回路図



# シミュレーション結果 (周波数応答)

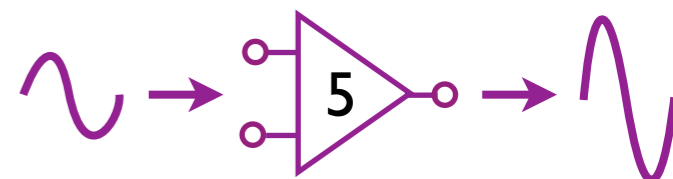
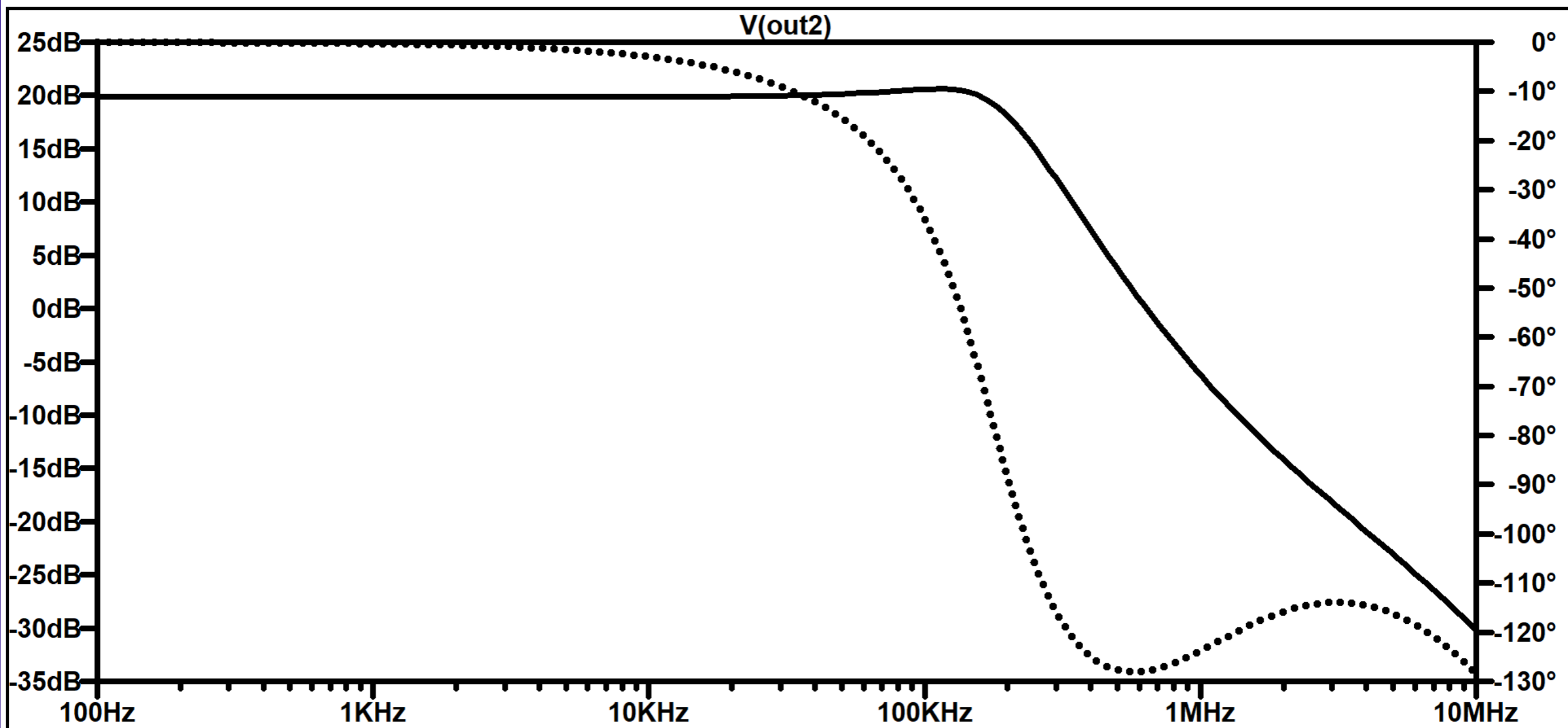
直流利得 : 9.8倍

位相余裕 : 51°

gain ———

-3 dB帯域幅 : 230kHz

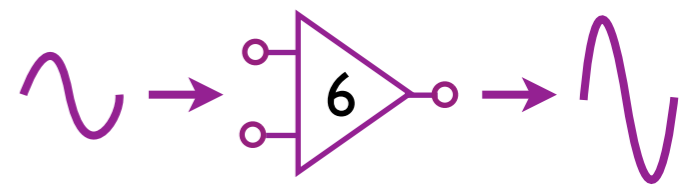
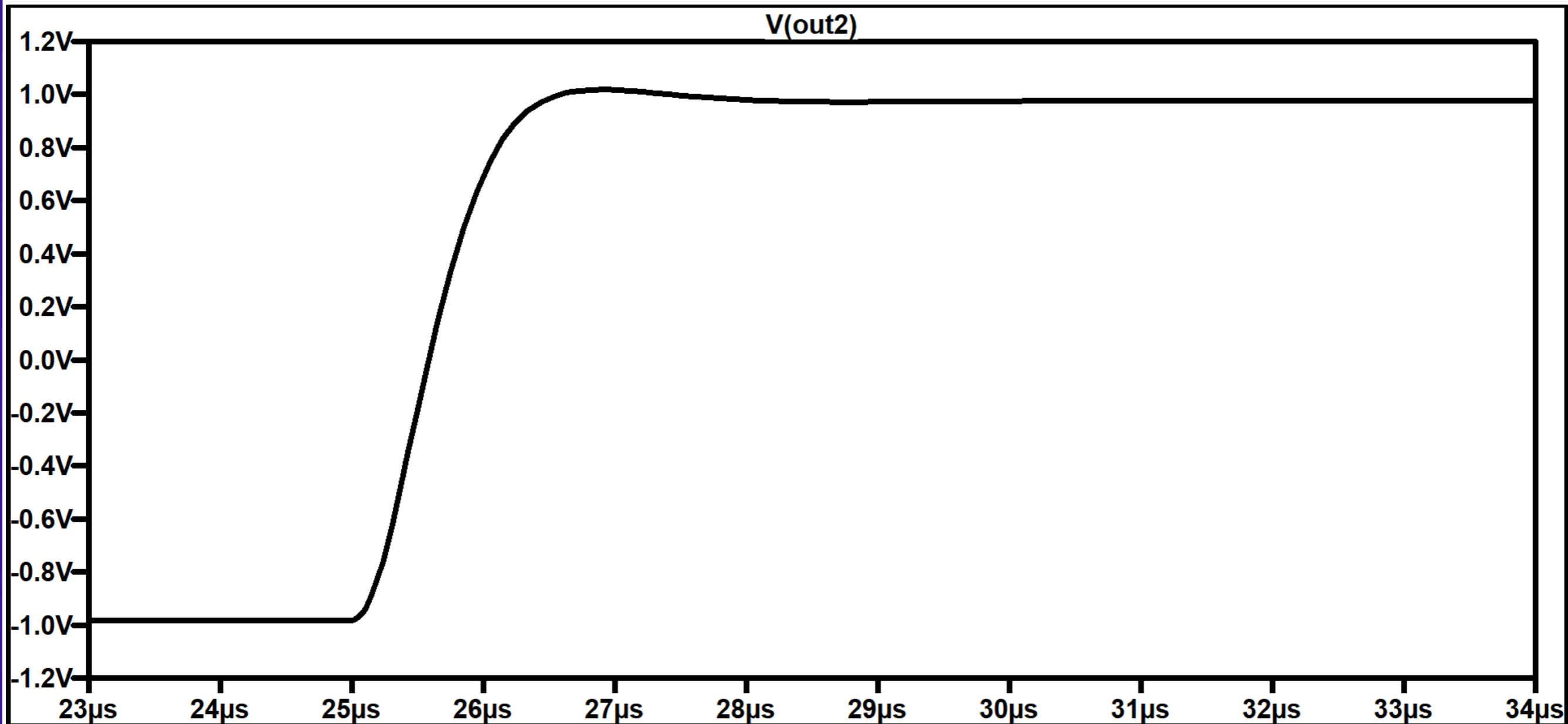
phase ·····





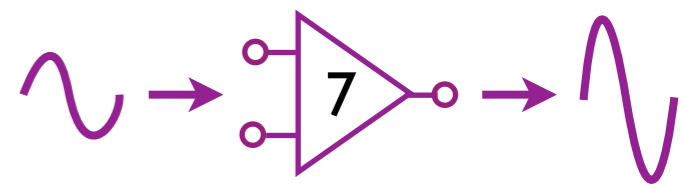
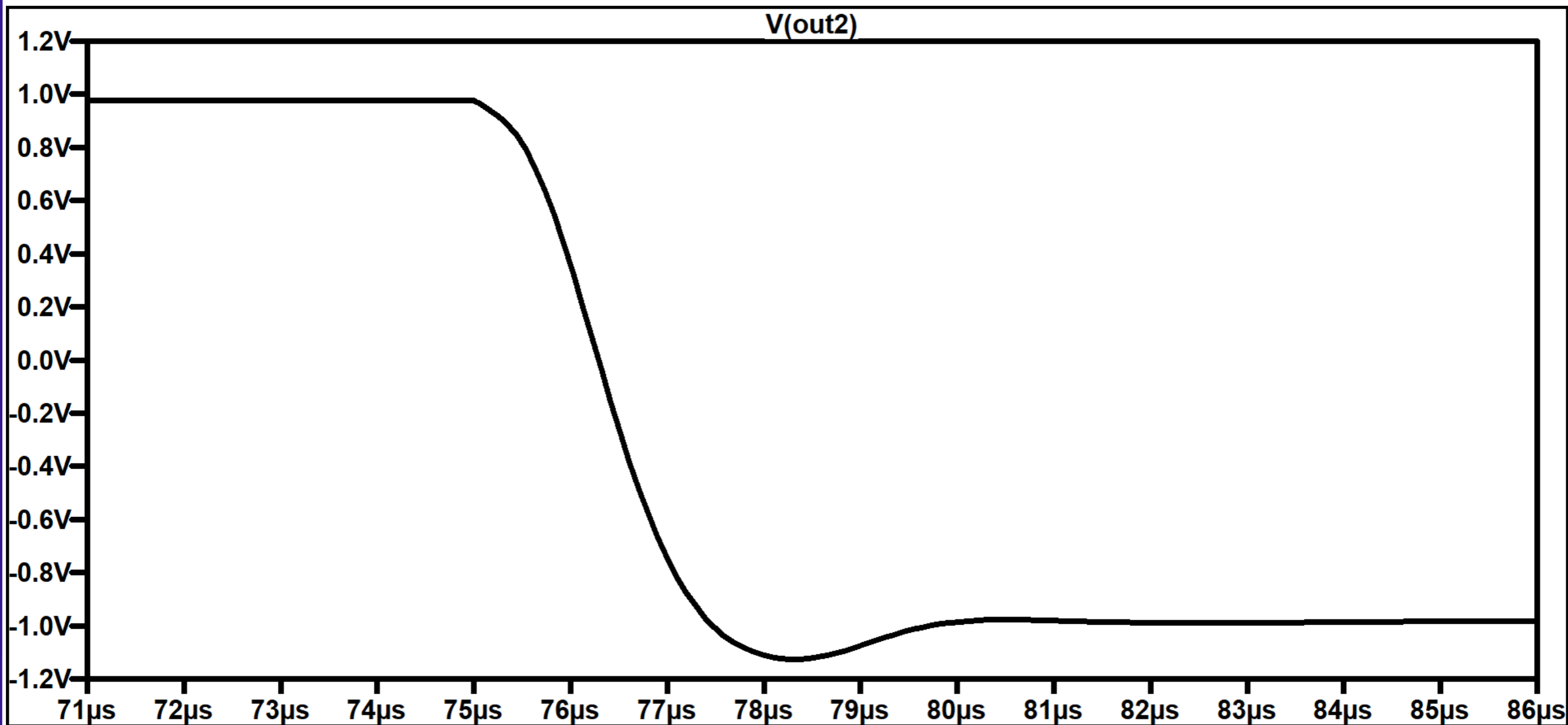
# シミュレーション結果（時間応答）

スルーレート（立ち上がり）：1.2V/us



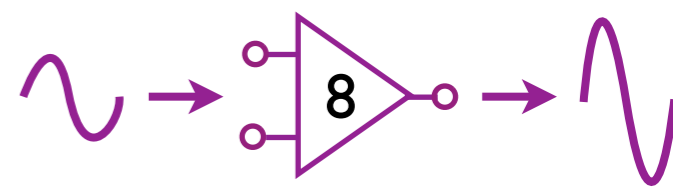
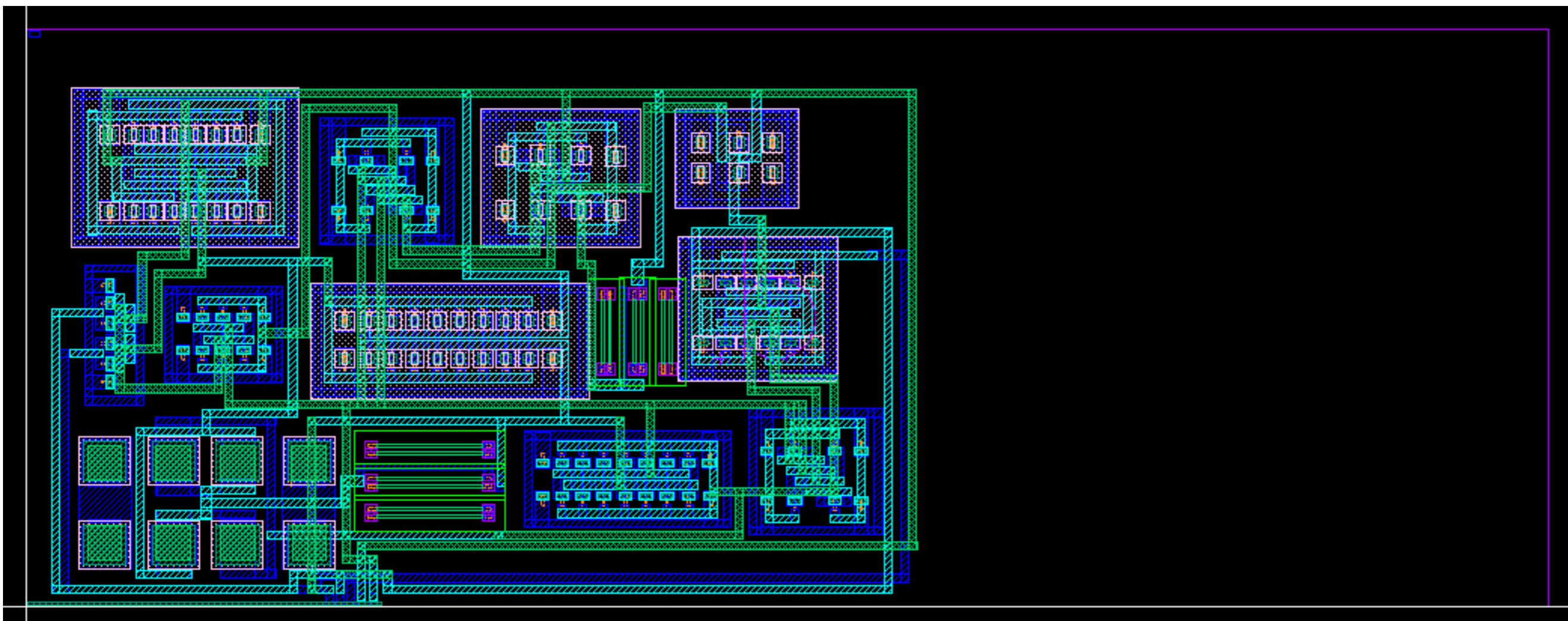
# シミュレーション結果 (時間応答)

スルーレート (立ち下がり) : 0.9V/us



# レイアウト

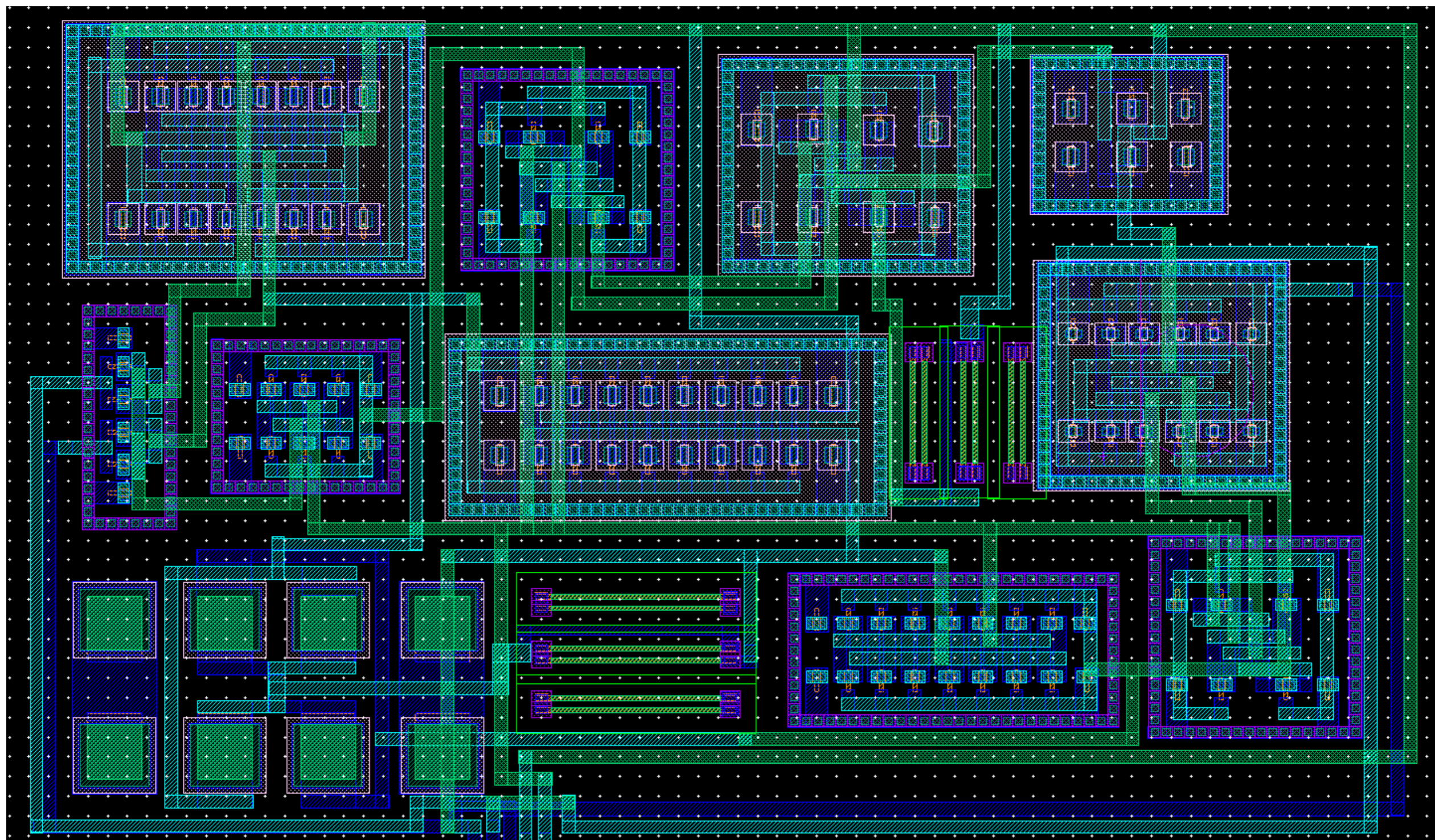
全体図



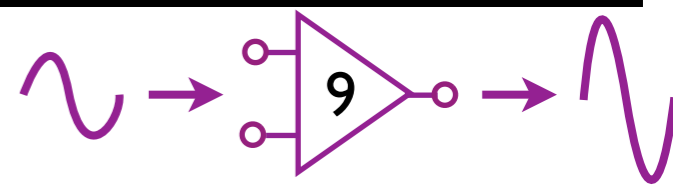


# レイアウト

詳細



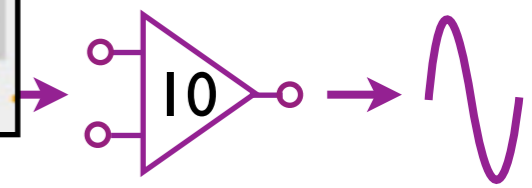
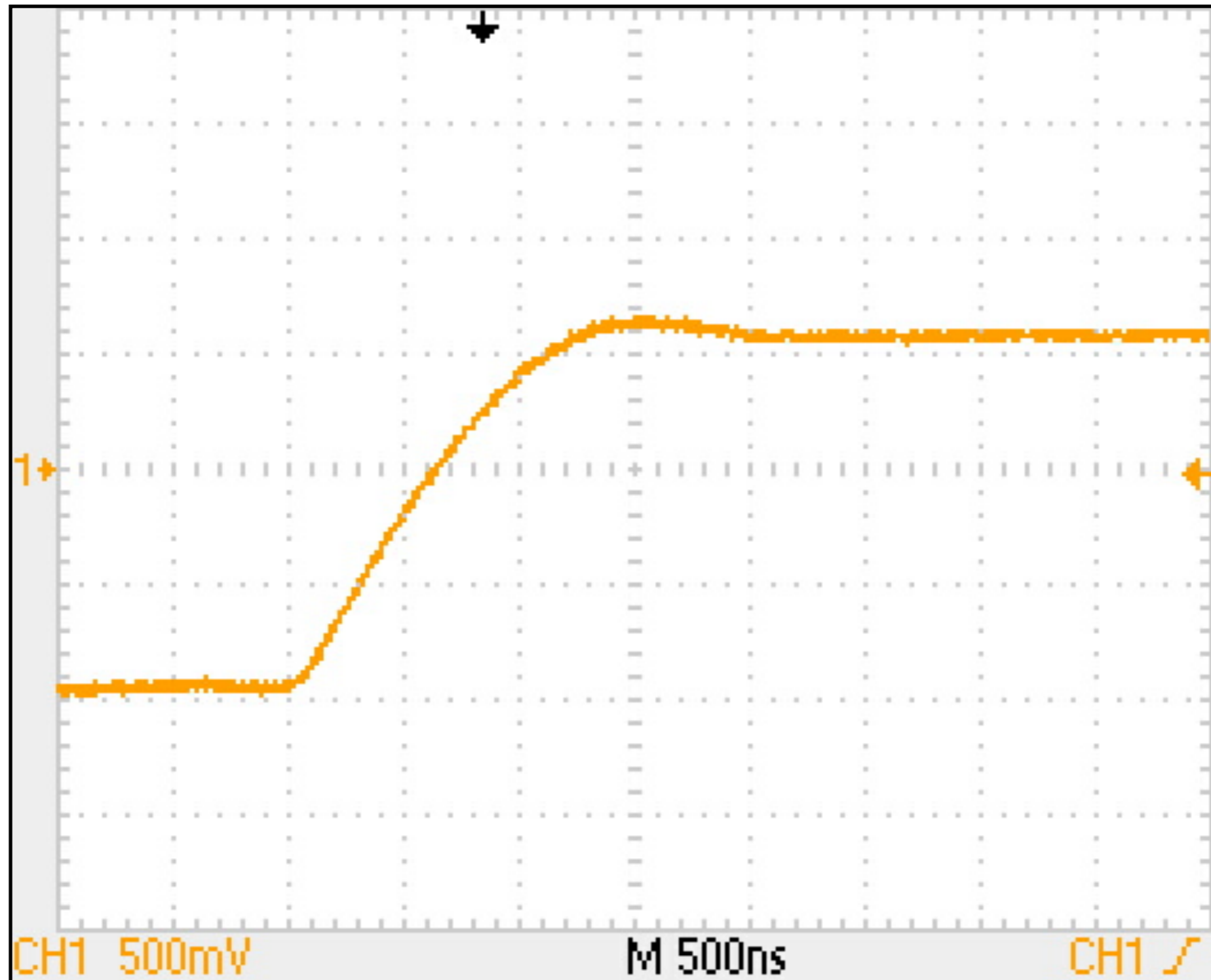
GUNMA UNIVERSITY TAKAI-LAB





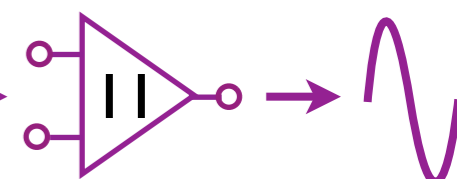
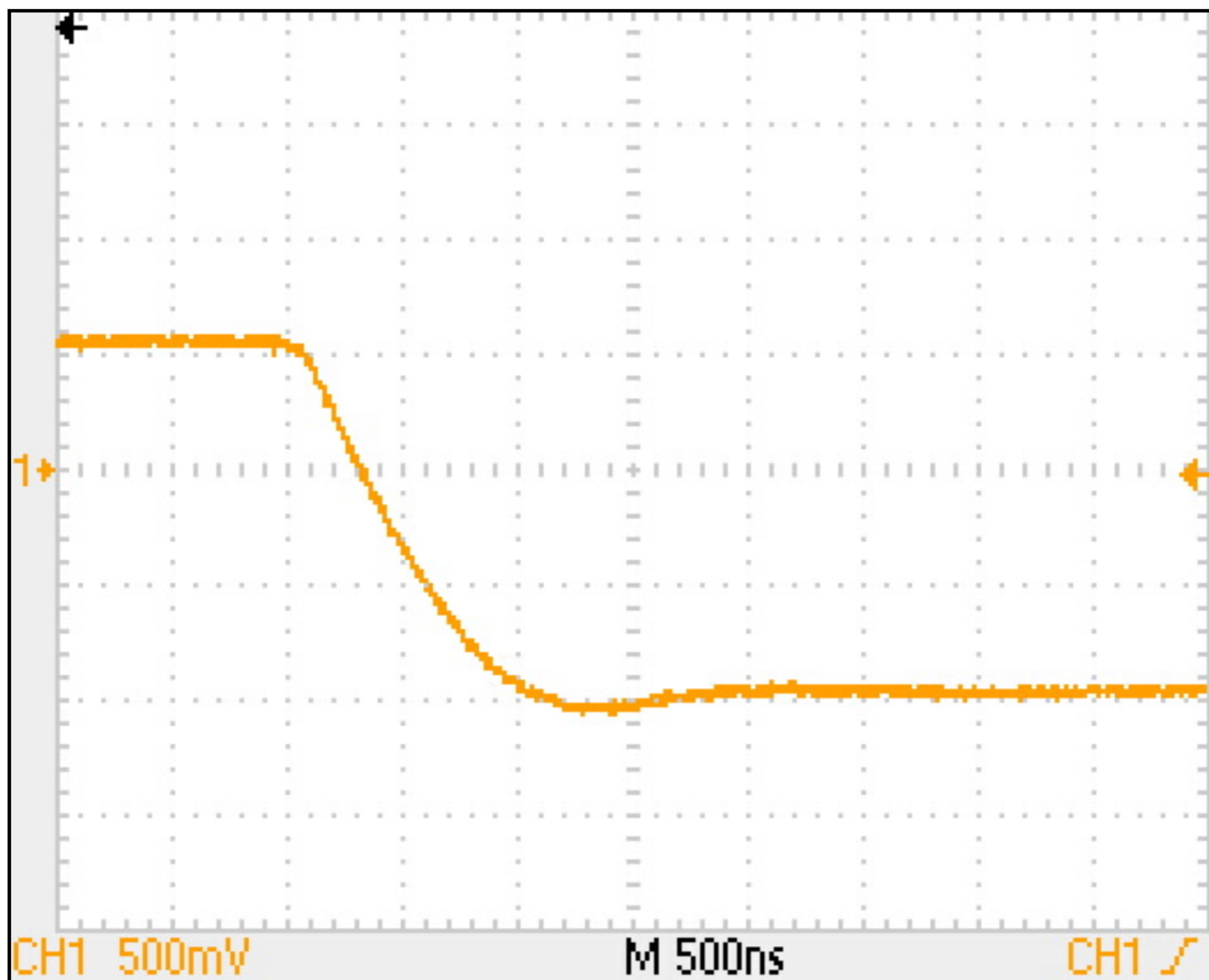
# 実測結果（時間応答）

スルーレート（立ち上がり）：0.8V/ $\mu$ s



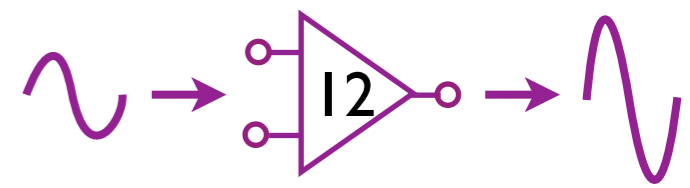
# 実測結果（時間応答）

スルーレート（立ち下がり）：1.12V/us



# 測定結果比較

回路特性	シミュレーション	実測
直流利得	9.8倍	8.0倍
-3dB帯域幅	230kHz	500kHz
最大入力電圧	0.15V	0.2V
スルーレート	0.9V/us	0.8V/us
消費電流	26uA	400uA



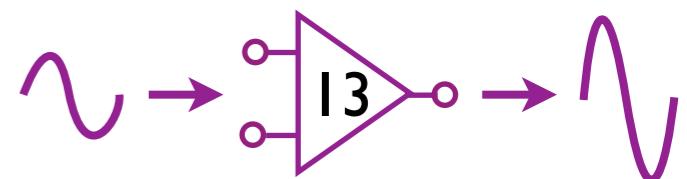
# 反省、感想

## 反省点

- ・消費電流が予定していた値より非常に大きくなってしまったため、レイアウトが適切に行えていなかった可能性がある
- ・チップによって値のばらつきが非常に大きく(中には動いていないものも…)、レイアウトや回路についての勉強不足を強く実感した

## 感想

- ・自分で設計した回路を実測できる貴重な機会を、学生の内に経験することができたのは非常に恵まれていると感じたので、反省点をこれからの回路設計にいかしたい





# 謝辞

演算増幅器の試作という貴重な機会をくださいますして  
ありがとうございました

コンテスト運営の皆様、審査員の皆様並びに協賛企業の皆様、  
厚く御礼申し上げます

