

---

# 平成29年 演算増幅器設計コンテスト発表会

---

2017年12月8日

## 発表会プログラム

- 入賞者作品解説（シミュレーションの部）

		部門1	部門2	部門3	部門4
14:05	小高孔頌(東京理科大学)			4位	
14:15	吉澤慧(群馬大学)	2位	4位		
14:30	陳広謙(東京都市大学)	3位			3位
14:45	井上晃汰(東京理科大学)		3位	2位	4位
15:05	冨塚直也(東京理科大学)	1位	2位	3位	2位
15:30	天海弘樹(東京理科大学)	4位	1位	1位	1位
休憩					

- 入賞者作品解説（試作の部）

16:15	吉田浩志(東京理科大学)	4位
16:25	村岡文裕(東京理科大学)	3位
16:35	佐々木美波(東京都市大学)	2位
16:45	陳広謙(東京都市大学)	1位

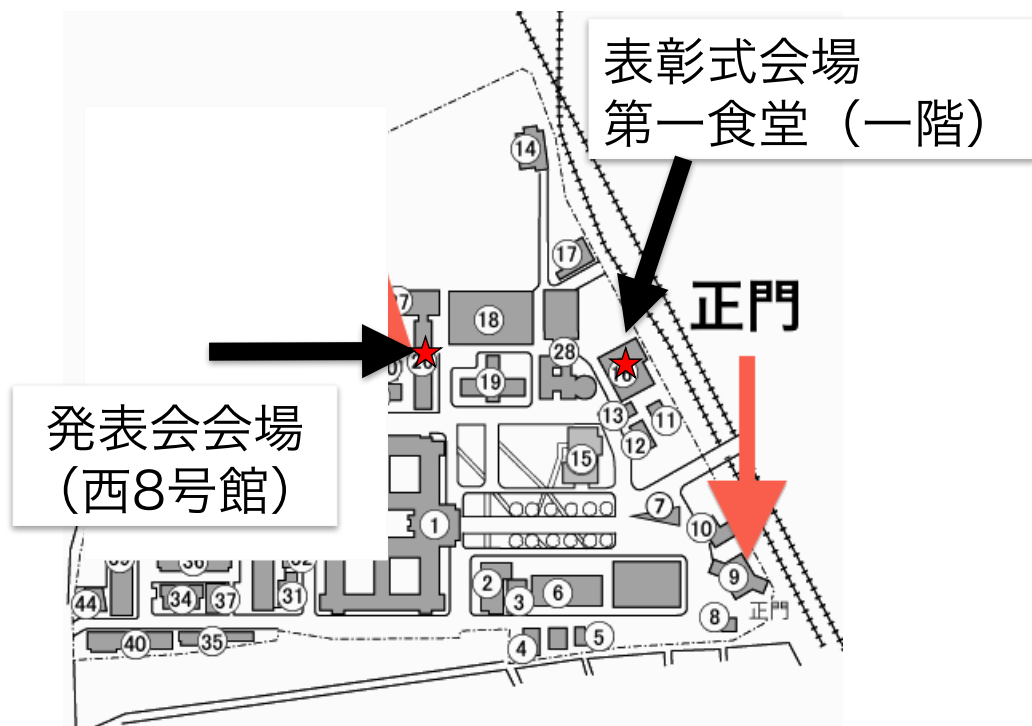
- 講評（兵庫審査委員長）

(敬称略)

# 協賛企業

- ・ エスアイアイ・セミコンダクタ株式会社
- ・ 旭化成エレクトロニクス株式会社
- ・ 株式会社トッパン・テクニカル・デザインセンター
- ・ ルネサスエレクトロニクス株式会社
- ・ 株式会社エヌエフ回路設計ブロック
- ・ セイコーNPC株式会社
- ・ ダイアログ・セミコンダクター株式会社
- ・ 株式会社 東芝
- ・ アナログ・デバイス株式会社
- ・ 横河電機株式会社
- ・ 新日本無線株式会社

## 表彰式会場のご案内



# 演算増幅器設計コンテスト 第3部門 4位

東京理科大学 理工学部 電気電子情報工学科  
兵庫研究室 学部4年生 小高孔頌

2017/12/8

1

## 評価式

### ➤ 評価式

$$\text{得点} = \frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{\text{直流利得}^2 \times \text{電源電圧}}$$

### ◆ 電源電圧変動除去比<sup>[1]</sup>

入力される電源に電源リップルがある場合に、その電源リップルを取除く能力

### ◆ 同相除去比<sup>[2]</sup>

二つの入力回路をもつ差動増幅器などに共通する入力信号(雑音成分など)を除去できる能力

2017/12/8

2

# 設計方針

## ◆電源電圧変動除去比への対策

チャンネル長変調効果が電源電圧依存性の原因の一つ  
→Lを大きくする、カスコード構成をとる

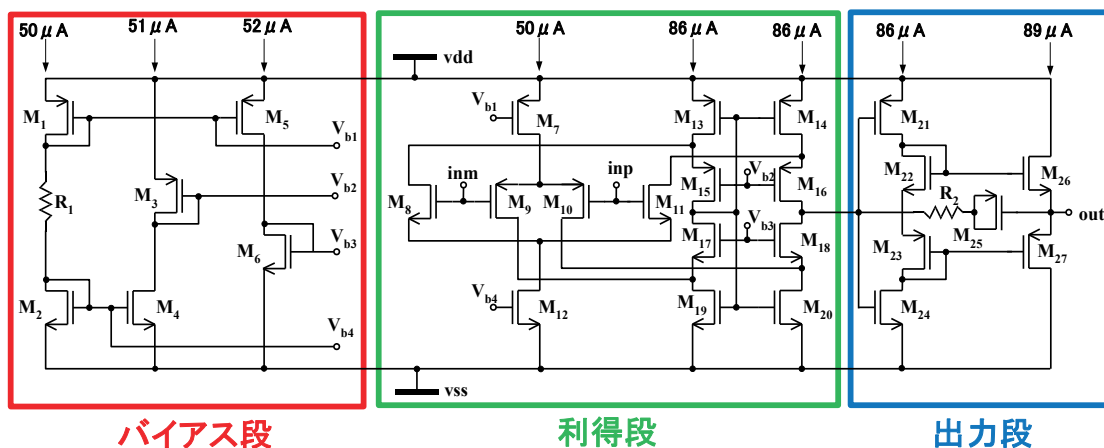
## ◆同相除去比への対策

同相利得を小さくすることで改善  
→電流源の出力抵抗を大きくする  
→Lを大きくする

2017/12/8

3

# 提出回路



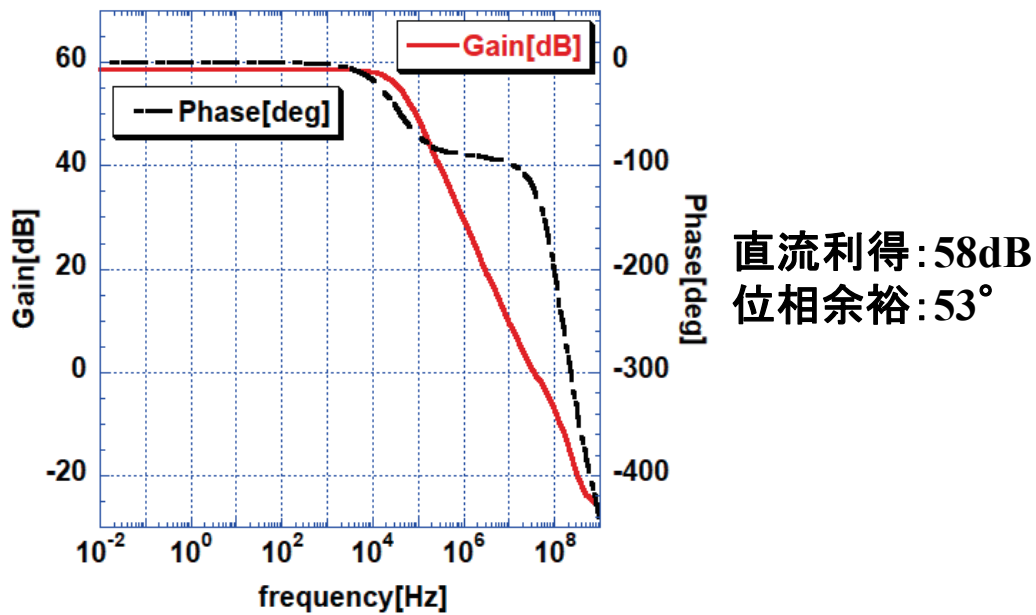
バルク: PMOSはソースに接続、NMOSはvssに接続

2017/12/8

4



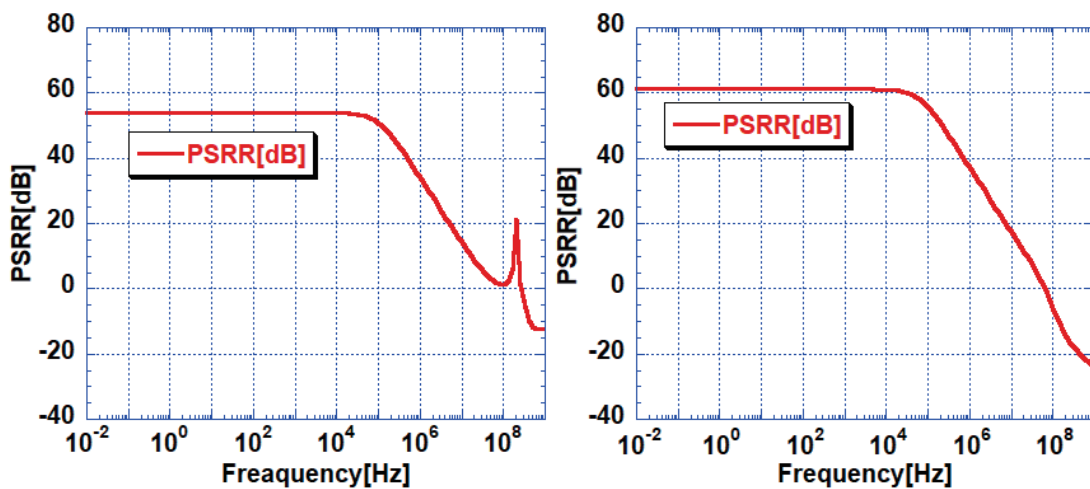
# 直流利得



2017/12/8

5

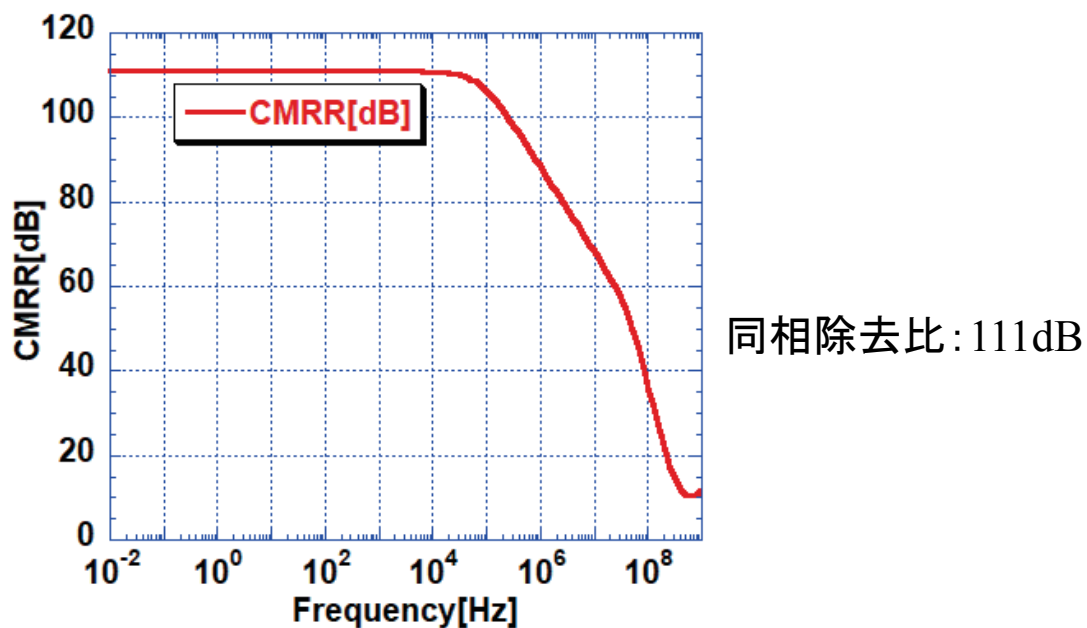
# 電源電圧変動除去比(PSRR)



2017/12/8

6

# 同相除去比(CMRR)



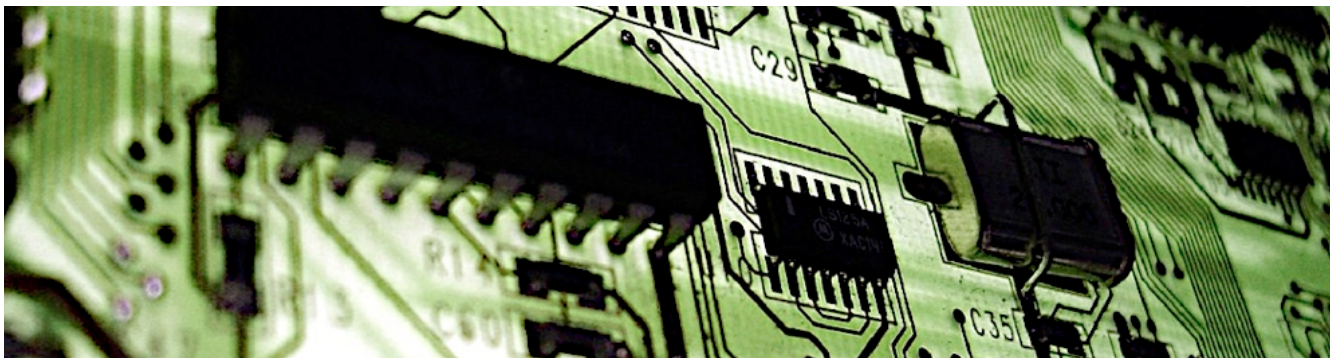
## 感想

- ◆ コンテストを通じて、演算増幅器を設計することの難しさと楽しさを知ることができた。
- ◆ 演算増幅器に関する基礎事項の理解が乏しい状態で回路設計をしてしまったので作成回路にいろいろな不備があった。なので、来年はしっかり理解した状態で回路設計を行いたい。

# 参考文献

---

1. 「これだけは知っておきたいアナログ用語:PSRR(電源電圧変動除去比)」, <  
<http://ednjapan.com/edn/articles/1211/12/news011.html>  
>, 2017/12/1アクセス
2. 「CMRR (コモンモード除去比, 同相信号除去比)」, <  
<https://www.nfcorp.co.jp/techinfo/dictionary/037.html>  
>, 2017/12/1アクセス



# 演算増幅器設計コンテスト

📍 部門1 2位

📍 部門2 4位

群馬大学

理工学府電子情報・数理教育プログラム

修士2年 吉澤 慧

2017年12月8日

1

## 部門1 評価式・設計方針

📍 評価式

スルーレート・同相入力範囲・直流利得

消費電流

📍 設計方針

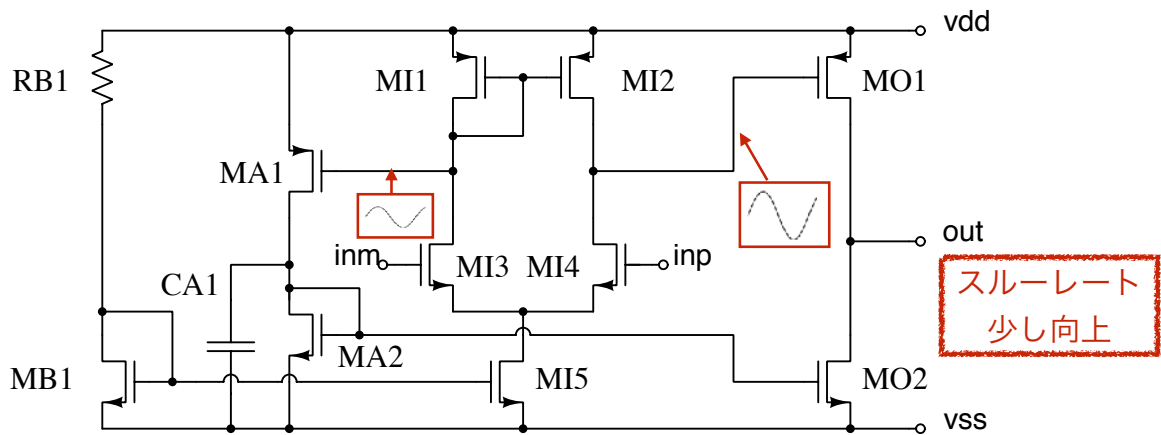
■ AB級回路を活用

➡ 低消費電流・高スルーレート

■ カスコードは利用しない

➡ 同相入力範囲を約90%以上にしたい

## 部門1 提出回路 (去年)

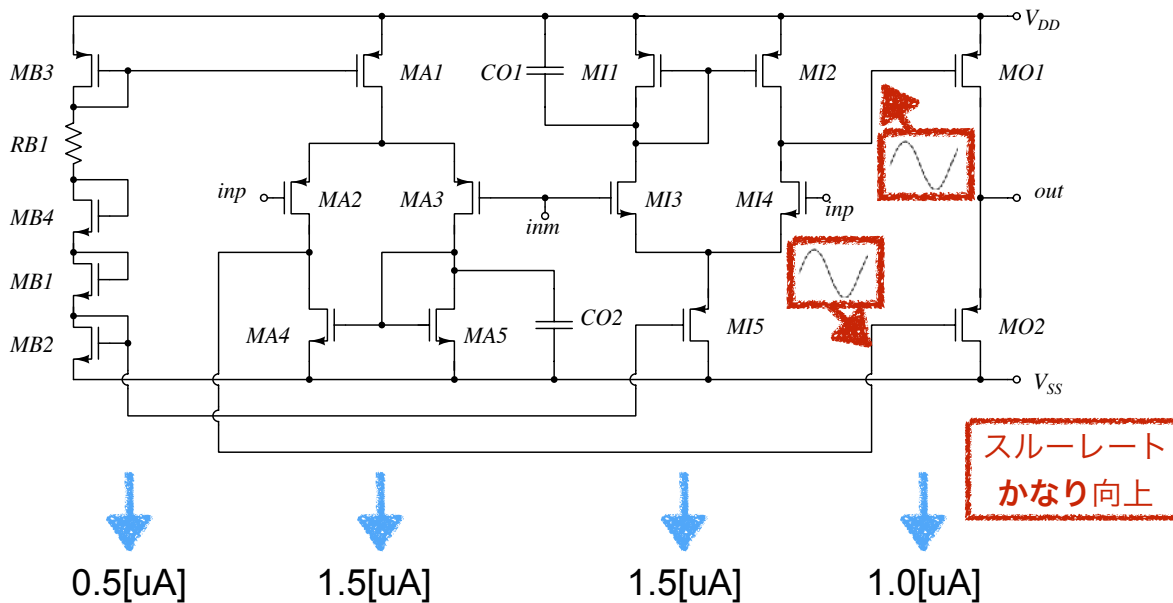


項目	評価
スルーレート	2.207E+09[V/s]
消費電流	7.1134E-05[A]
同相入力範囲	1.0000E+02[%]
直流利得	6.5379E+1[dB]
スコア	2.0870E+17

スルーレート  
&  
消費電流  
トレードオフで負けた

3

## 部門1 提出回路 (今年)



0.5[uA]

1.5[uA]

1.5[uA]

1.0[uA]

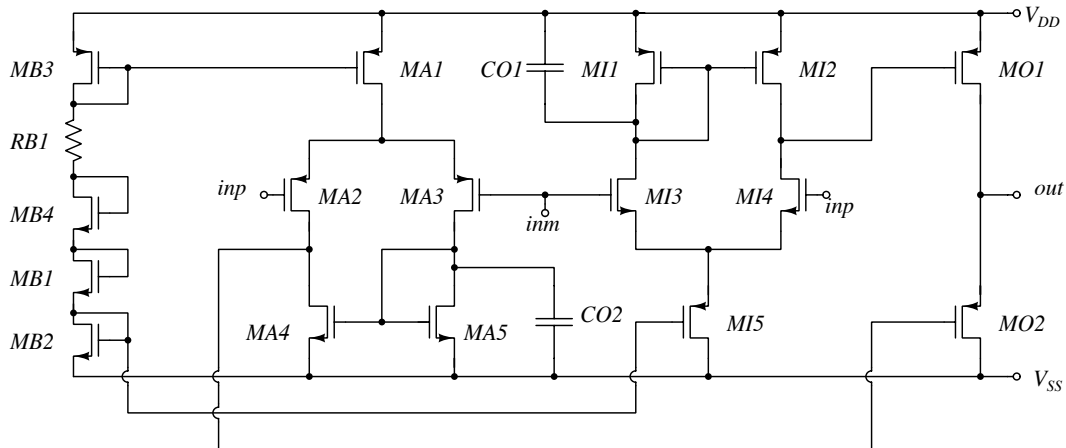
スルーレート  
かなり向上

消費電流の目標：5[uA]以下

スルーレートの目標：2.2E+9[V/s]以上 (去年の数値)

4

# 部門1 提出回路 (今年)



MOSFET	MI1	MI2	MI3	MI4	MI5	MA1	MA2	MA3	MA4	MA5
Length[um]	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Width[um]	1.9	1.9	1.5	1.5	2.0	2.0	1.0	1.0	1.0	1.0
Multiply	5	5	2	2	9	11	1	1	14	4

MOSFET	MO1	MO2	MB1	MB2	MB3	MB4
Length[um]	0.2	0.2	1.0	0.2	0.2	1.0
Width[um]	1.0	1.0	0.5	2.0	2.0	0.5
Multiply	5	2	1	1	1	1

Resistor[kΩ]	RB1
Resistor[kΩ]	9000

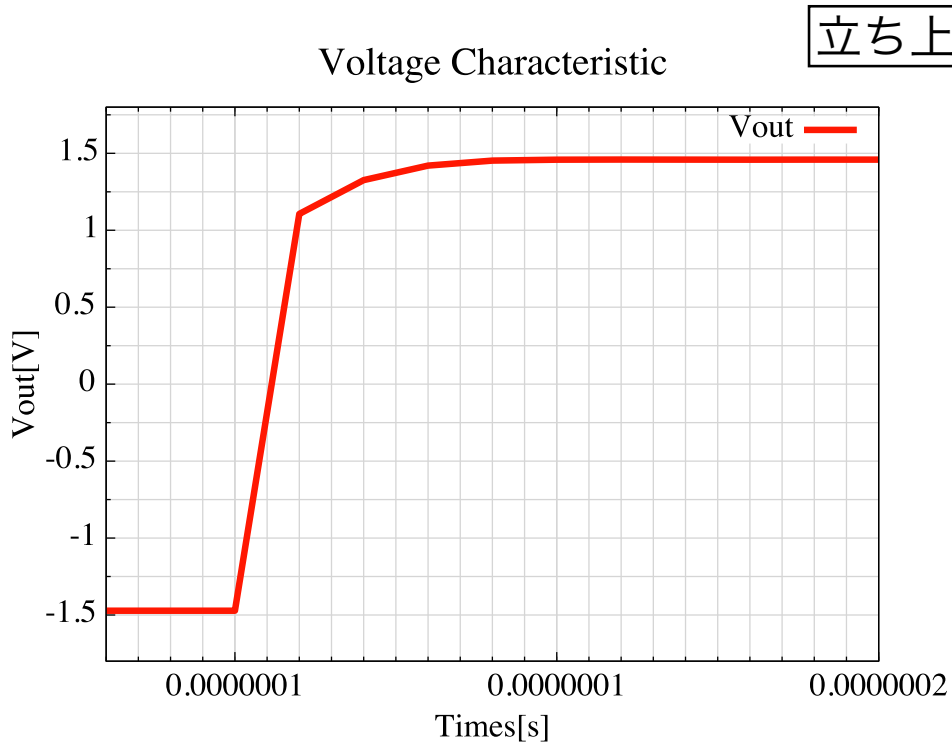
# 部門1 評価結果

項目	評価 (去年)	評価 (今年)
スルーレート	2.207E+09[V/s]	1.4692E+10[V/s]
消費電流	7.1134E-05[A]	3.9566E-6[A]
同相入力範囲	1.0000E+02[%]	9.8333E+1[%]
直流利得	6.5379E+1[dB]	6.6251E+1[dB]
スコア	2.0870E+17	2.4191E+19



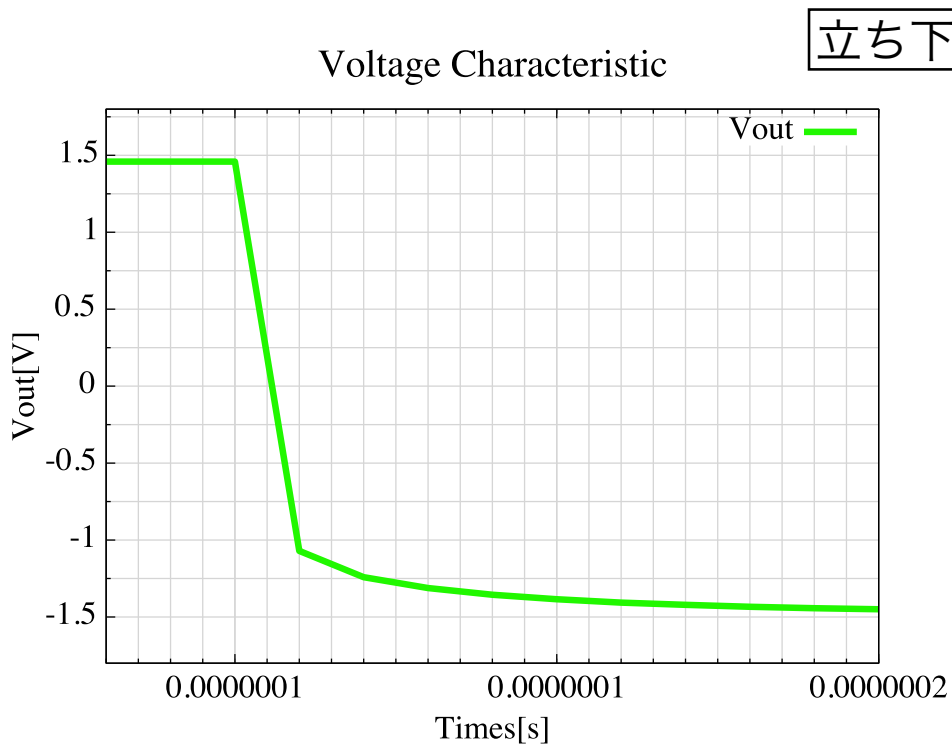
# 部門1 シミュレーション結果

🔍 過渡解析結果



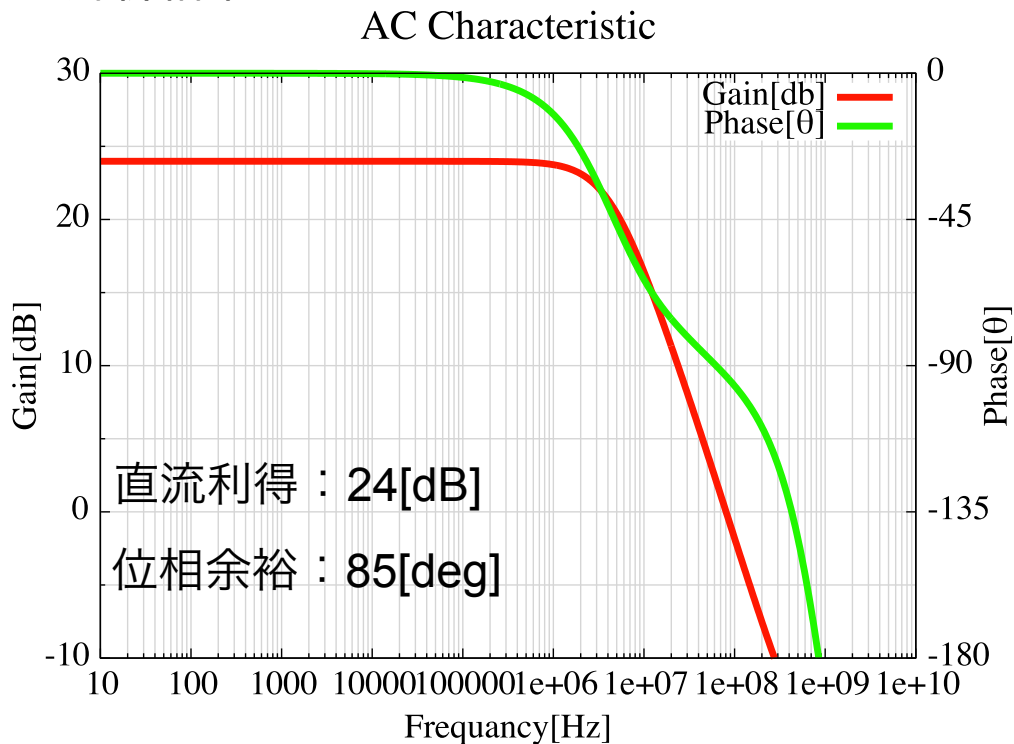
# 部門1 シミュレーション結果

🔍 過渡解析結果



## 部門1 シミュレーション結果

### AC解析結果



## 部門1 まとめ

- 5[uA]以下の演算増幅器を設計
- 簡単な回路構成でAB級回路を作成
- 消費電流とスルーレートのトレードオフを解決
- 直流利得は向上しなかった





## 部門2 評価式・設計方針

### 評価式

利得帯域幅・位相余裕

消費電力・出力抵抗・入力換算雑音

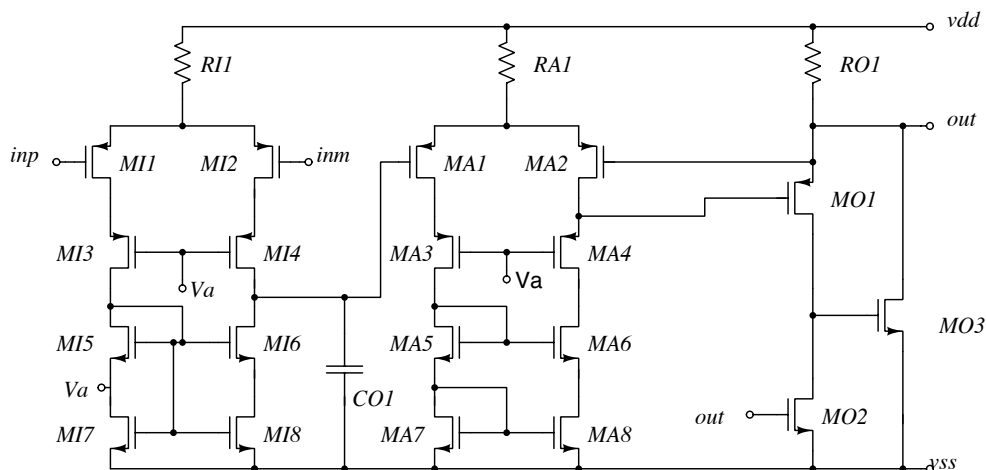
### 設計方針

■ 昨年と同じ回路構成を利用

➔ 評価値がより高い回路を設計

11

## 部門2 提出回路（去年）

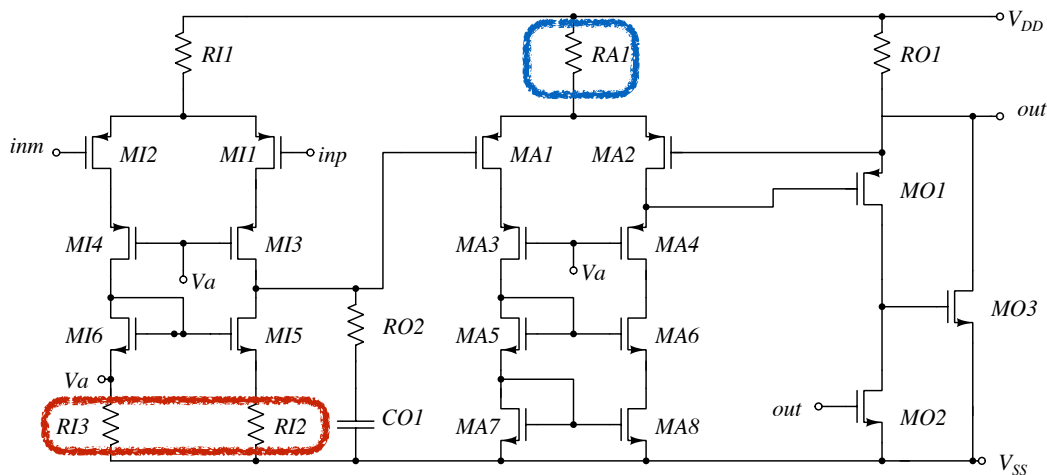


項目	評価
消費電力	2.4225E-5[W]
出力抵抗	2.7241E-1[Ω]
入力換算雑音	2.4958E-3[V]
利得帯域幅	8.8509E+6[Hz]
位相余裕	4.5341E+1[deg]
スコア	1.0058E+21

上の回路を少し改良

12

## 部門2 提出回路 (今年)

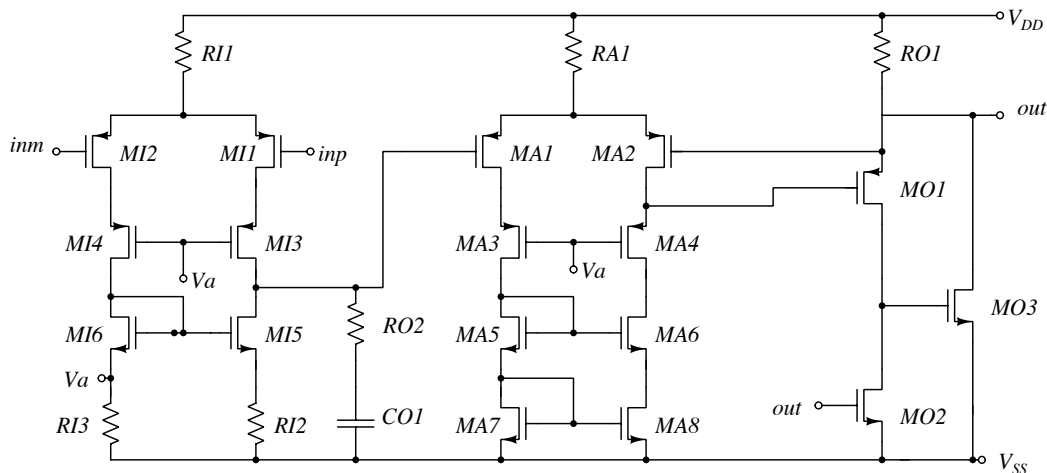


MOSFETを抵抗にして  
消費電流を増やす → 入力換算雑音の低下

RA1の抵抗値を増やす → 出力抵抗・消費電力  
低減

13

## 部門2 提出回路 (今年)



MOSFET	MI1	MI2	MI3	MI4	MI5	MI6	MA1	MA2	MA3	MA4	MA5	MA6	MA7	MA8
Length[um]	1.0	1.0	1.0	1.0	4.0	4.0	2.0	2.0	2.0	2.0	3.0	3.0	6.0	6.0
Width[um]	12	12	1.5	1.5	4.0	4.0	9.0	9.0	5.0	5.0	4.0	4.0	15	15
Multiply	2	2	1	1	1	1	1	1	1	1	1	1	5	5

MOSFET	MO1	MO2	MO3			RI1	RA1	RO1	RO2	
Length[um]	0.18	0.18	0.18			Resistor[kΩ]	500	2100	190.2	48.0
Width[um]	9.0	9.0	0.3			CO1				
Multiply	5	2	1			Capacitor[pF]	0.6			

14

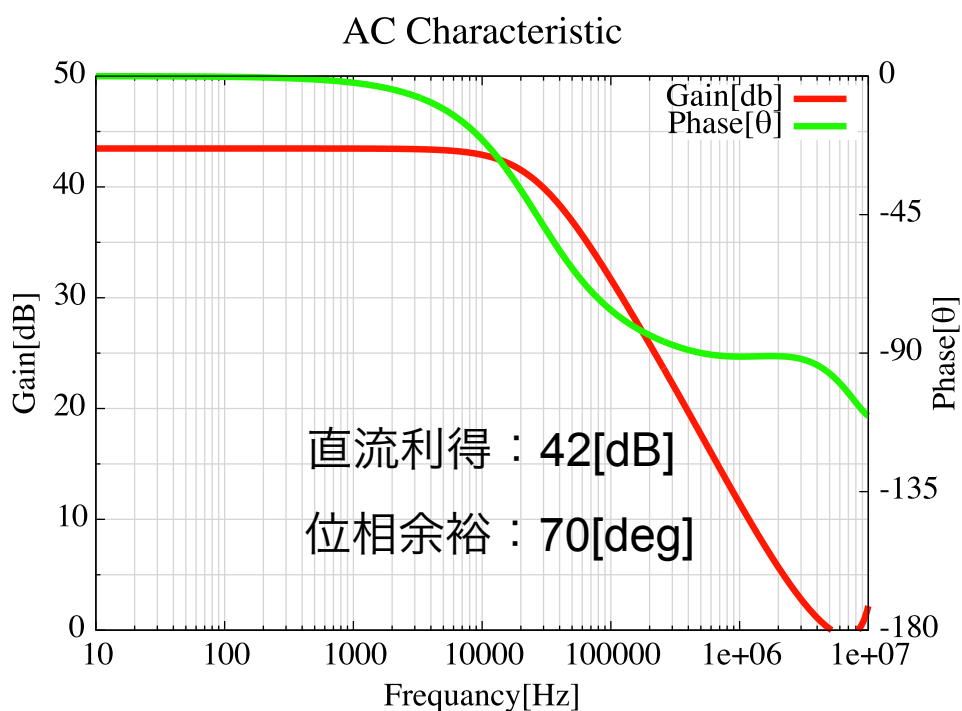
## 部門2 評価結果

項目	評価 (去年)	評価 (今年)
消費電力	2.4225E-5[W]	2.3128E-5[W]
出力抵抗	2.7241E-1[Ω]	2.2973E-1[Ω]
入力換算雑音	2.4958E-3[V]	1.7453E-3[V]
利得帯域幅	8.8509E+6[Hz]	3.7309E+6[Hz]
位相余裕	4.5341E+1[deg]	7.0340E+1[deg]
スコア	1.0058E+21	1.2236E+21



## 部門2 評価結果

### AC解析結果



## 部門2 まとめ

- 部門2のスコアを少し向上させた
- 入力差動回路の電流を増やし入力換算雑音を低減
- 22乗の壁を超えたかった

17

## 感想

シミュレーションの部だけでなく試作も行ったことで  
演算増幅器を深く知れた

全体的に去年より性能の高い演算増幅器を設計できた

各素子が回路特性にどのように影響するか  
勉強できる良い機会となった

このような良い機会を頂き  
コンテスト運営の皆様、協賛企業の皆様に  
感謝申し上げます

18

# 演算増幅器設計コンテスト シミュレーションの部

部門1 3位

部門4 3位

東京都市大学 工学研究科 情報工学専攻 2年 陳 広謙

2017.12.08

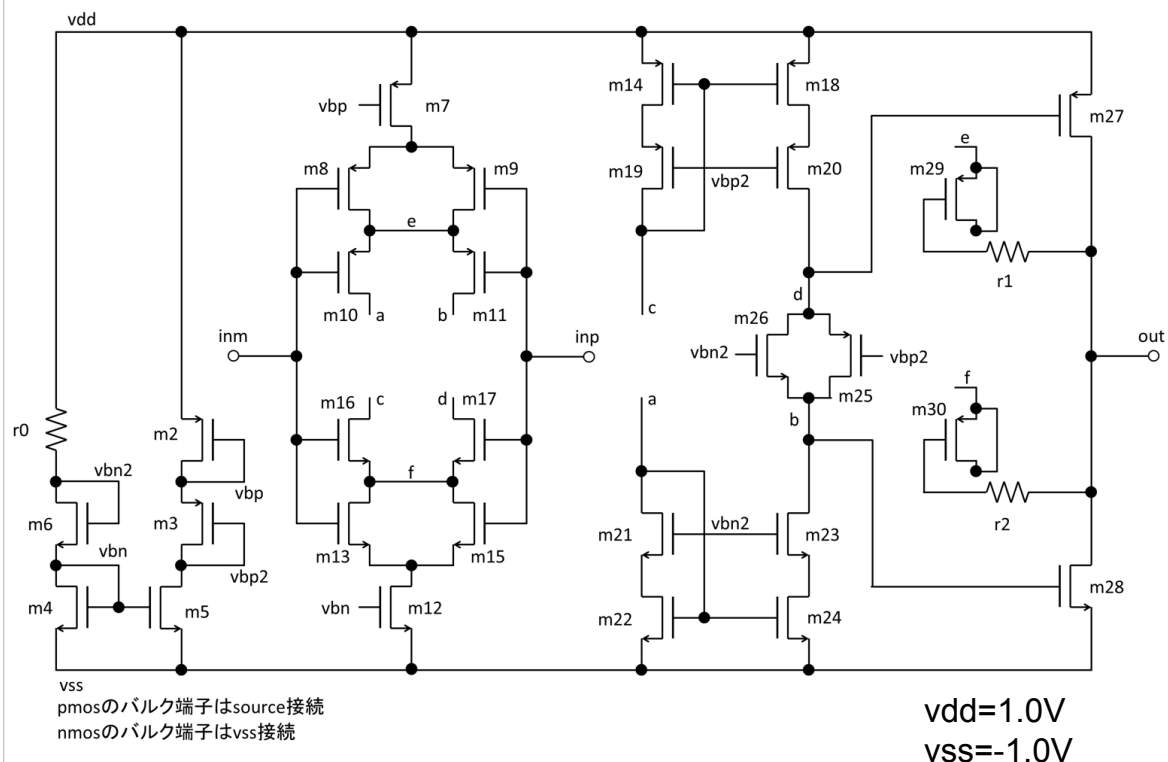


## 部門1 評価式

$$\frac{\text{スルーレート} \times \text{同入力範囲} \times \text{直流利得 (dB)}}{\text{消費電流}}$$

- 直流利得がリニア値ではなくdB値
- 同相入力範囲は100%近くを目指す
- スルーレートと消費電流が重要





## 部門 1 評価結果

項目	評価結果	単位
スルーレート	2.0012e+09	V/s
消費電流	2.1730e-06	A
同相入力範囲	9.9500e+01	%
直流利得	7.1165e+01	dB
スコア	6.5211e+18	

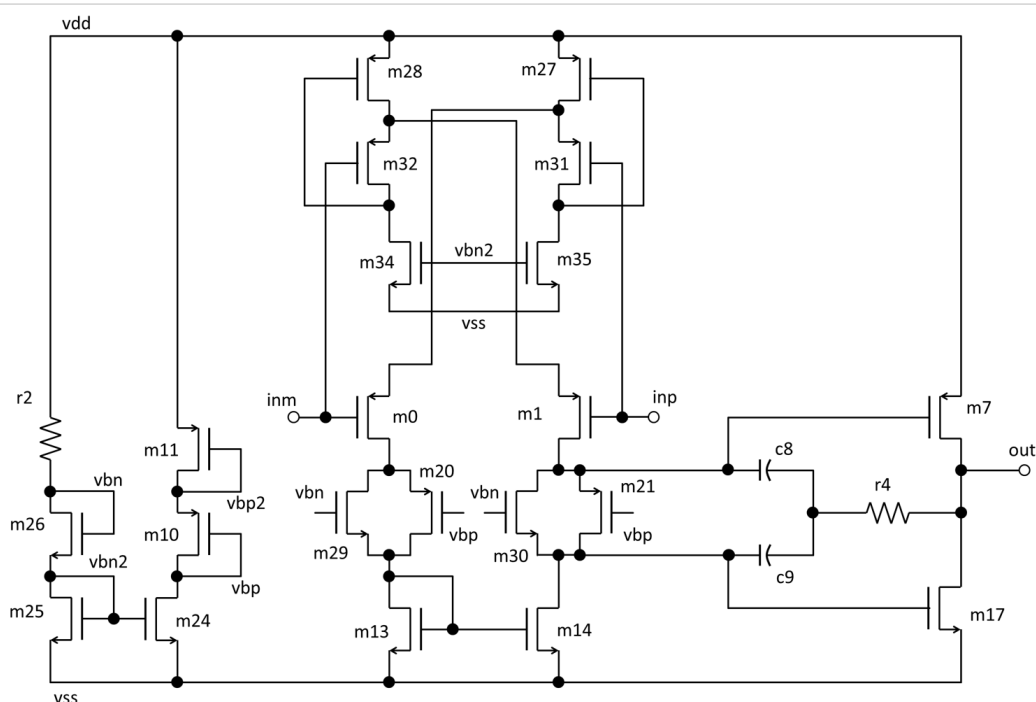
- 消費電流よりSRを重視し、高スルーレートを実現

項目	要件
電源電圧	3V
直流利得	40dB
位相余裕	45度以上
帯域幅	20kHz以上
出力オフセット電圧	±100mV以内
入力電圧範囲	±100mV以上
スルーレート	±1V/us以上
占有面積	0.2mm <sup>2</sup> 以内

## スコア 消費電流



# 部門 4 回路構成



pmosのバルク端子はvdd接続  
nmosのバルク端子はvss接続



## 部門 4 評価結果

項目	評価結果	単位
消費電流	2.8496e-06	A

- 試作の部で設計した回路のマージンを削り，消費電流を1/4以下に低減








# 演算増幅器設計コンテスト シミュレーションの部

部門2:3位 部門3:2位 部門4:4位



東京理科大学 理工学研究科  
電気工学専攻 兵庫研究室  
井上 晃汰



## 部門2 設計方針

評価式

$$\frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

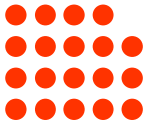
設計方針

出力抵抗の最小値である $0.1\Omega$ を目指す



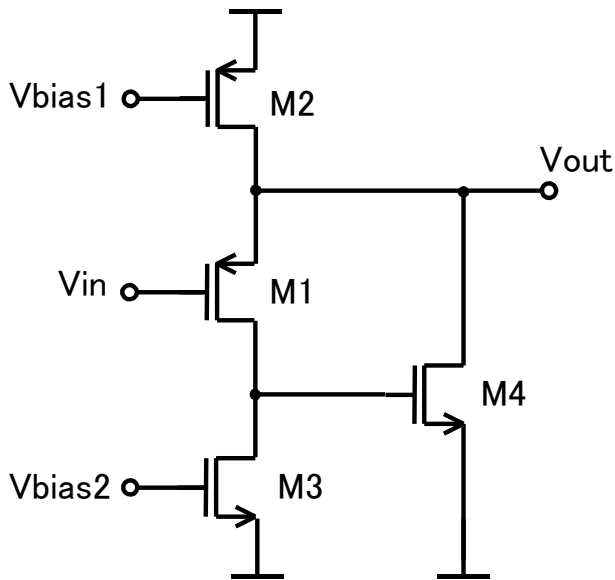
利得帯域幅積、消費電力で得点up





## 部門2 設計方針

### スーパーソースフォロワ



出力抵抗

$$R_{out} \approx \frac{1}{g_{m1}g_{m4}r_{01}}$$



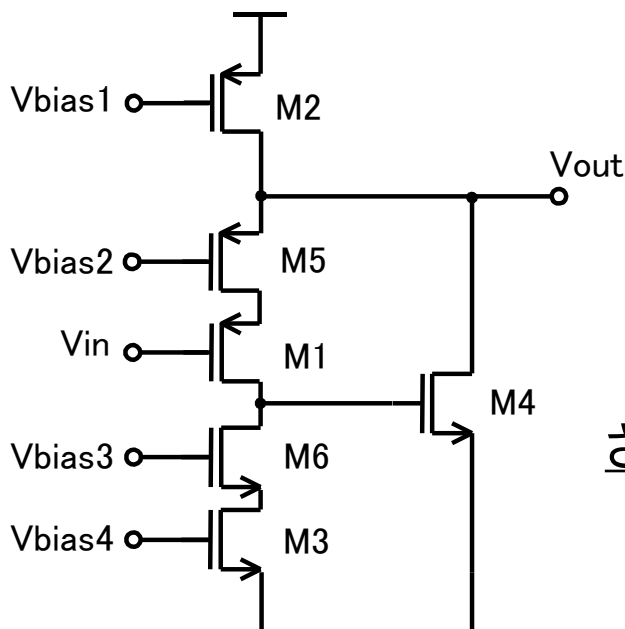
低出力抵抗



## 部門2 設計方針

さらには出力抵抗を小さくするために...

### スーパーソースフォロワをカスコード



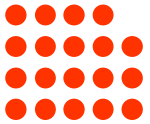
出力抵抗

$$R_{out} \approx \frac{1}{g_{m4}(g_{m1}r_{01})^2}$$

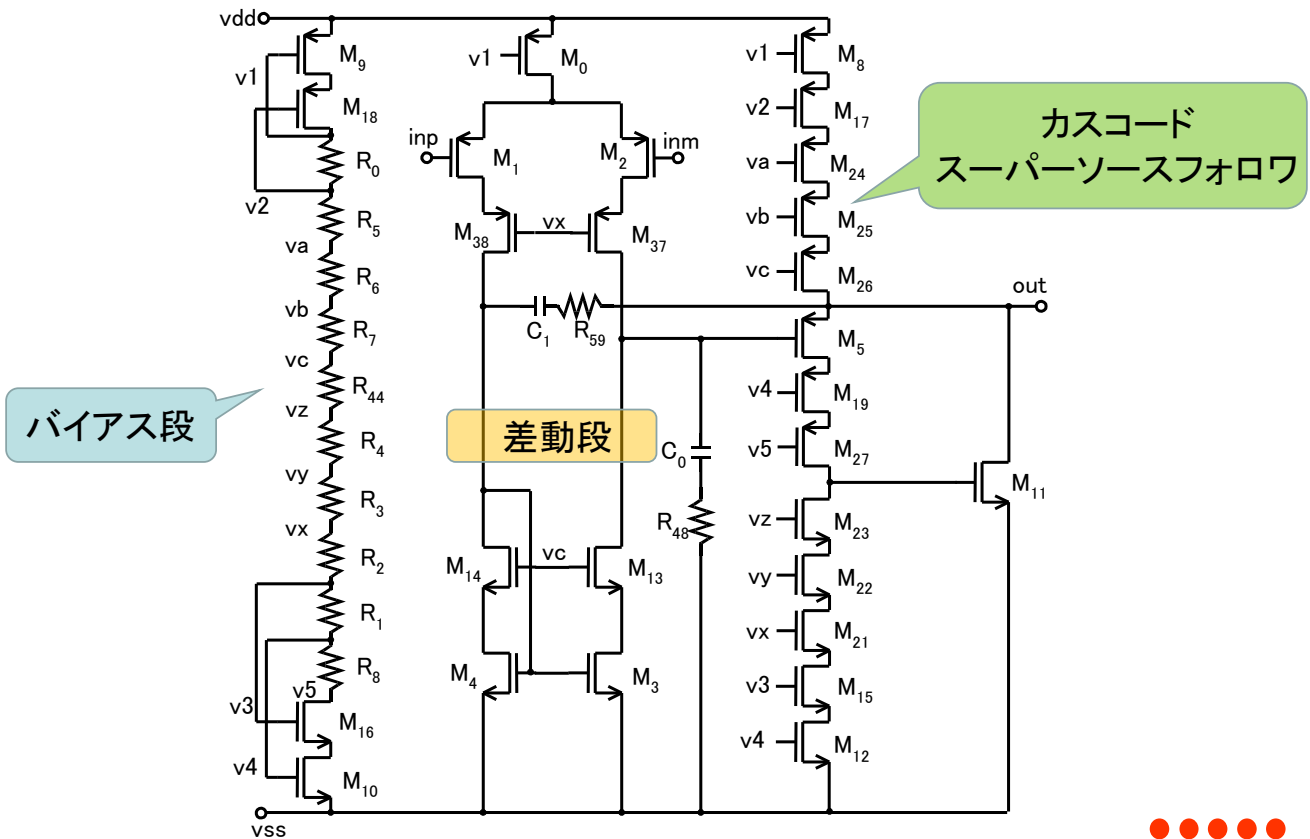


さらには出力抵抗を小さくする

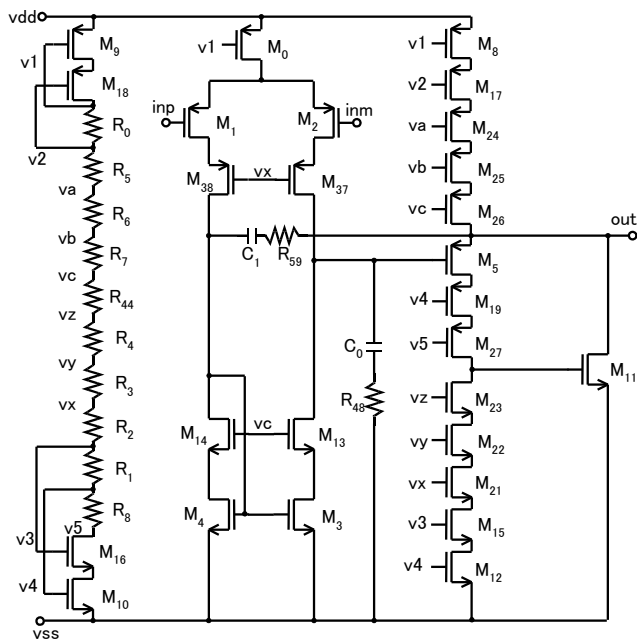




## 部門2 提出回路



## 部門2 提出回路 素子値



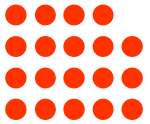
M9 :10.5u/1u ,  
 M18 :10u/1u ,  
 M16,10 :5.01u/1u  
 R0,5,6,7 :150k , R8 :60k  
 R1,2,3,4 :95k , R44 :52k

M0 :10.1u/1u m=2  
 M1,2 :5.18u/1.01u  
 M37,38 :1.1u/0.18u  
 M13,14 :1u/0.19u  
 M3,4 :1.6u/16u

M8 :9.8u/1u m=4  
 M17,24,25,26 :9.95u/1u m=2  
 M5 :9.9u/1u , M19 :10u/1u  
 M27 :10u/0.4u , M12 :2.41u/1u m=5  
 M15,21,22,23 :2.5u/1u m=4

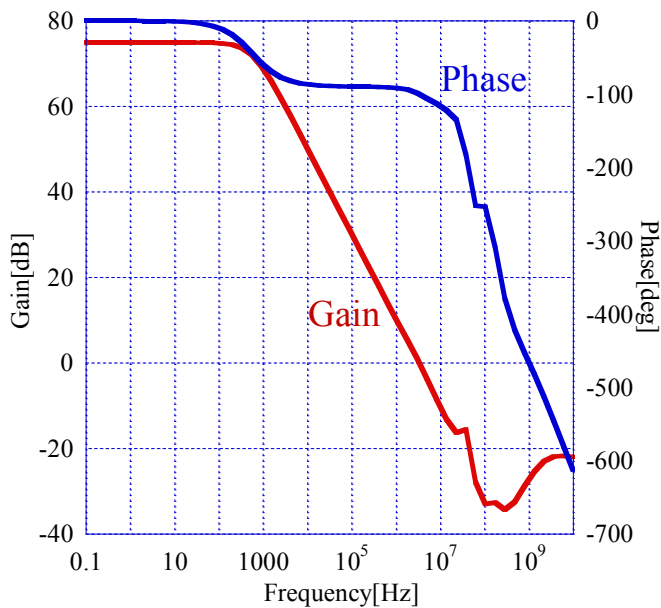
R48 :9.95k  
 C0 :200f  
 R59 :2k  
 C1 :200f





## 部門2 提出回路

### 周波数特性



直流利得: 75dB

位相余裕: 80 deg

利得帯域幅積: 3.4MHz

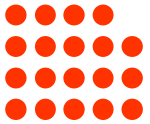


## 部門2 スコアとまとめ

項目	評価結果
消費電力	4.2403e-05
出力抵抗	1.0000e-01
入力換算雑音	1.4330e-03
利得帯域幅積	1.2320e+07
位相余裕	7.4735e+01
スコア	3.5735e+21

- ・出力抵抗を0.1Ω達成することができた。
- ・計算で0.1Ωに最適なカスコード数を出せればもっと良かったと思う。





## 部門3 設計方針

### 評価式

$$\frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{\text{直流利得}^2 \times \text{電源電圧}}$$

### 設計方針

- ・同相除去比を大きく
- ・利得を最小の40dBに
- ・電源電圧変動除去比をあげるには利得を上げなければならないので気にしない



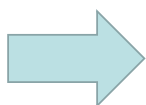
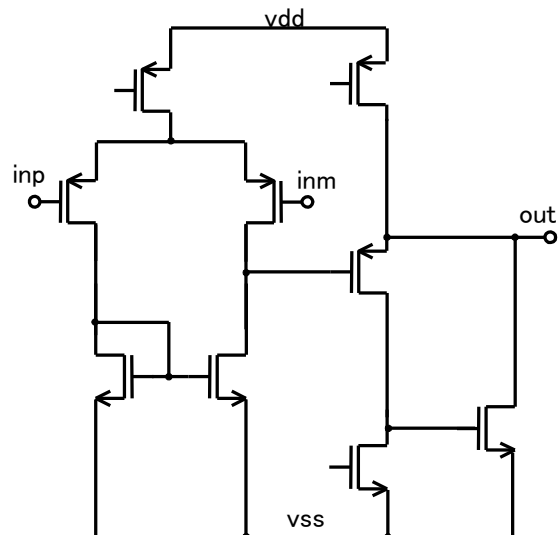
## 部門3 設計方針

利得を抑えるために...

差動段

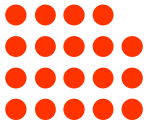
+

スーパーソースフォロワ



部門2の回路をそのまま利用...





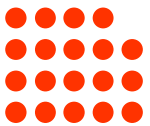
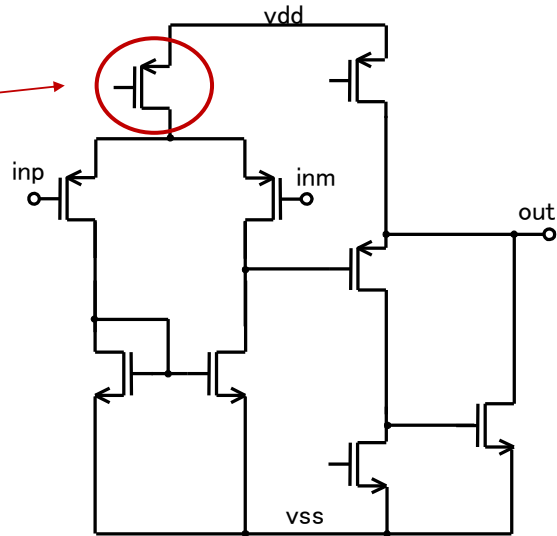
### 部門3 設計方針

同相除去比を下げるために

電流減をカスコード



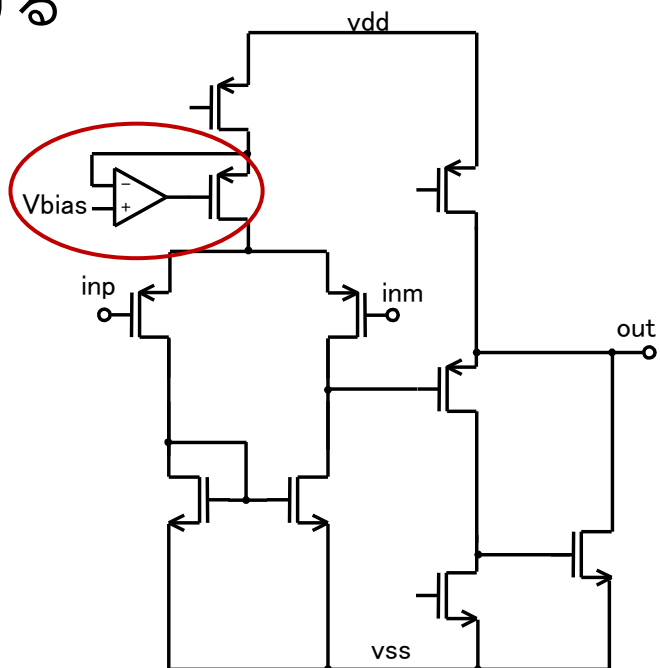
出力抵抗 増

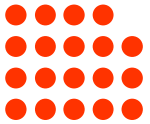


### 部門3 設計方針

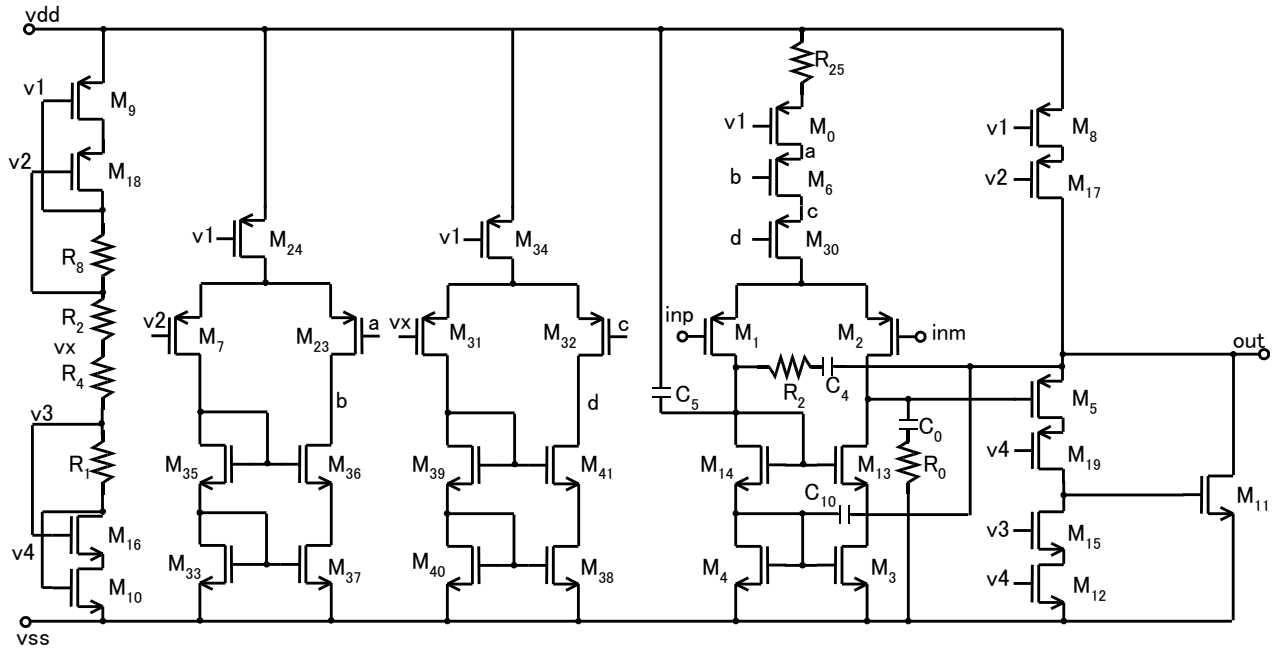
さらには出力抵抗を上げる

ゲインブーストにより  
出力抵抗 増大





### 部門3 提出回路



バイアス段

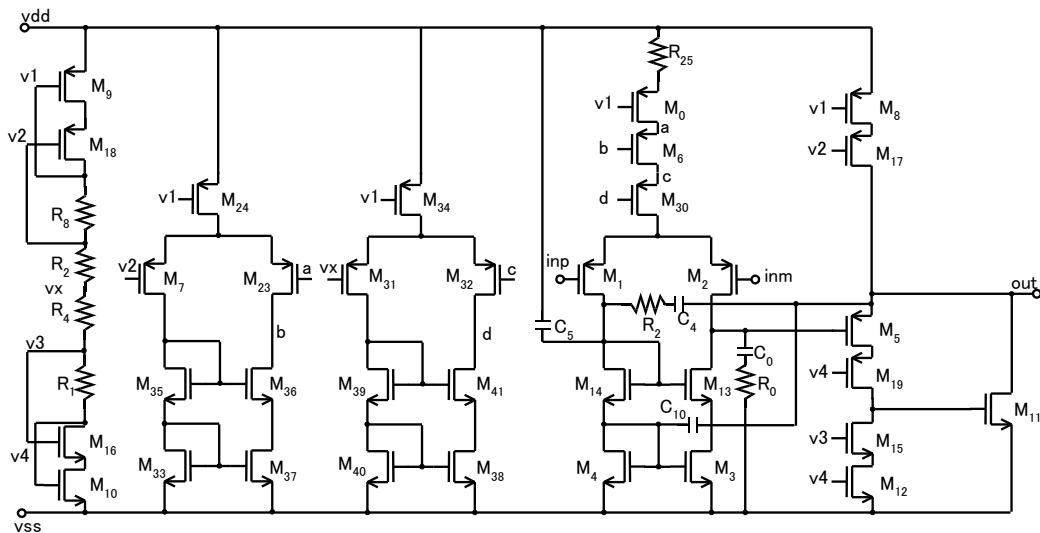
サブアンプ

メインアンプ

スーパーソース  
フォロワ

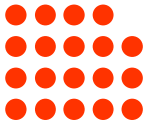


### 部門3 提出回路



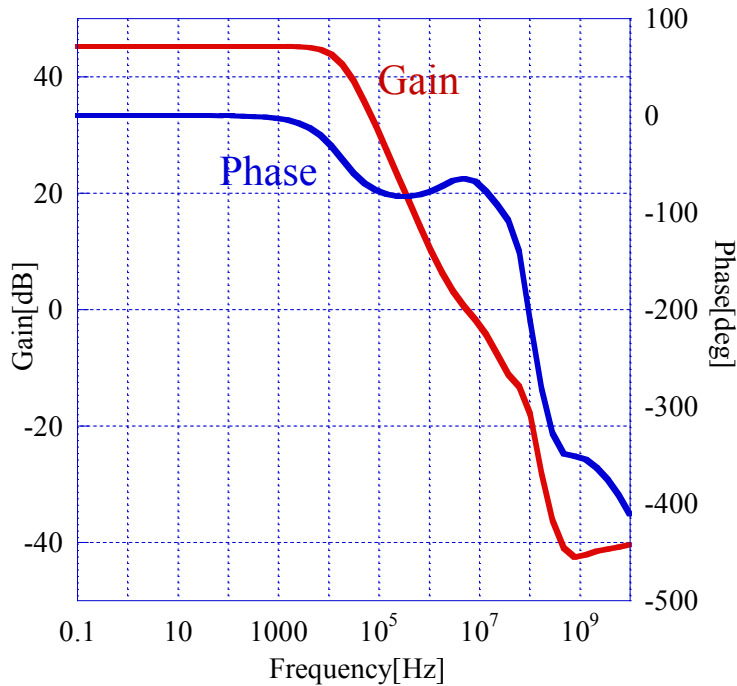
- |                    |                          |                      |                   |             |
|--------------------|--------------------------|----------------------|-------------------|-------------|
| M9,18 :10u/1u ,    | M24 :10u/1u              | M34 :10.6u/1u m=4    | M0 :7.04u/1u      | C5,4 :0.5p  |
| M16,10 :5.0u/1u    | m=4                      | M31,32 :0.98u/0.98u  | M6 :10.87u/1u m=2 | C0,10 :0.1p |
| R8 :50k ,R2 :100   | M7,23 :5.0u/1u           | M38,39,40,41 :1u/10u | M30 :4.83u/1u m=2 | R0,2 :0.1k  |
| R4 :655k ,R1 :255k | M35,36,33,37 :<br>1u/10u |                      | M1,2,3,4 :5u/1u   |             |
|                    |                          |                      | M13,14 :10u/1u    |             |





## 部門3 提出回路

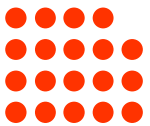
### 周波数特性



直流利得:45dB

位相余裕:115 deg

利得帯域幅積:5MHz



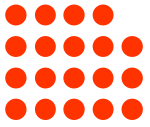
## 部門3 スコアとまとめ

項目	評価結果
電源電圧変動除去比	4.7334e+01
同相除去比	2.8062e+02
直流利得	4.6579e+01
電源電圧	3.0000e+00
スコア	1.8310e+11

- ・同相除去比を上げたことでスコアにつながった
- ・電源電圧変動除去比の上げ方をもっと勉強したかった







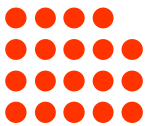
## 部門4 設計方針

評価式

消費電流

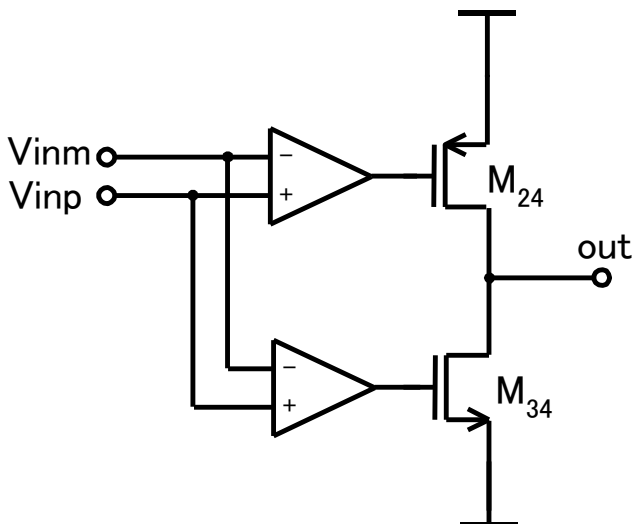
部門1~3とは違うプロセス、評価回路

→低消費電流で利得、スルーレートの要件を満たす



## 部門4 設計方針

スルーレートを満たすために...

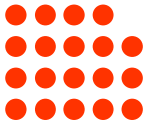


出力段のMOSを  
二つのアンプで駆動

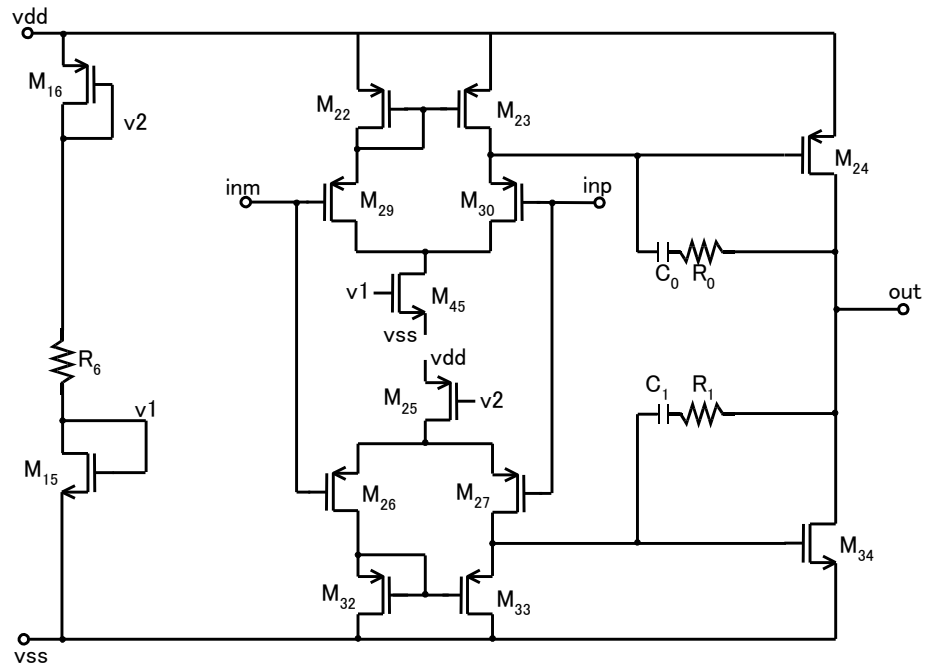


高スルーレート



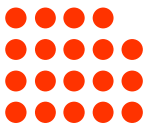


# 部門4 提出回路

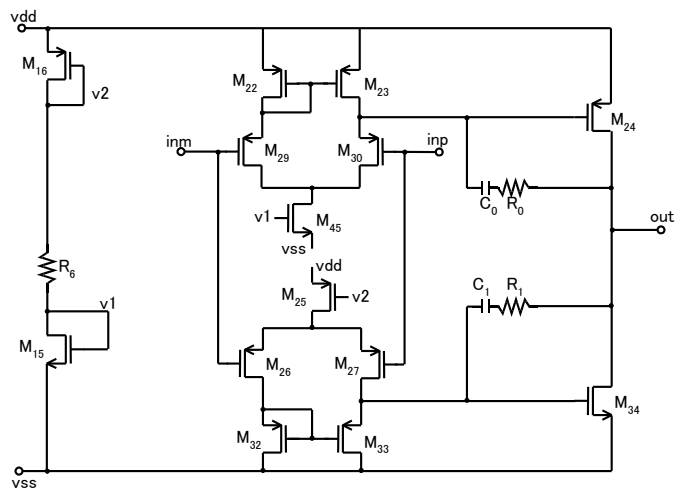


バイアス段

増幅段



# 部門4 提出回路



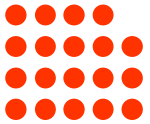
M16 :12u/0.7u  
 M15 :6u/0.6u  
 R6 :r=4706k

M22, 23 :8u/3u  
 M29,30 :2.5u/0.6u  
 M45 :6u/0.6u

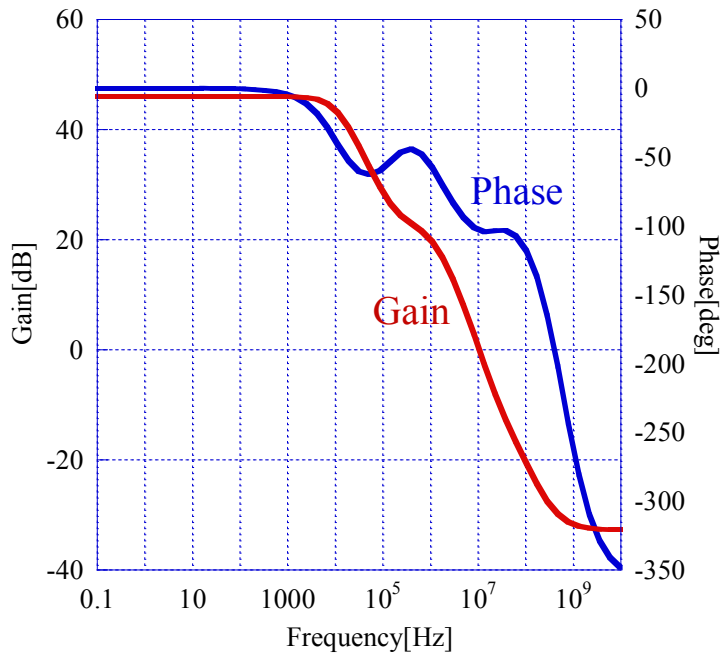
M27,26 :2.5u/0.6u  
 M32,33 :4u/3u  
 M25 :13u/0.7u

M24 :36u/0.6u  
 M34 :18u/0.6u  
 C0,1 :100f  
 R0,1:9550k





## 部門4 提出回路



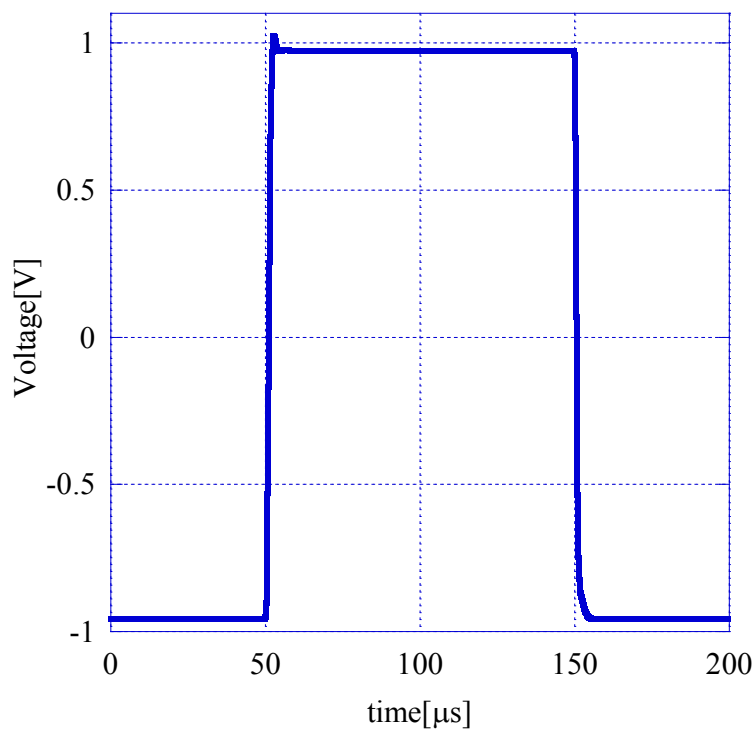
直流利得: 46dB

位相余裕: 77 deg

利得帯域幅積: 10MHz



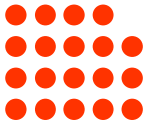
## 部門4 提出回路



立ち上がり  
: 1.01 [V/μs]

立ち下がり  
: 0.73 [V/μs]





## 部門4 スコアとまとめ

項目	評価結果
消費電流	3.7906e-06

- ・電流を絞ったうえで、利得とスルーレートの要件を満たすことが難しかった。



# 演算増幅器設計コンテスト 発表会資料

---

東京理科大学 兵庫研究室 修士二年  
富塚直也

部門1 : 1位

部門3 : 3位

部門2 : 2位

部門4 : 2位

試作 : 5位

1

## 今年のモチベーション

---



- 今年で3回目のコンテスト参加  
B4→2つの部門入賞  
M1→3つの部門入賞
- 今年は全部門入賞したい！  
→2年分の知識を活かしてコンテストに望む
- 毎年先輩達に負けていたので  
**昨年の優勝スコアを抜かす意識**

# 部門1：評価式



$$\frac{\text{スルーレート}[V/s] \times \text{同相入力範囲}[\%] \times \text{直流利得}[dB]}{\text{消費電流}[A]}$$

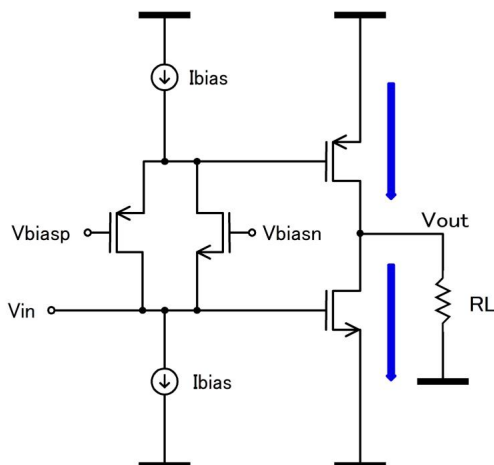
- スルーレートと消費電流のトレードオフ
  - 直流利得はdB換算
  - 同相入力範囲も% **差がつきにくい**
- いかに**低消費電流**で**高スルーレート**を実現できるか

3

# 部門1：設計方針



- **低消費電流**で**高スルーレート**の実現
- 出力段をAB級動作



- 定常状態
- 出力段の電流**小**

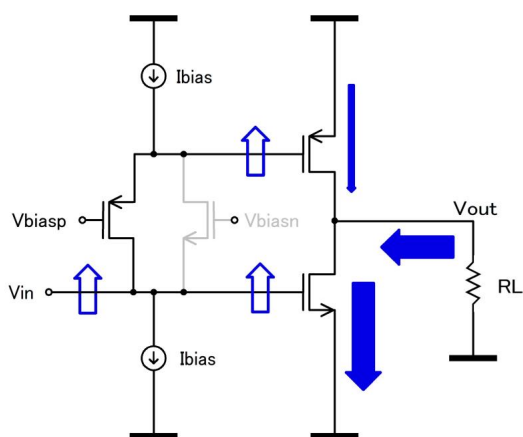
4

# 部門1：設計方針



- 低消費電流で高スルーレートの実現

→出力段をAB級動作



- $V_{in}$ 増加  
→NMOSのVGS大  
PMOSのVSG小  
→NMOSの引き込む電流大  
→スルーレート大

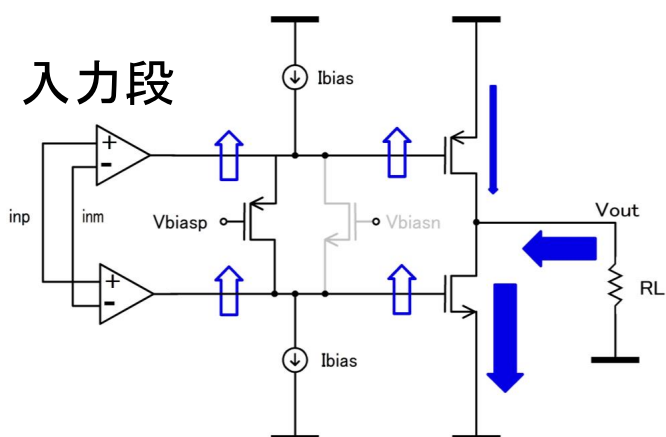
5

# 部門1：設計方針



- 低消費電流で高スルーレートの実現

→出力段をAB級動作



さらに、

- 入力段を2つ使用  
→入力段の出力により、  
直接バイアス電圧を変化  
→スルーレート大

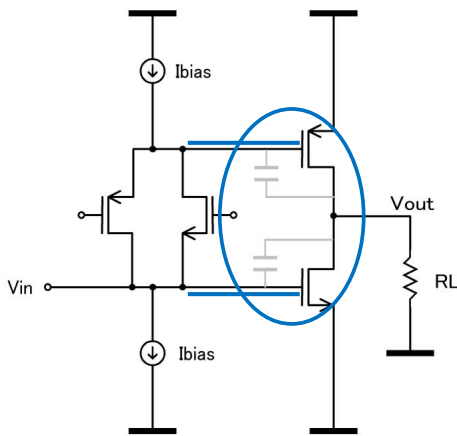
6

# 部門1：設計方針



- 低消費電流で高スルーレートの実現

→位相補償容量の工夫

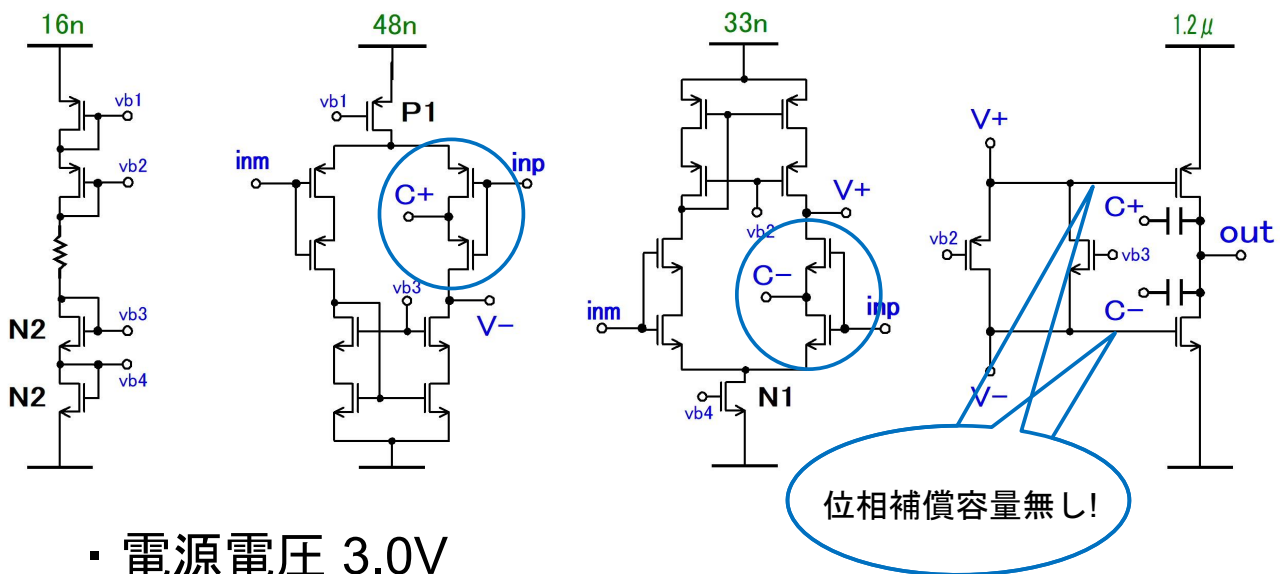


- AB級出力段用のバイアスパスに位相補償容量を使用しない

→スルーレートの劣化を防ぐ

7

# 部門1：回路構成



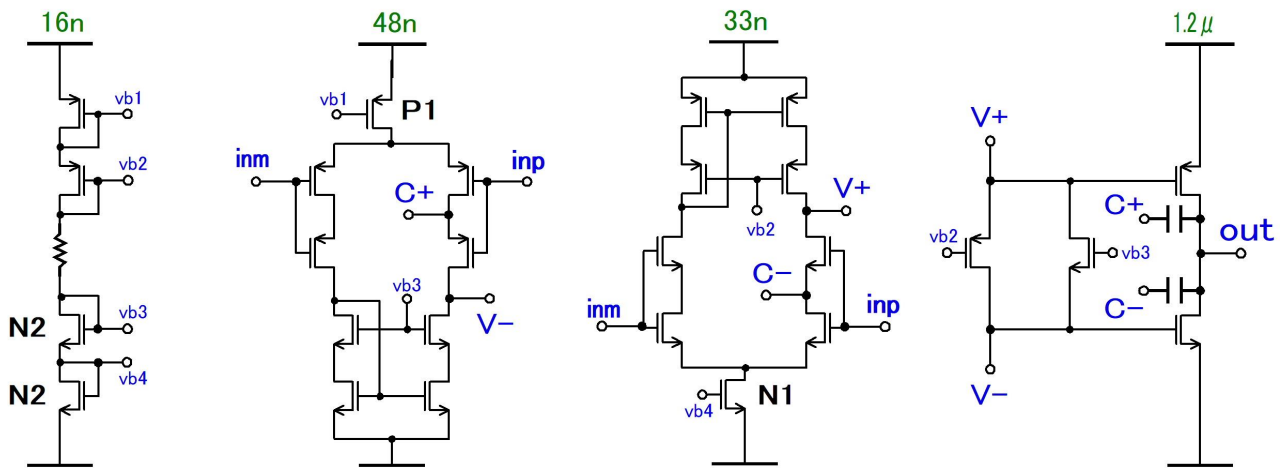
- 電源電圧 3.0V
- MOSのバルク

PMOS→ソース端子 NMOS→Vss

8

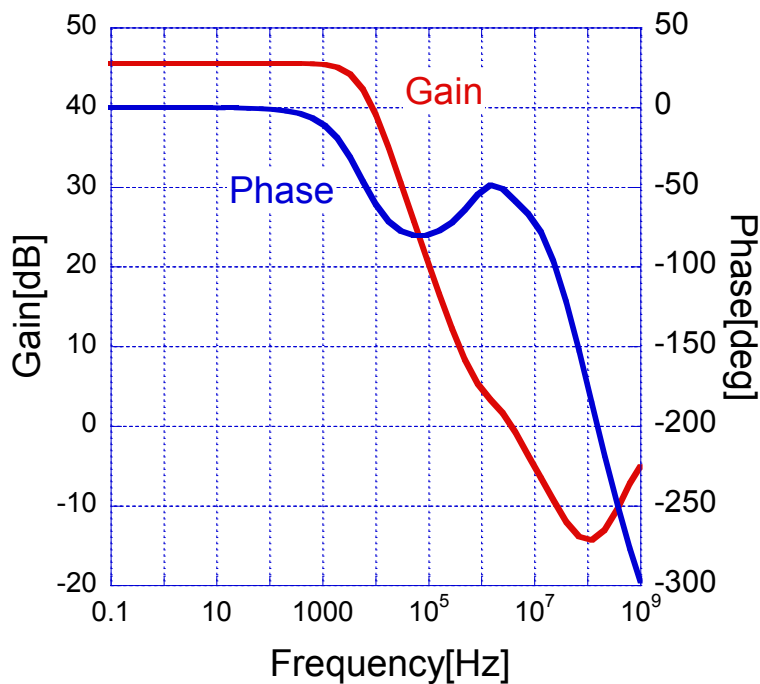


# 部門1：回路構成(素子値)



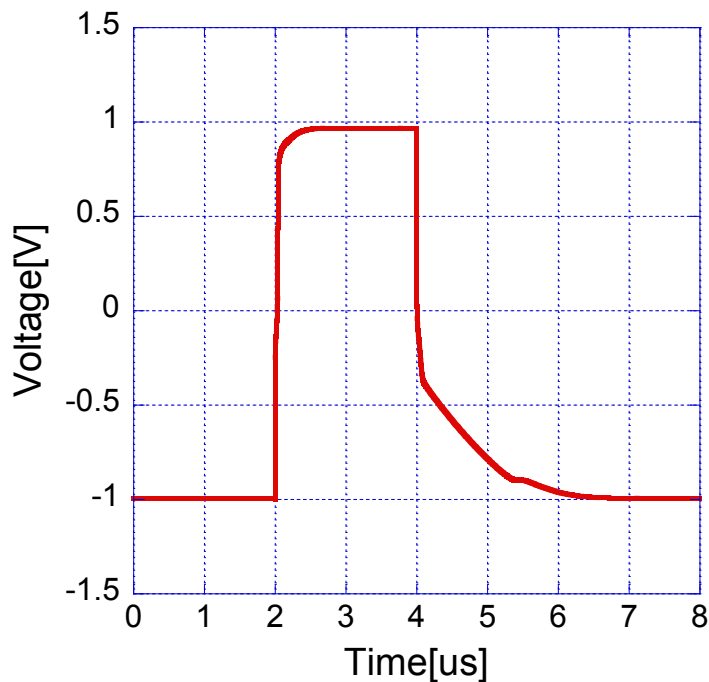
- ※チャンネル長はすべて180nm, 括弧内以外それぞれすべて同じサイズ
- NMOS :  $W=1\mu\text{m}$  (※ N1 :  $W=1\mu\text{m}^2$ , N2 :  $W=4\mu\text{m}$ )
  - PMOS :  $W=3\mu\text{m}$  (※ P1 :  $W=3\mu\text{m}^2$ )
  - Resistor : 100M $\Omega$
  - Capacitor : 100fF

# 部門1：ボード線図



直流利得:45.5dB  
位相余裕:121deg

## 部門1：スルーレート



立ち上がり:  
3.54e7V/s

立ち下がり:  
1.02e6V/s

11

## 部門1：スコア



項目	評価結果
スルーレート[V/s]	2.5511e+10
消費電流[A]	1.3884e-06
同相入力範囲[%]	9.6000e+01
直流利得[dB]	8.0068e+01
スコア	1.4124e+20

- ・ 高スルーレートを実現
  - ・ 消費電流、直流利得も高いレベルで維持
- 昨年の経験からスルーレートの重要性を知っていたので、意図した設計ができた

12

## 部門2(評価式)



$$\frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

入賞するには絶対!

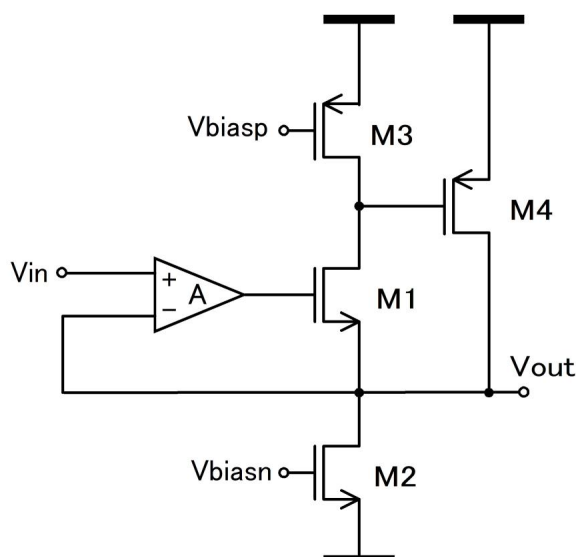
- 出力抵抗は最小値である**0.1Ω**に
  - 二乗で効いてくる**消費電力を意識**
- 出力抵抗を下げられる構成で、なるべく低電圧化

13

## 部門2(評価式)



- 出力抵抗を下げる
- スーパーソースフォロワ+負帰還アンプ



スーパーソースフォロワの出力抵抗

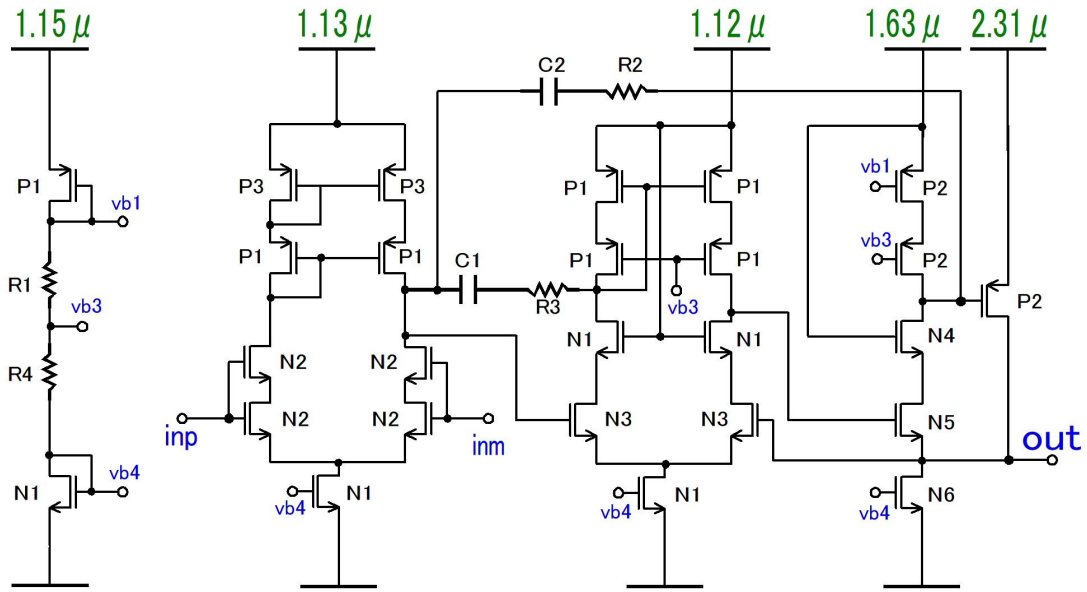
$$R_{out} \approx \frac{1}{g_{m1}g_{m4}r_{o1}}$$

VinをA倍してスーパーソースフォロワに入力することで、出力抵抗をさらにA倍減らせる

$$R_{out} \approx \frac{1}{Ag_{m1}g_{m4}r_{o1}}$$

14

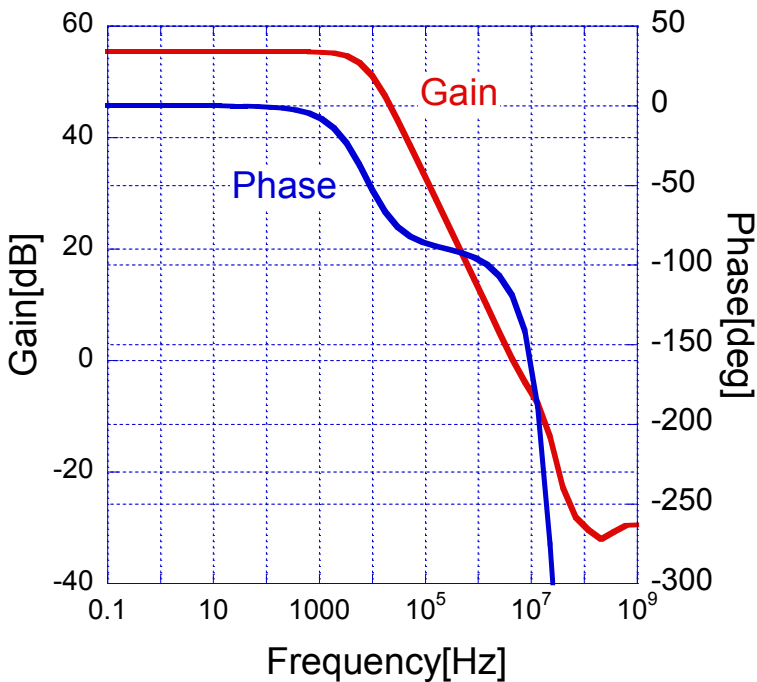
# 部門2：回路構成



- ・ 電源電圧 3.0V
  - ・ MOSのバルク
- PMOS→ソース端子    NMOS→Vss

15

# 部門2：ボード線図



直流利得:55.4dB  
位相余裕:55.8deg

16

## 部門2：スコア



項目	評価結果
消費電力[W]	1.1781e-05
出力抵抗[Ω]	1.0000e-01
入力換算雑音[V]	2.6191e-03
利得帯域幅積[Hz]	4.2705e+06
位相余裕[deg]	5.5798e+01
スコア	6.5551e+21

- ・ 戦いのスタート地点である出力抵抗0.1Ωを実現
  - ・ 電源電圧1.6Vで攻めた設計
- 一度も入賞できなかった部門2を克服

17

## 部門3(評価式)

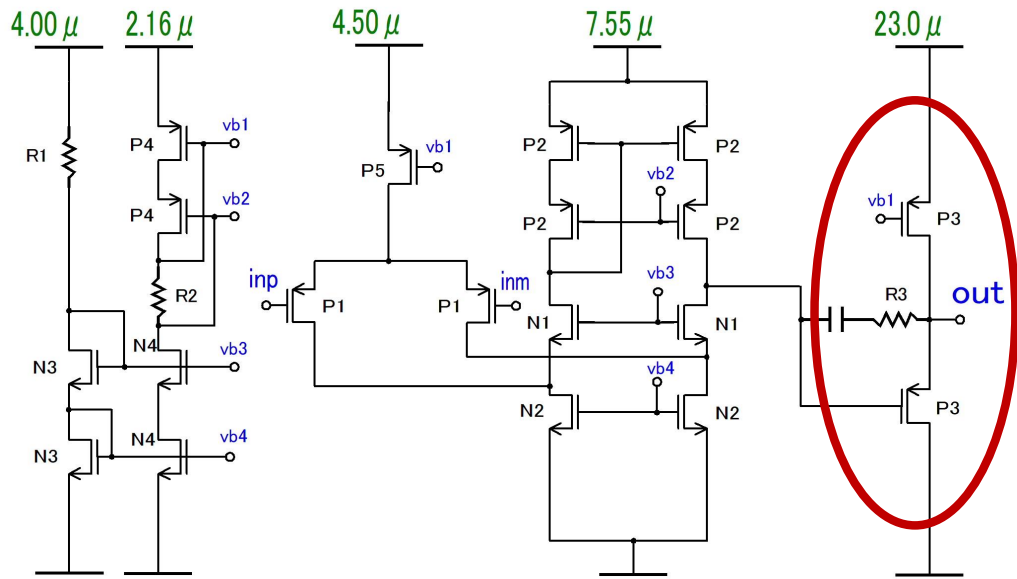


$$\frac{\text{電源電圧変動除去比[倍]} \times \text{同相除去比[倍]}}{\text{直流利得[倍]}^2 \times \text{電源電圧}}$$

- ・ 直流利得が二乗で効いてくる
- 最低条件の40dBに  
=PSRRも小さくなってしまふ
- ・ **CMRR** ここで差をつける

18

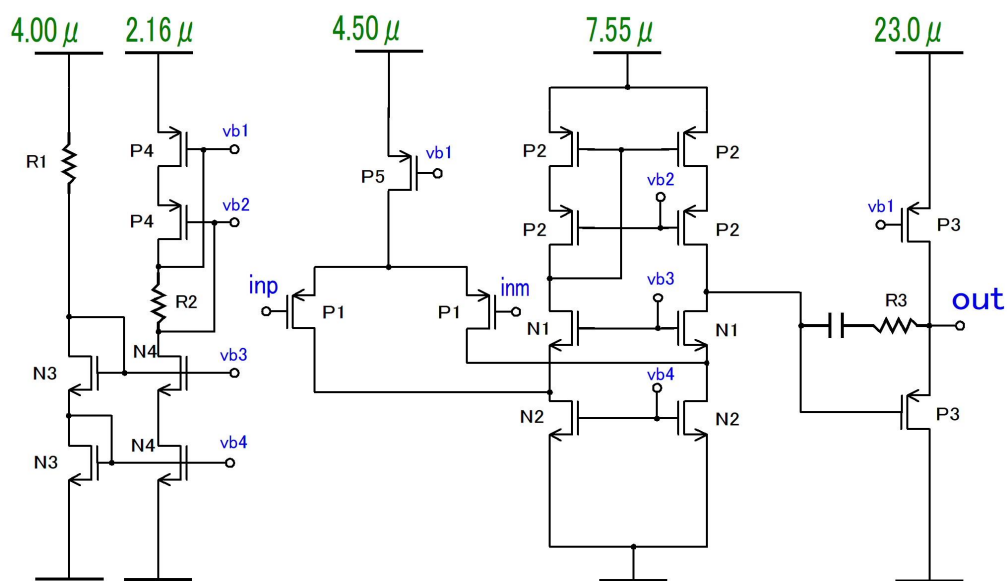
# 部門3：回路構成



- ・ 直流利得を低く 40dB程度
- 出力段に **ソースフォロワ** を使用

19

# 部門3：回路構成(素子値)

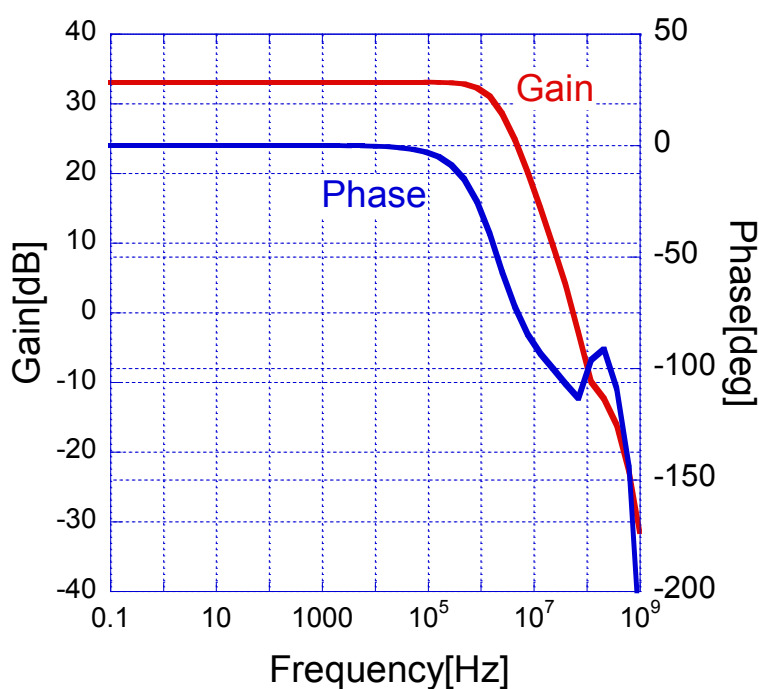


※チャンネル長は記載がない場合は1μm

- ・ NMOS : N1:W=1μm N2:W=1μm\*2 N3:W=1.34μm N4:W=0.7μm
- ・ PMOS : P1:W/L=5μm/0.18μm P2:W=3μm P3:W=3μm\*3 P4:W=3μm P5:W=3μm\*2
- ・ Resistor : R1=283.602kΩ R2=140kΩ R3=30kΩ
- ・ Capacitor : 100fF

20

## 部門3：ボード線図



直流利得:33dB  
位相余裕:70deg

21

## 部門3：スコア



項目	評価結果
電源電圧変動除去比[dB]	4.5353e+01
同相除去比[dB]	2.0783e+02
直流利得[dB]	4.3992e+01
電源電圧[V]	2.4282e+00
スコア	7.4932e+07

- ・ 直流利得は44dBと低めの設計を実現  
→PSRRも直接影響を受けて低くなってしまった
- ・ CMRRの分だけスコアの差が大きかった

22

# 部門4(評価方法)

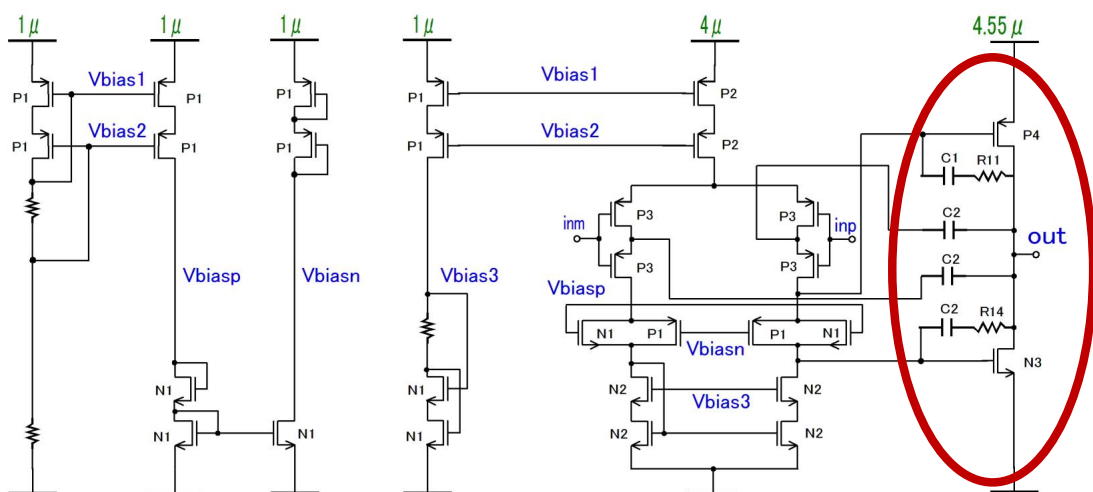


消費電力 = 電源電圧 3.0V × 消費電流

- 電源電圧は3.0V固定
- 0.6 $\mu$ mプロセス
- 重い負荷容量を低消費電流で駆動させる
- 試作の部で使用した回路で攻めた設計

23

# 部門4：回路構成(試作部門)

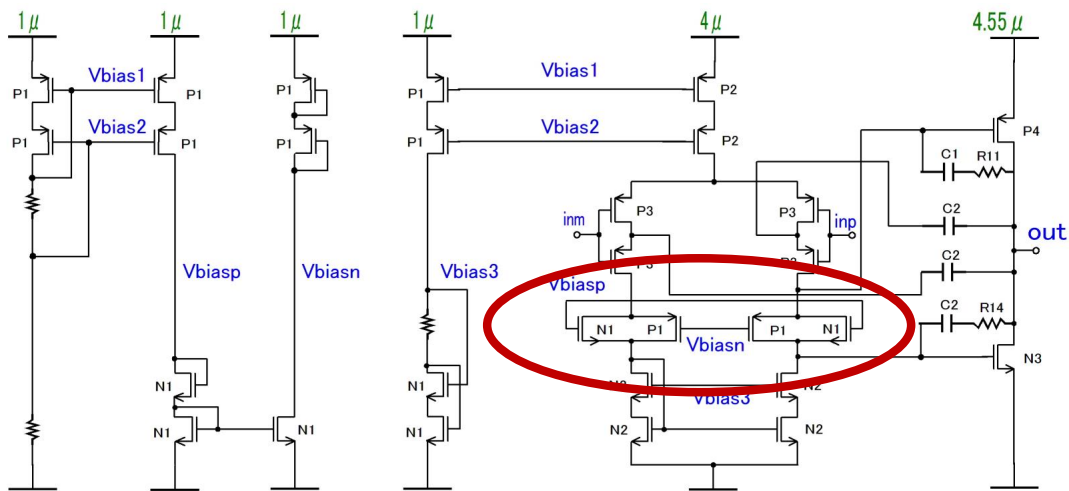


- 負荷容量が大きい
- AB級出力の使用

24



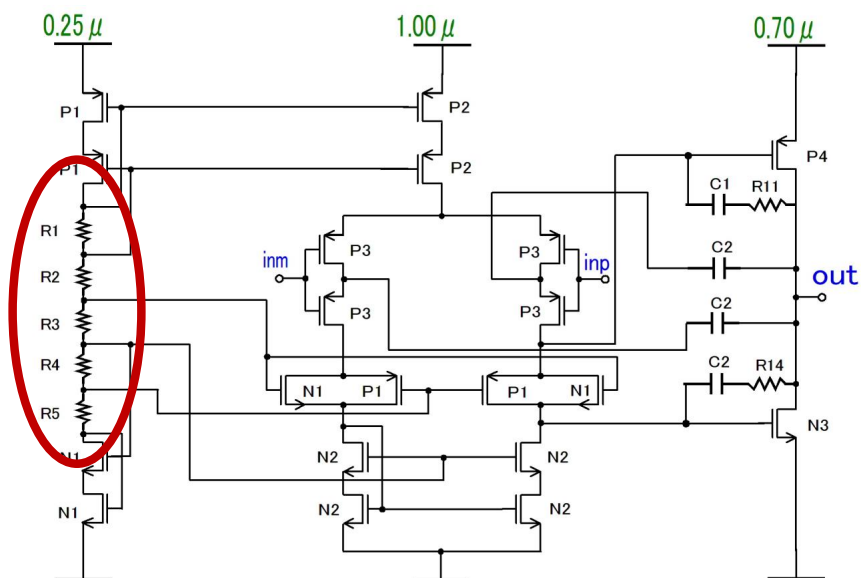
## 部門4：回路構成(試作部門)



- ・低消費電流化  
→ フローティングバイアスの使用

25

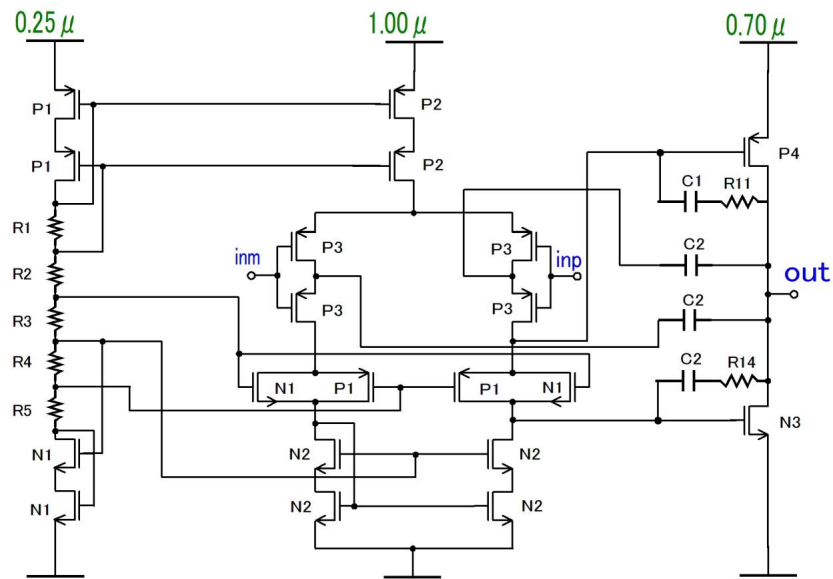
## 部門4：回路構成



- ・試作の部ではマージンを意識  
→ シミュレーションの部では抵抗分圧により  
バイアス段のパスを削減

26

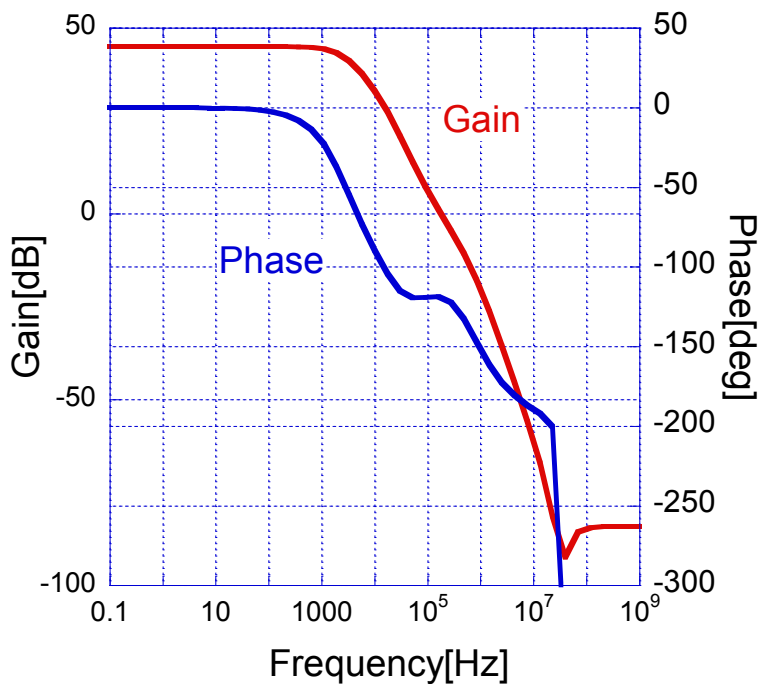
# 部門4：回路構成(素子値)



※チャネル長は記載がない場合は0.6μm

- NMOS : N1:W=4μm N2:W=4μm\*2 N3:W=8.7μm
- PMOS : P1:W=8μm P2:W=8μm\*4 P3:W/L=17μm\*2/1.9μm P4:W=15.6μm
- Resistor : R1=1040kΩ R2=242kΩ R3=1959kΩ R4=934kΩ R5=1065kΩ R11=8720kΩ R14=8080kΩ
- Capacitor : C1=200fF C2=300fF

# 部門4：ボード線図



直流利得:45[dB]  
位相余裕:60[deg]

## 部門4：スコア



項目	評価結果
消費電流(部門4)[A]	1.9349e-06
消費電流(試作)[A]	1.2563e-05

- ・コンテストが進むにつれて、試作の部で出した回路のままでは余裕がなくなった  
→試作の部で使用した回路のマージンをなくしていくだけになってしまった
- ・昨年(2.6e-5)の1/10以下に抑えられたので満足

29

## 感想



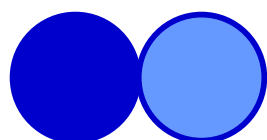
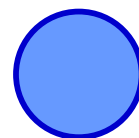
- ・目標としていた全部門入賞を実現できたことは○
- ・試作の部ではチップごとのばらつきが大きく、回路設計のシビアさという貴重な体験ができた
- ・研究とは違った角度で回路設計に望めて楽しかった

コンテスト運営の皆様、協賛企業の皆様、  
一緒に戦った研究室の皆様、および先輩方、  
厚く感謝申し上げます

三年間ありがとうございました！

30

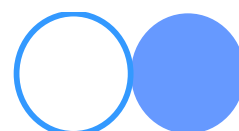
部門1:4位 部門2:1位  
部門3:1位 部門4:1位



東京理科大学 兵庫研究室 修士2年  
天海 弘樹

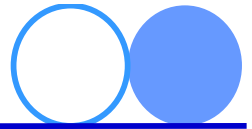


部門1



評価式

$$\frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得}}{\text{消費電流}}$$



## 評価式

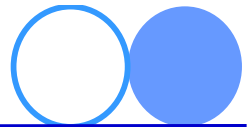
$$\frac{\text{スルーレート} \times \cancel{\text{同相入力範囲}} \times \cancel{\text{利得}}}{\text{消費電流}}$$

同相入力範囲: 最大100%      差がつきにくい

利得: 昨年度からdB値で計算      得点を伸ばしにくい

消費電流、スルーレートで勝負!!!

2



消費電流: 無信号時の消費電流

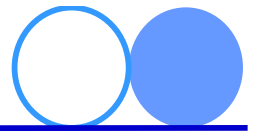
➡ AB級動作

無信号時の消費電流を抑える

信号入力時⇒電流増

消費電流、スルーレートのトレードオフを解決!

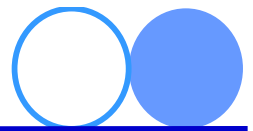
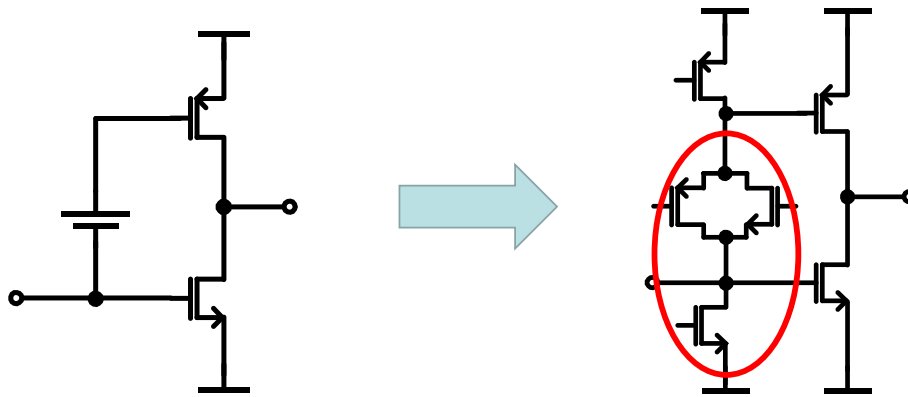
3



レベルシフトを用いてAB級動作

MOSTランジスタの寄生容量

⇒前段のスルーレート悪化



2つの入力段でAB級動作

入力段の出力⇒MOSTランジスタ1つ

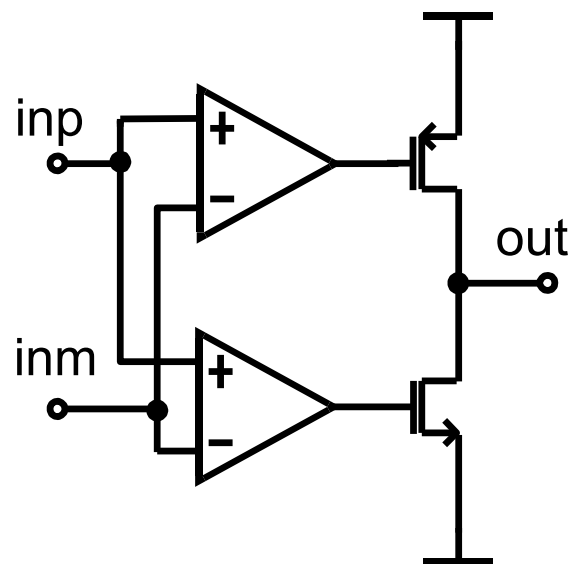
入力段

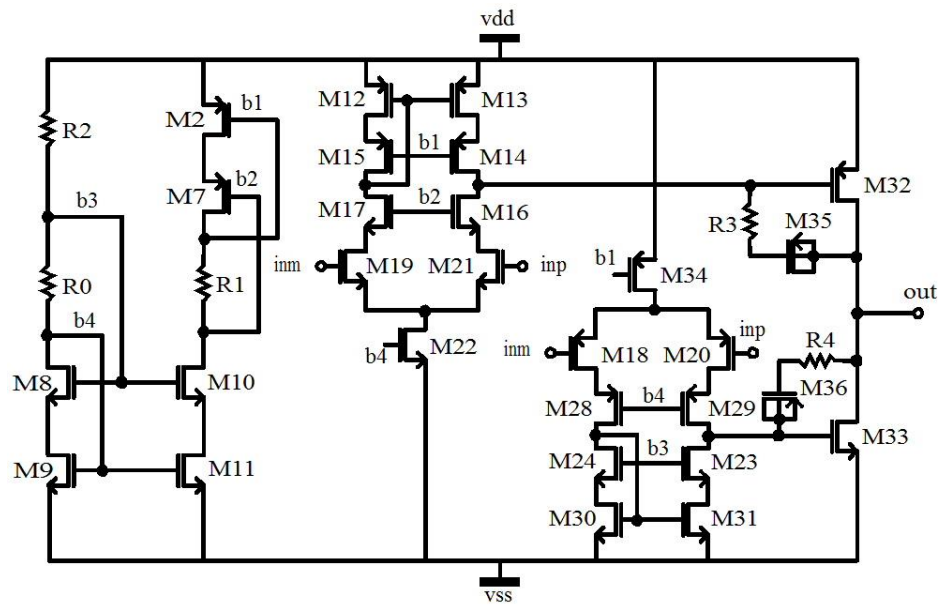
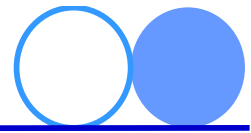
スルーレート改善

出力段

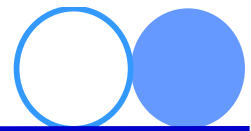
AB級動作

高スルーレート



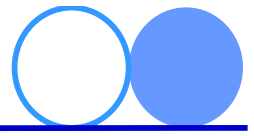


NMOSバルク vss  
PMOSバルク:ソース (M35,36以外)



位相補償容量

位相補償のために必要・・・  
要件は位相余裕45° 以上



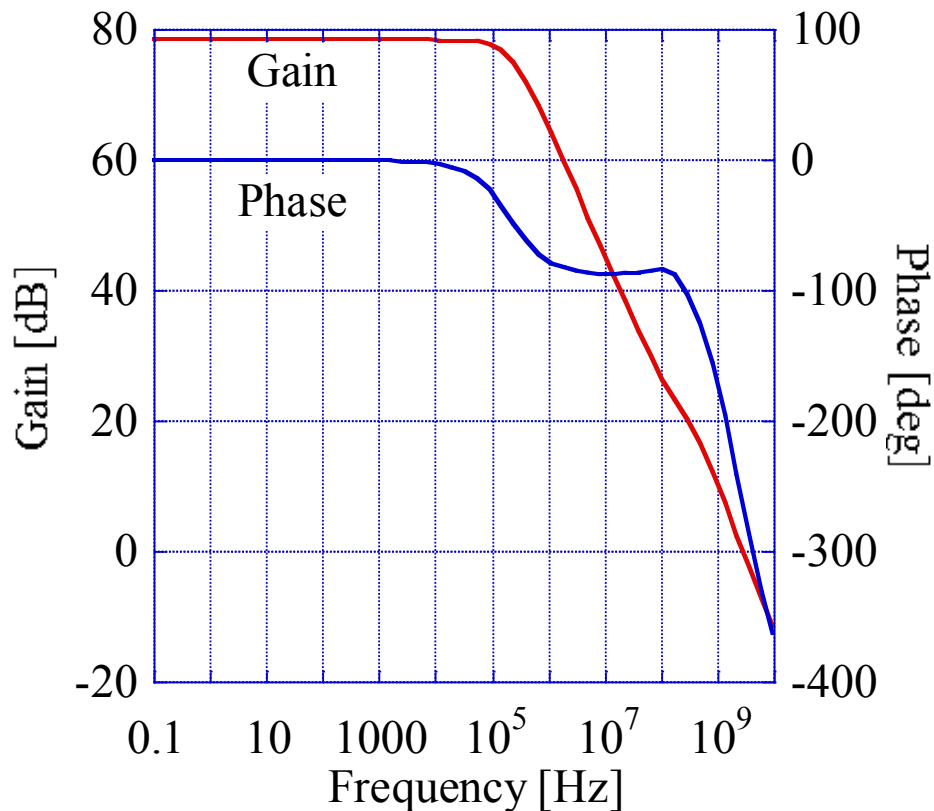
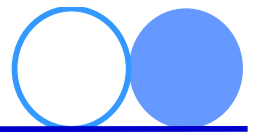
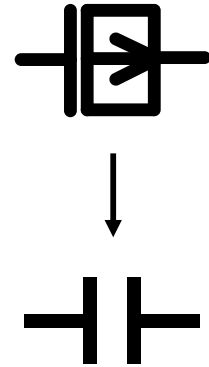
### 位相補償容量

位相補償のために必要・・・  
要件は位相余裕45° 以上

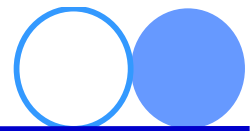
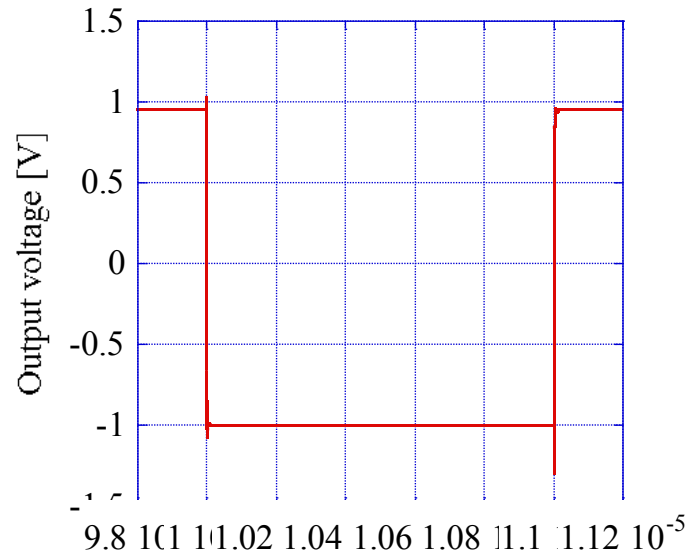
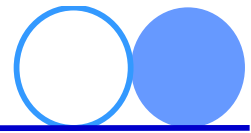
### スルーレート劣化の原因

なるべく小さな容量  
100fF以下を使いたい・・・

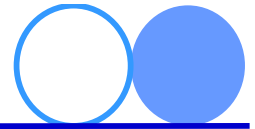
→ トランジスタの寄生容量を使用







スルーレート	2.5070e+09	V/s
消費電流	3.4614e-06	A
同相入力範囲	9.7000e+01	%
直流利得	8.5236e+01	dB
スコア	5.9882e+18	

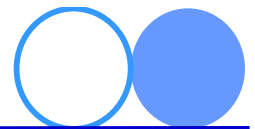


要件

電源電圧	3V
直流利得	40dB
位相余裕	45 度以上
帯域幅	20kHz 以上
出力オフセット電圧	$\pm 100\text{mV}$
入力電圧範囲	$\pm 100\text{mV}$
スルーレート	$\pm 1\text{V}/\mu\text{s}$
占有面積	0.2mm <sup>2</sup> 以内

消費電流を競う！！！！

12



帯域幅・出力オフセット電圧・入力電圧範囲

⇒特に気にしないでも要件を満たす  
設計時は無視する

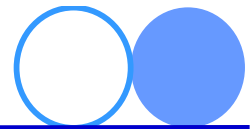
直流利得・位相余裕・スルーレート

⇒消費電流を減らすと要件を満たさなくなる  
トレードオフに注意しながら設計

占有面積

⇒大きな抵抗を用いるとオーバーする可能性・・・

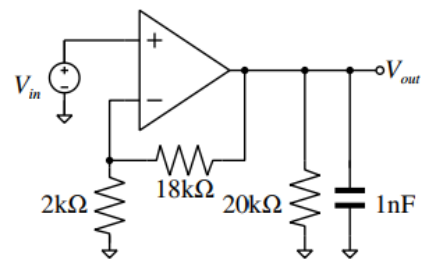
13



部門4で用いる評価回路

負荷に容量

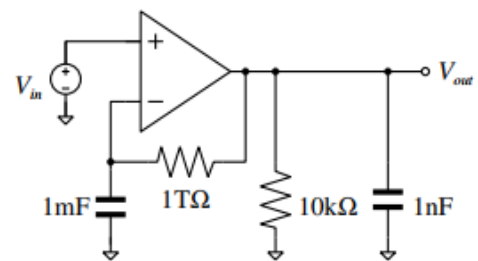
容量を駆動するために大電流が必要



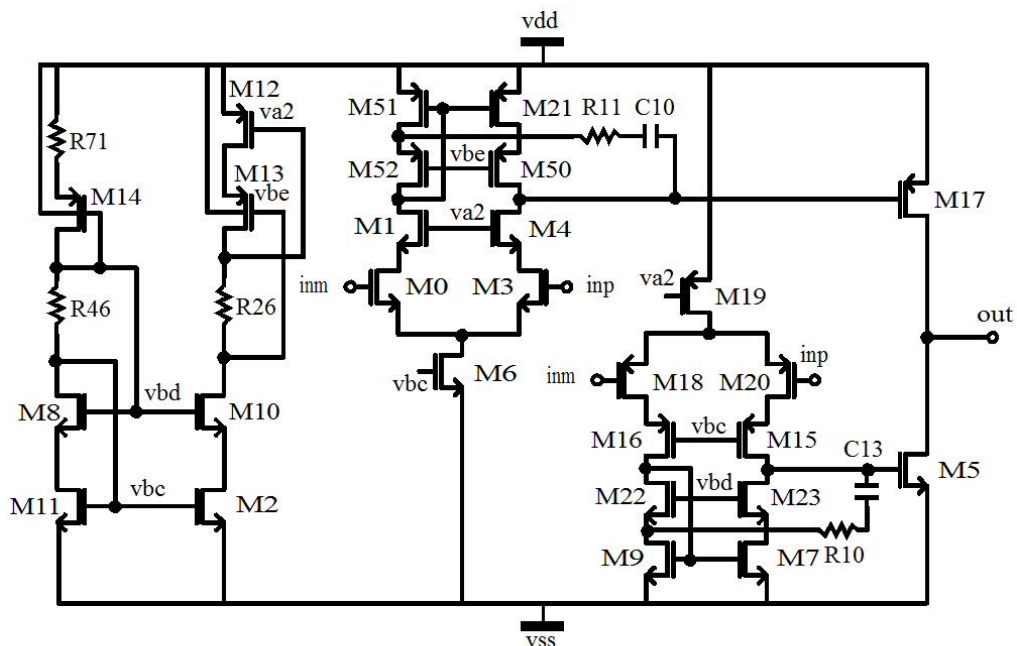
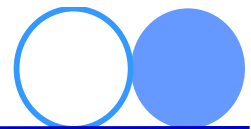
評価回路

AB級動作により容量を駆動

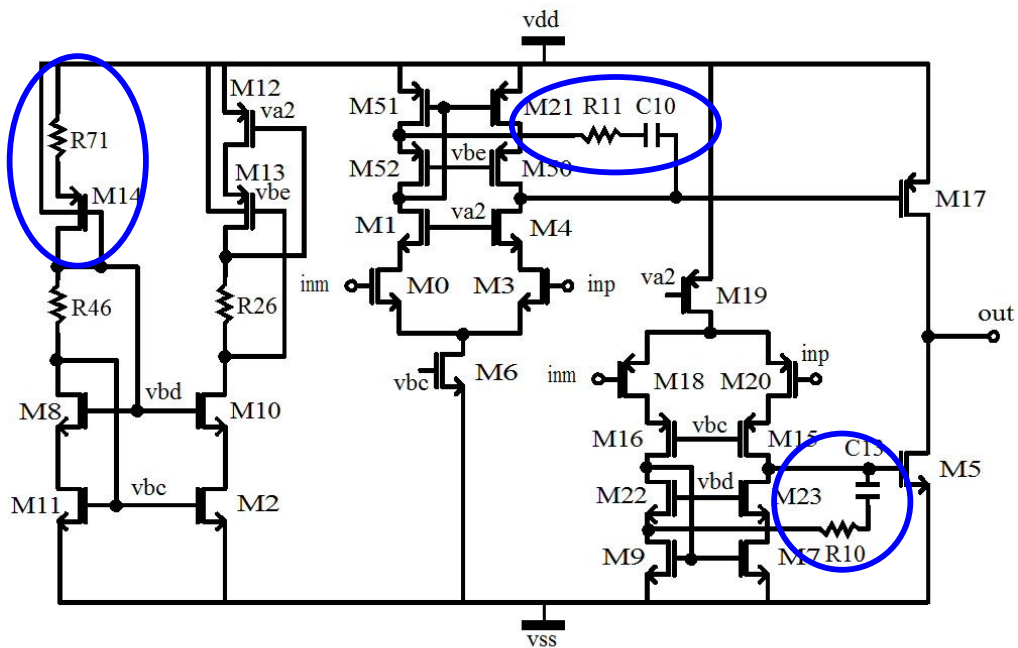
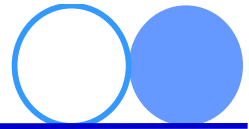
部門1と同じ回路構成



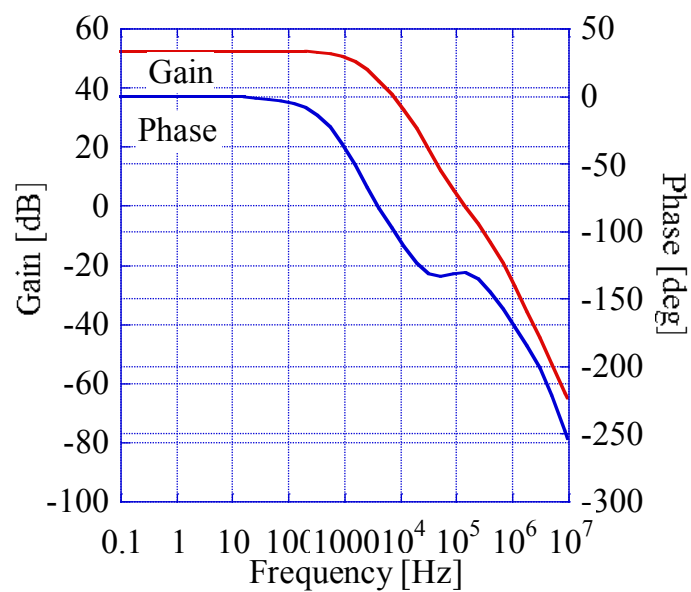
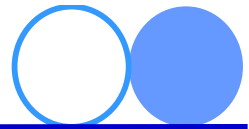
小信号評価回路

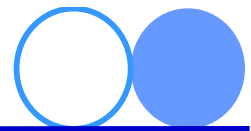
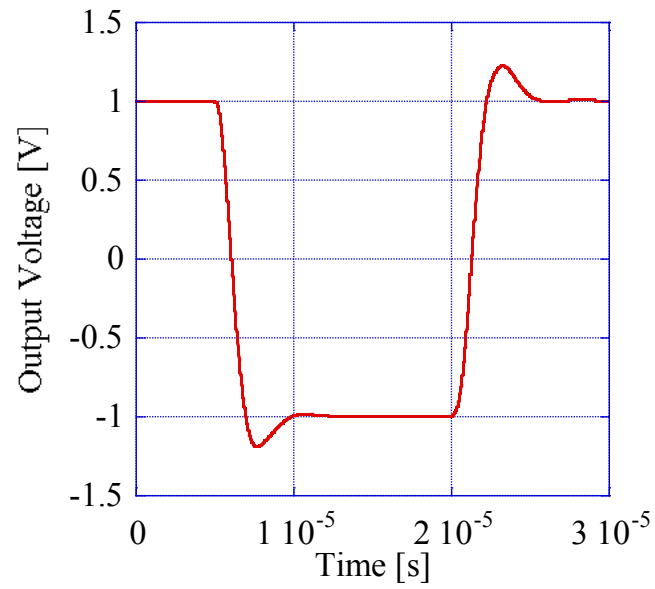
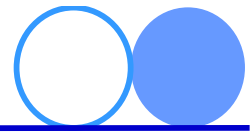


NMOSバルク vss  
PMOSバルク: ソース (M13, 14以外)

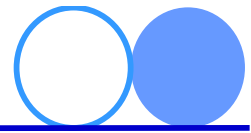


NMOSバブルク vss  
PMOSバブルク:ソース (M13,14以外)





消費電流	1.5650e-06	A
------	------------	---

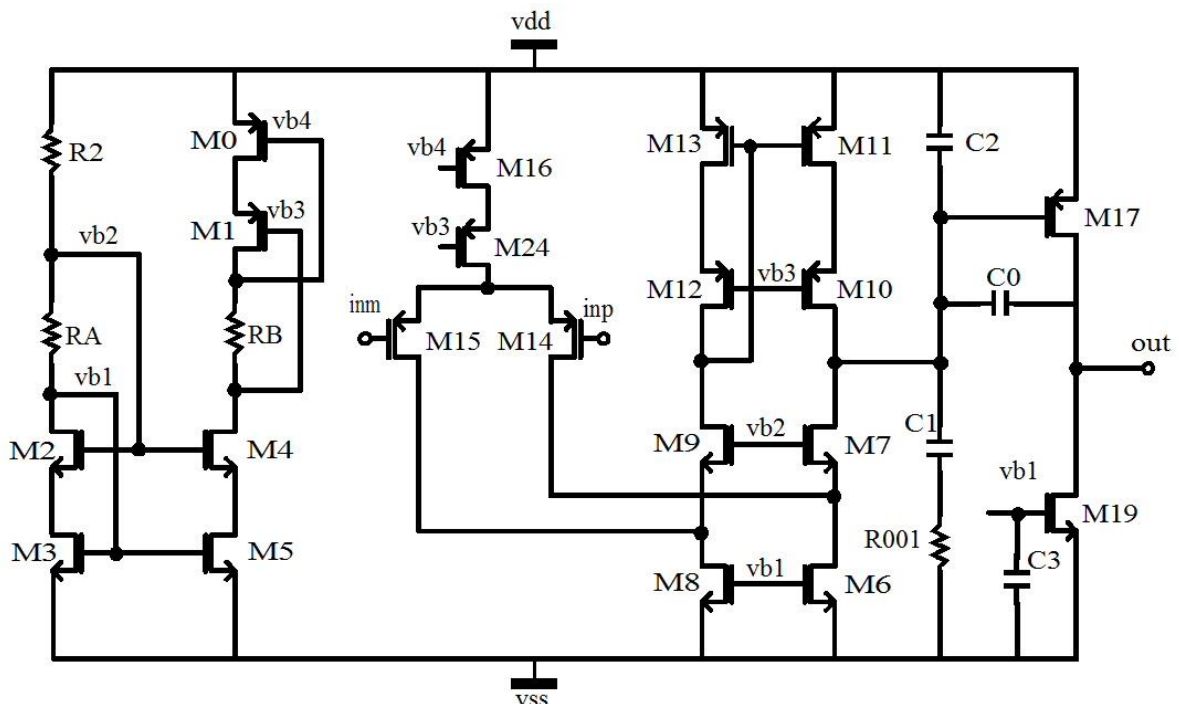
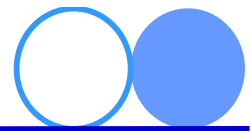


### 評価式

$$\frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{\text{直流利得}^2 \times \text{電源電圧}}$$

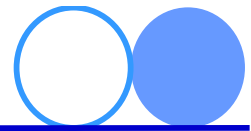
PSRR, CMRR, 直流利得は **真値**

⇒ 電源電圧はあまり考える必要はない



RA、RBは抵抗値を所望の値とするために抵抗を10並列接続しています。  
回路図が煩雑になるのでひとつの抵抗で表現しています。

NMOSバルク: vss  
PMOSバルク: ソース

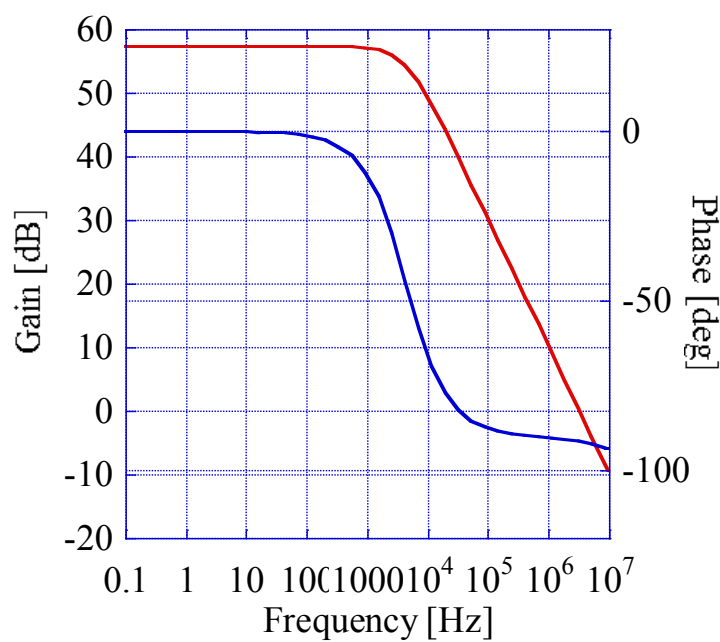
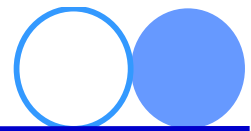
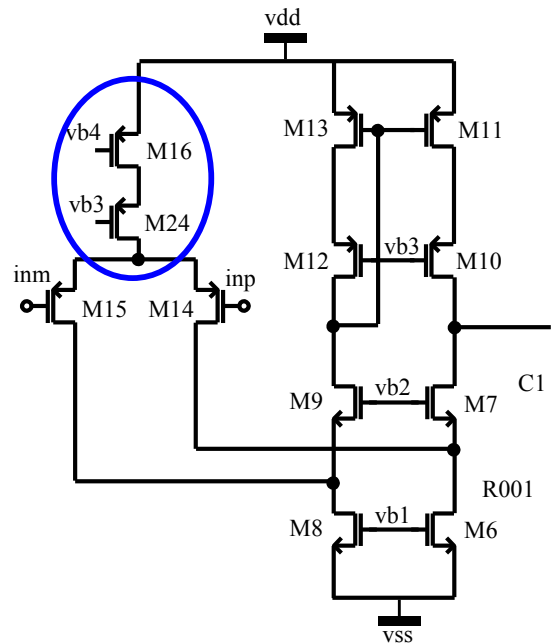


# 同相除去比

電流源をカスコード  
⇒出力抵抗増



同相利得が小さくなる  
⇒同相除去比増

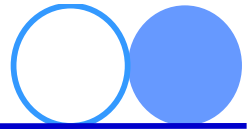


電源電圧変動 除去比	9.5265e+01	dB
同相除去比	3.4001e+02	dB
直流利得	.97515e+01	dB
電源電圧	2.4000e+00	V
スコア	4.2859e+11	

## 評価式

$$\frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$





## 評価式

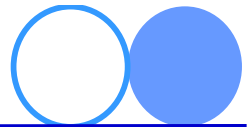
$$\frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

消費電力: 2乗なのでスコアに大きく影響

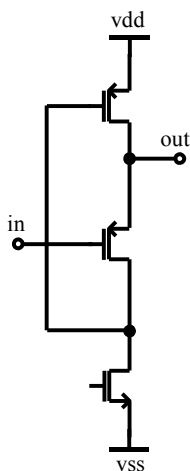
出力抵抗: 最大で0.1Ωなので0.1Ωを目指す

## 低消費電力・低出力抵抗

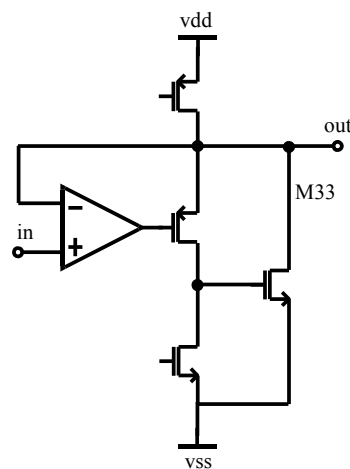
26



## 部門2で例年用いられている手法

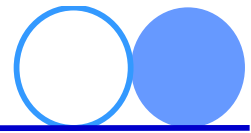


FVF

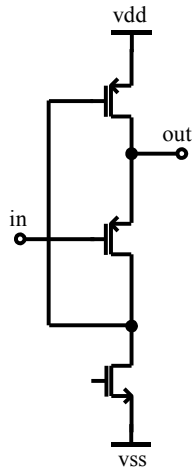


負帰還アンプ+SSF

27



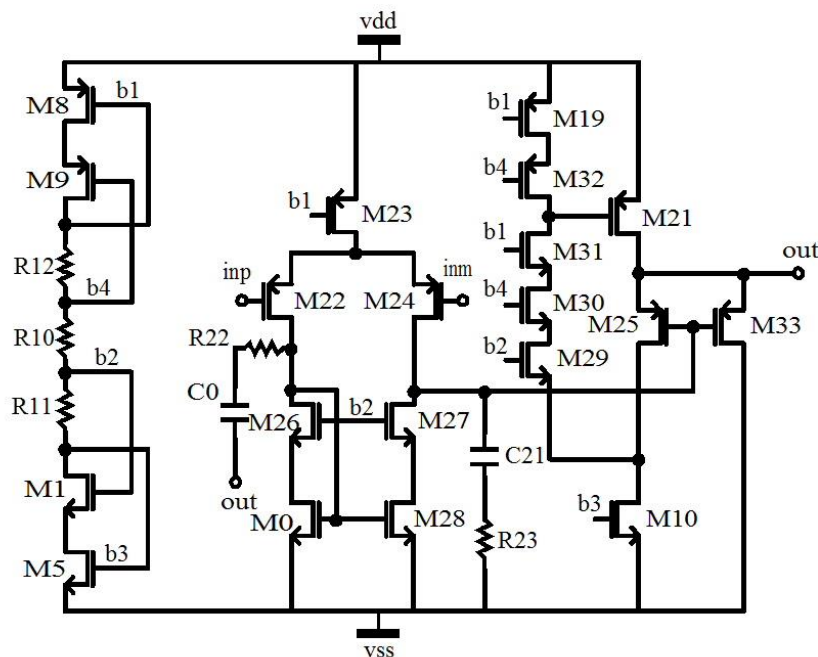
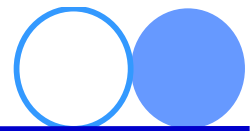
## 部門2で例年用いられている手法



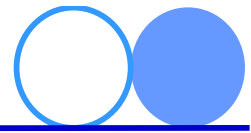
FVF

電流パスを減らすことができる

⇒ 低消費電力化に最適



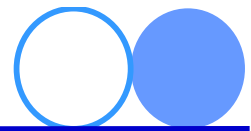
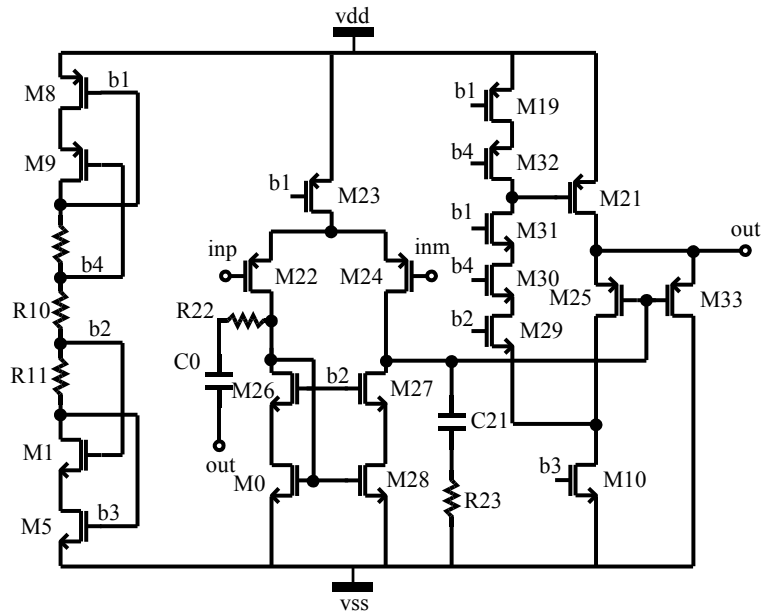
NMOSバブルク: vss  
PMOSバブルク: ソース



## 低消費電力

低電源電圧  
⇒1.8V

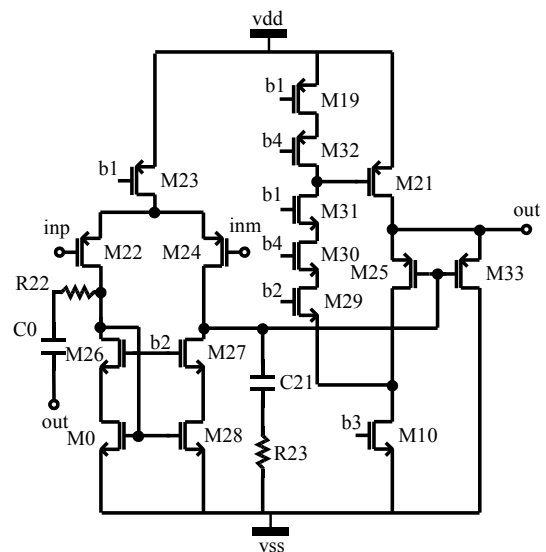
電流パス減らす  
⇒バイアス回路1本

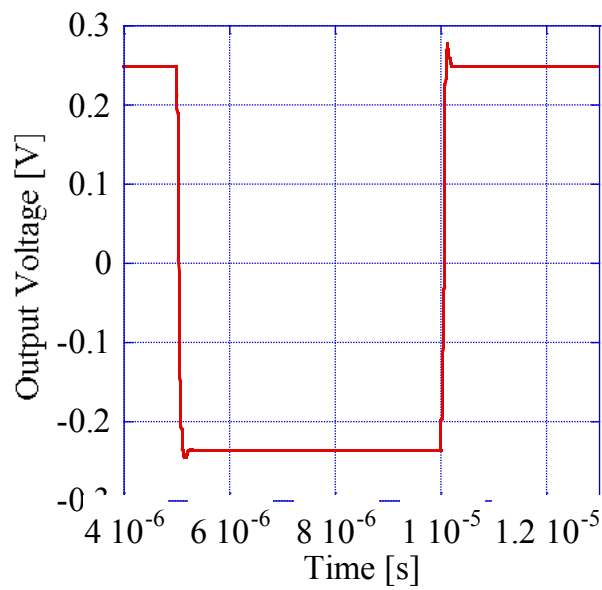
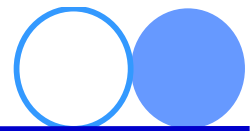
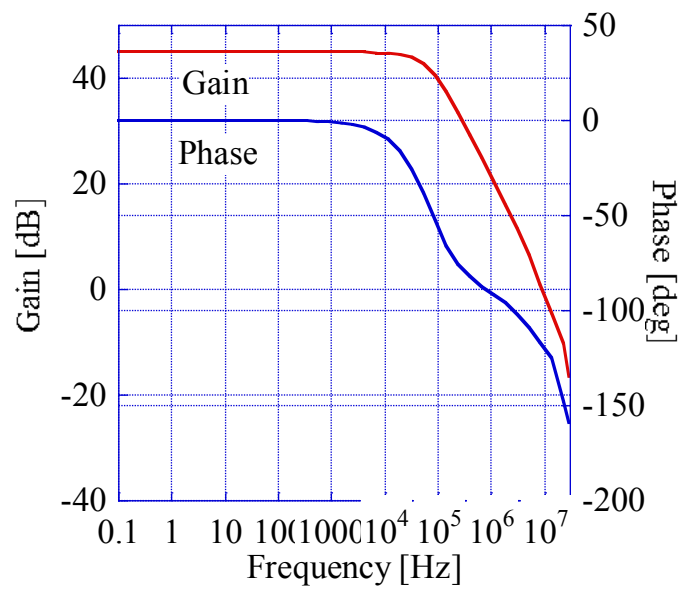
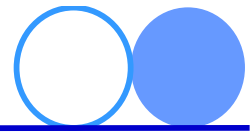


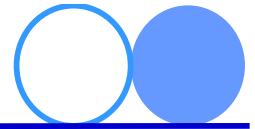
## 出力段:FVF

レベルシフト型FVFをカスコード  
⇒低消費電流・低出力抵抗

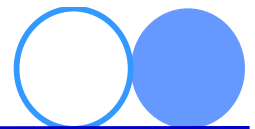
スルーレート波形が乱れて  
コンテストの要件を満たさない・・・  
⇒AB級FVFを使用







消費電力	2.1635e-05	W
出力抵抗	1.0000e-01	$\Omega$
入力換算雑音	1.1420e-03	V
利得帯域幅積	9.2430e+06	Hz
位相余裕	5.9426e+01	deg
スコア	1.0276e+22	



- このコンテストを通して回路設計の面白さを学ぶことができました。
- また、スコアを競うなかで回路に対する理解も深めることができましたと思います。
- コンテストに参加することでとても成長できたと感じたので今後もぜひ開催し続けてもらいたいです！



# 演算増幅器設計コンテスト 試作の部 4位

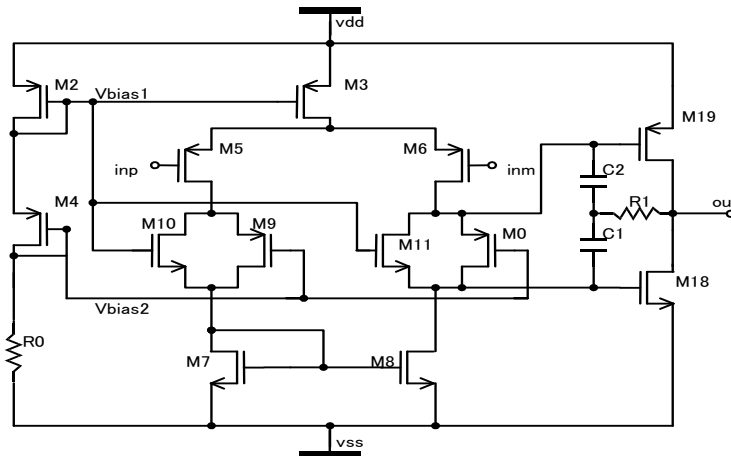
東京理科大学 兵庫研究室  
修士1年 吉田浩志



## 設計方針

- SRの要件を満たしつつ消費電流を抑える→AB級出力回路
- 消費電流のみを競う試作部門  
→電流パスを可能な限り減らす

# 提出回路



素子値	M0-M11	M18-M19
PMOS	5.8/0.6	80.5/1.5×2
NMOS	1.2/0.6	44.4/2

	素子値
R0(kΩ)	667
R1(kΩ)	420
C1,C2(fF)	520

# シミュレーション結果

- 周波数特性

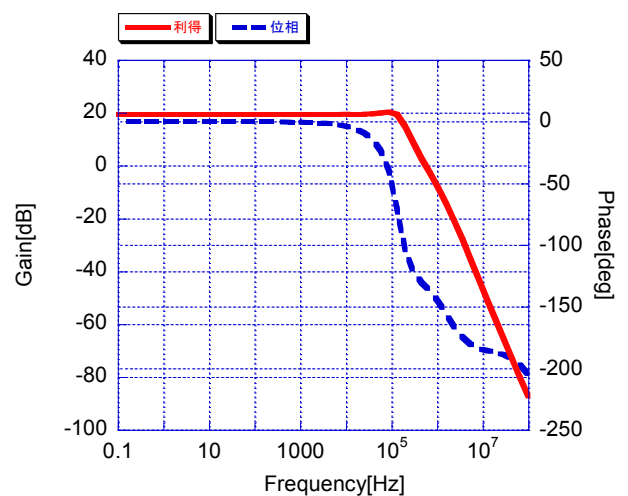
直流利得：19.49dB

位相余裕：47°

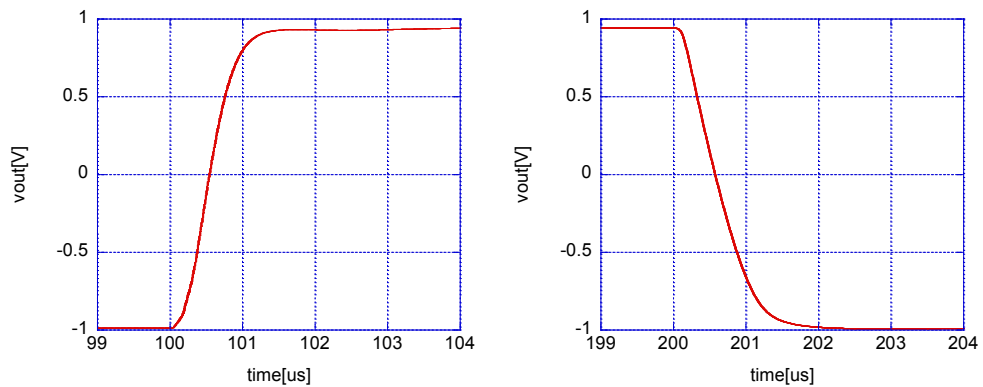
-3dB帯域幅：171kHz

- 消費電流(+): 19.2 μA

- 消費電流(-): 19.7 μA

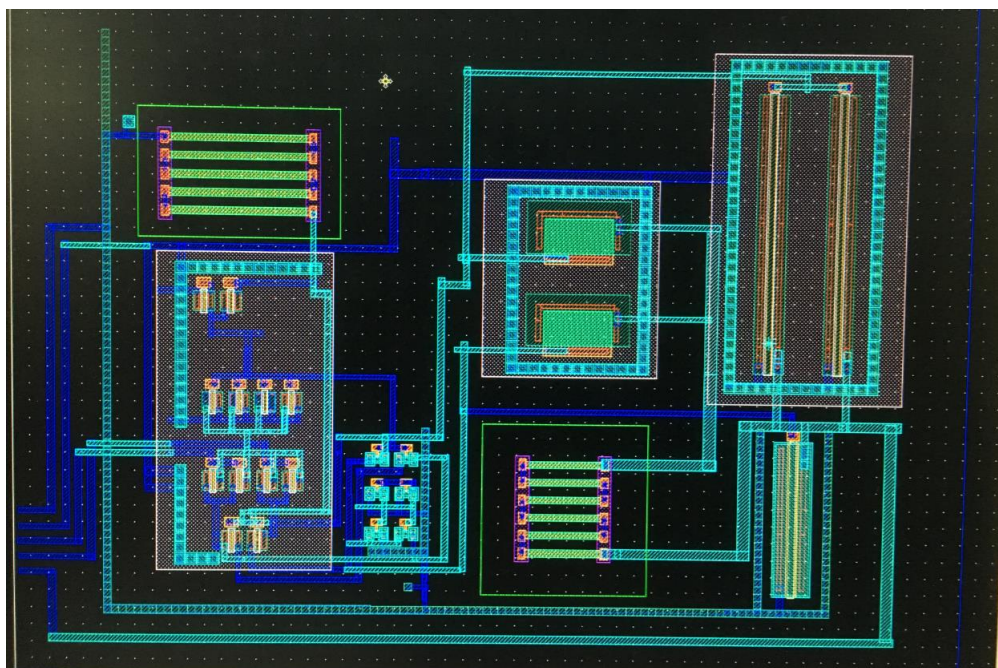


# シミュレーション結果



- スルーレート  
立ち上がり :  $1.89\text{V}/\mu\text{sec}$   
立ち下がり :  $1.69\text{V}/\mu\text{sec}$

# レイアウト図





# チップ測定結果



- SR測定結果
- 立ち上がり : 2.2V/  $\mu$  sec
- 立ち下がり : 2.0V/  $\mu$  sec

# チップ測定結果

測定回数	1回目		2回目	
チップA	消費電流(+)	消費電流(-)	消費電流(+)	消費電流(-)
	19.8 $\mu$ A	27.6 $\mu$ A	19.8 $\mu$ A	27.6 $\mu$ A
チップB	消費電流(+)	消費電流(-)	消費電流(+)	消費電流(-)
	60.4 $\mu$ A	9.4 $\mu$ A	60.8 $\mu$ A	9.72 $\mu$ A

- 消費電流測定結果
- 最大消費電流は60.8  $\mu$  A  
最大消費電力は91.2  $\mu$  Wとなった

## 課題

- シミュレーションと実測で消費電流にかなりの差がある
- 設計に問題があり、チップ化した際のオフセットがかなり大きく、正負で消費電流の差が生じたことが原因

## 感想

- 実際にチップ化する上でレイアウト設計を初めて行ったが、想像以上に難しく、貴重な体験をできた
- 来年は今年度の経験を活かし、より上位を狙っていきたい

# 演算増幅器設計コンテスト 試作の部 3位

東京理科大学 理工学研究科 電気工学専攻  
兵庫研究室 修士2年 村岡丈裕

## 要件

- ・ 直流利得 10倍±10%以内
- ・ -3dB帯域幅 10kHz以上
- ・ 最大入力電圧 0.1V以上
- ・ スルーレート 1V/μs以上

以上を満たして

消費電力  $P = \max\{|I_{Bp}V_{DD}|, |I_{Bn}V_{SS}|\}$  で評価

## チャンネル長の決定

しきい値のバラツキに強くする

$$\Delta V_T = \frac{1}{C_{ox} \sqrt{LW}} = \frac{V_{eff}}{L} \sqrt{\frac{\mu}{2C_{ox} I_{ds}}}$$

MOSのチャンネル長Lを長くするとバラツキが良くなる

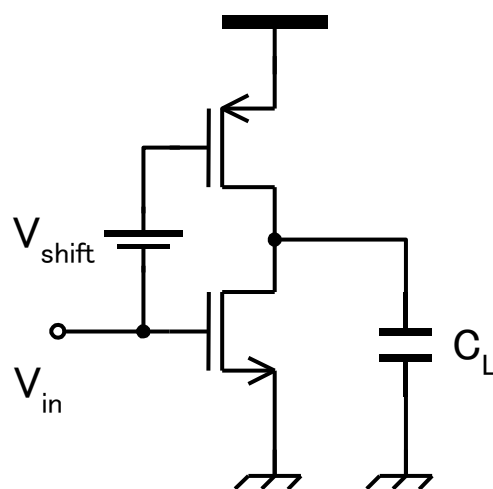
試作は0.6 $\mu$ m CMOSプロセスで行うので、  
十分長いL = 2 $\mu$ mで設計する

## AB級出力回路

通常のソース接地では  
スルーレートが悪いため

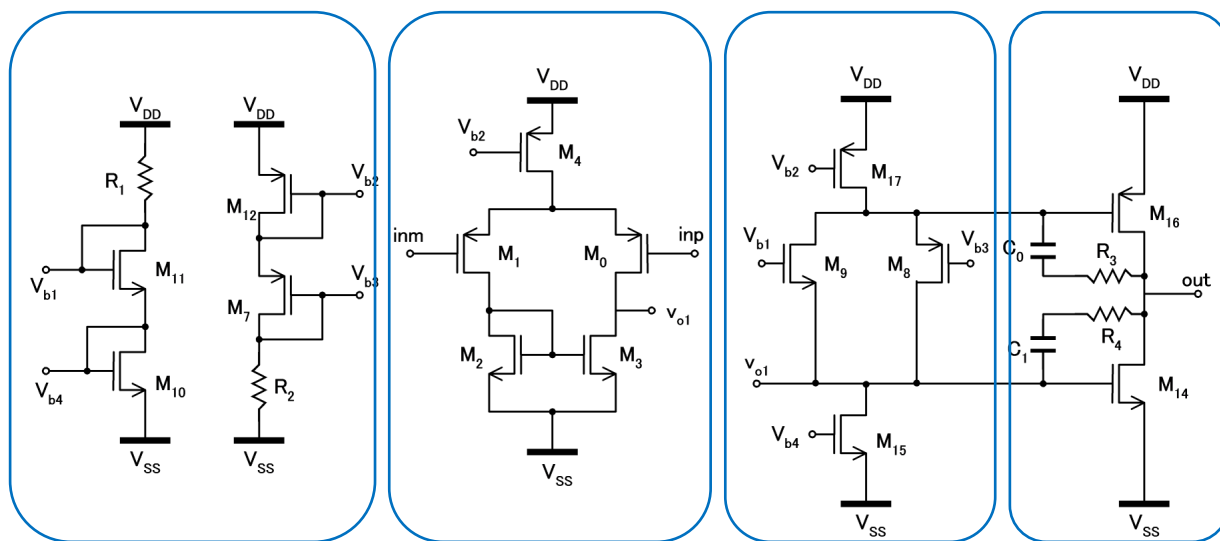
定常状態で電流が少なく  
動作時に電流が増加する

AB級出力回路を使う



AB級出力回路

# 提出回路



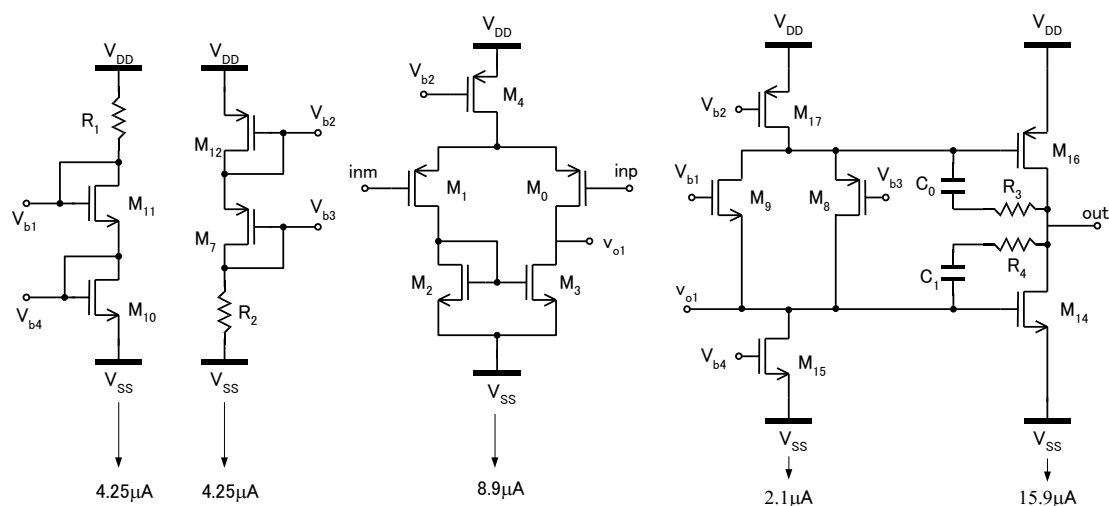
バイアス段

差動増幅段

レベルシフト

AB級出力段

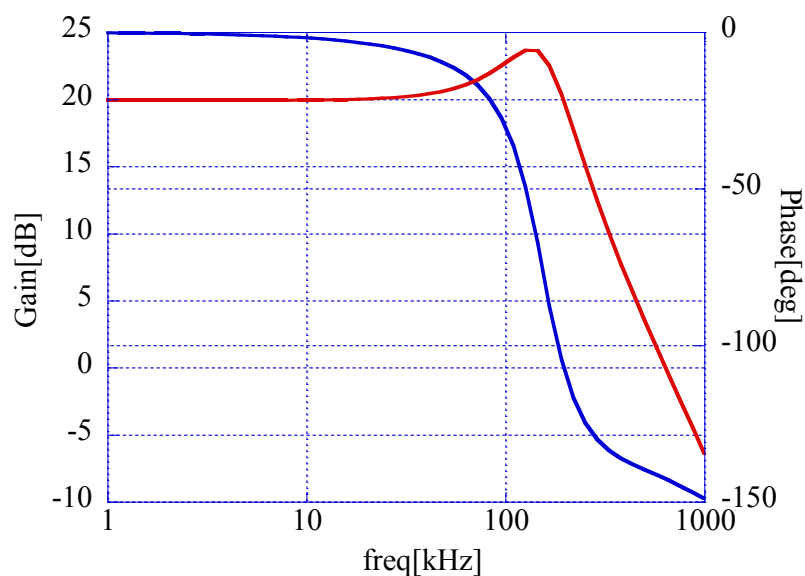
# 素子値と電流



PMOS	$M_8(1 \times 12\mu\text{m}/2\mu\text{m})$ , $M_7M_{17}(2 \times 12\mu\text{m}/2\mu\text{m})$ , $M_0M_1M_{12}(4 \times 12\mu\text{m}/2\mu\text{m})$ , $M_4M_{16}(4 \times 24\mu\text{m}/2\mu\text{m})$
NMOS	$M_9(1 \times 6\mu\text{m}/2\mu\text{m})$ , $M_2M_3M_{11}M_{15}(2 \times 6\mu\text{m}/2\mu\text{m})$ , $M_{10}(4 \times 6\mu\text{m}/2\mu\text{m})$ , $M_{14}(4 \times 12\mu\text{m}/2\mu\text{m})$
$R_1(224\text{k}\Omega)$ , $R_2(154\text{k}\Omega)$ , $R_3R_4(539\text{k}\Omega)$	$C_0C_1(780\text{fF})$

## シミュレーション結果

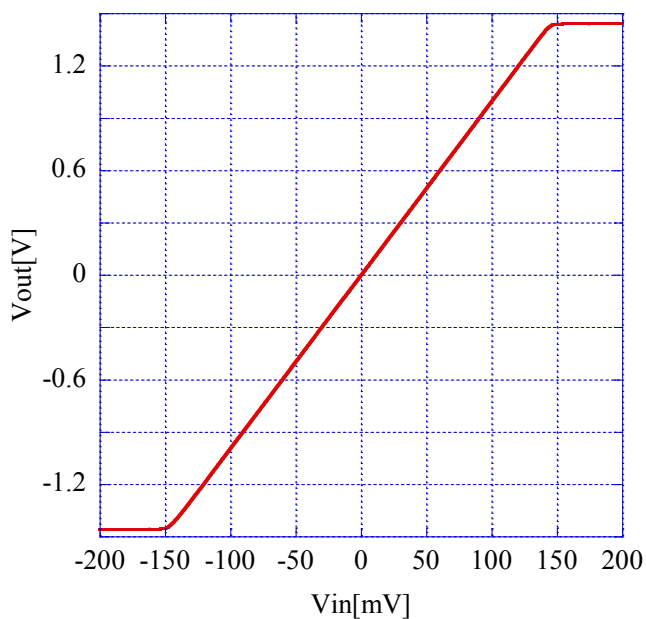
- 周波数特性
- 直流利得  
19.92dB (9.91倍)
- -3dB帯域幅  
229kHz
- 位相余裕  
37.3deg (<45deg)



## シミュレーション結果

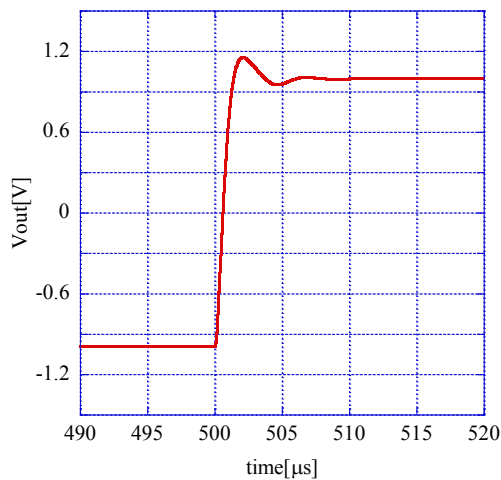
- 最大入力電圧範囲

最大入力電圧  
±144mV

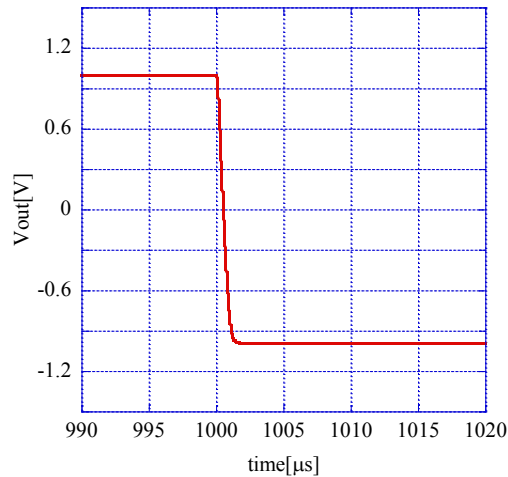


## シミュレーション結果

- ・ スルーレート



立ち上がり



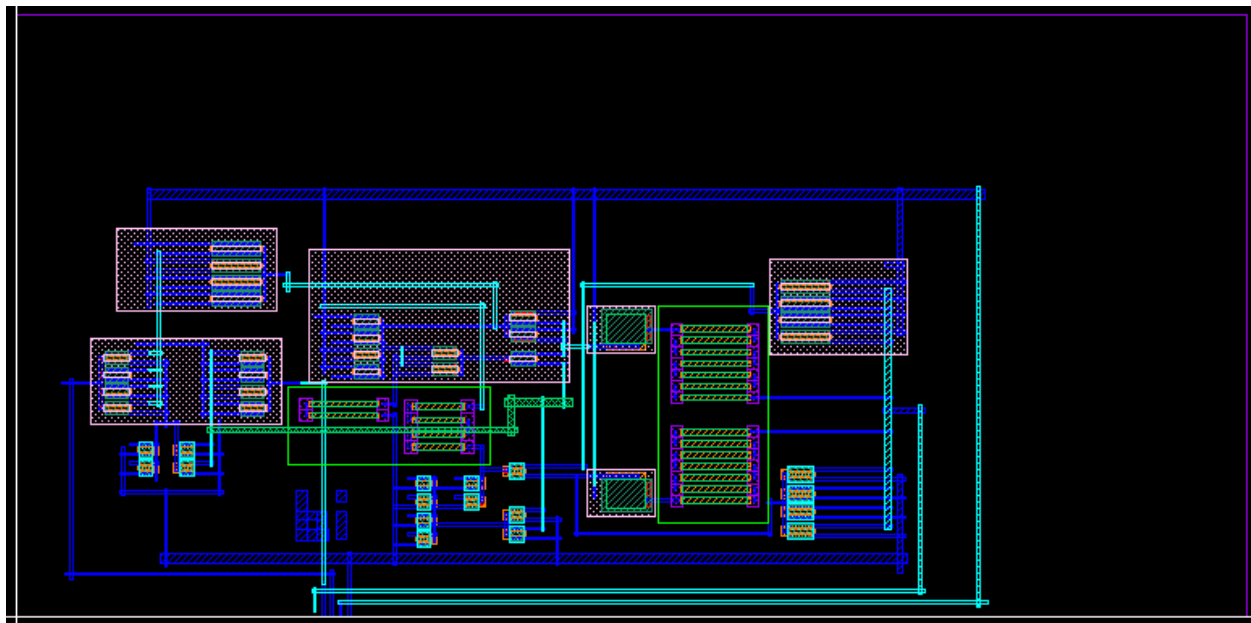
立ち下がり

## シミュレーション結果

- ・ シミュレーション結果の特性表

直流利得	19.92dB
-3dB帯域幅	229kHz
最大入力電圧	144mV
SR上がり	1.80V/ $\mu s$
SR下がり	1.80V/ $\mu s$
消費電流	35.4 $\mu A$

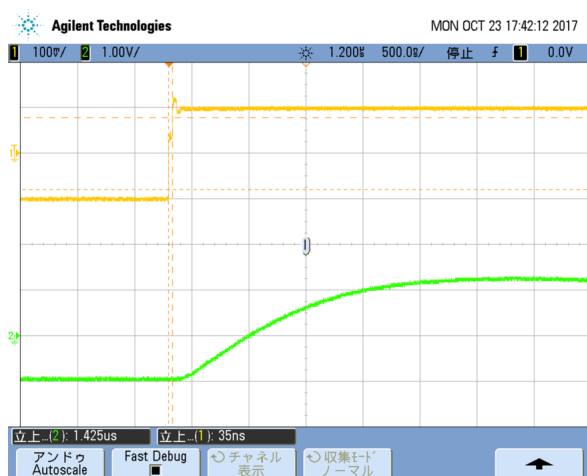
# 試作レイアウト



中央にバイアス段を設置した

# 測定結果

- ・ スルーレート





## シミュレーションと試作チップの比較

	シミュレーション	試作
直流利得	9.91倍	9.63倍
-3dB帯域幅	229kHz	450kHz
最大入力電圧	144mV	140mV
SR上がり	1.80V/ $\mu$ s	1.8V/ $\mu$ s
SR下がり	1.80V/ $\mu$ s	2.2V/ $\mu$ s
消費電流	35.4 $\mu$ A	52.0 $\mu$ A
消費電力	53.1 $\mu$ W	77.9 $\mu$ W

## まとめ

昨年度は同じ回路構成で消費電流が145 $\mu$ A、  
今年度は消費電流52.0 $\mu$ Aだったので、  
設計が悪いと回路の特性が引き出せないことがわ  
かりました

試作を行えるのは貴重な経験になりました

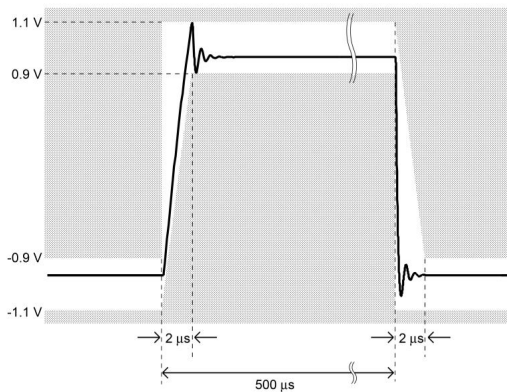
演算増幅器設計コンテスト運営の皆様、及び協賛  
企業の皆様に厚く御礼申し上げます

# 平成29年演算増幅器設計コンテスト 試作の部 2位

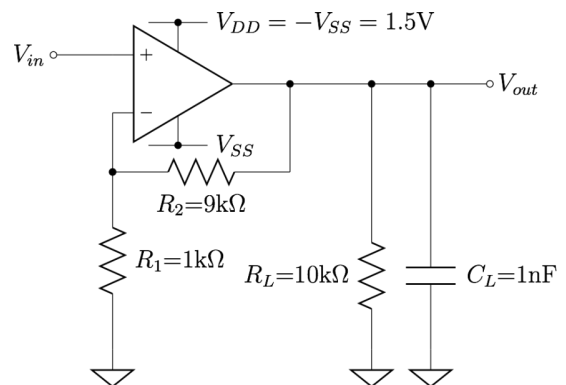
東京都市大学 知識工学部 情報通信工学科  
4年 集積化システム 傘研究室  
佐々木 美波

1

## アンプを設計する際に最低限必要なスペック



時間応答波形の指定マスク図



測定回路：利得10倍の正相増幅回路

- ・ 直流利得：10倍±10%以内
- ・ 最大入力電圧：±0.1V以上
- ・ スルーレート：1V/μs以上
- ・ オーバーシュートmax値：±1.1V以内
- ・ レイアウト：0.62mm×0.30mm以内

※平成29年演算増幅器設計コンテストより引用  
<https://www.ec.ict.e.titech.ac.jp/opamp/2017/exp.html>

最低限必要なスペックを満たした上で  
**低消費電力化を目指す**

$$P = \max\{|I_{Bp}V_{DD}|, |I_{Bn}V_{SS}|\}$$

※  $I_{Bp}, I_{Bn}$  :  $V_{in} = 0$  のとき正負電源端子に流れる電流

2

# コンテストへの参加理由, 目標, 設計方針

シミュレータの使用, アナログ回路の設計, 試作, 評価を行うのは今回が初めて  
限られた時間で, 確実に動作するアンプを設計  
アナログ回路の設計フローを学ぶとともに, モノづくりの楽しさを体験



消費電流 $38.4\mu\text{A}$  (前年のトップ成績) を切ることが目標

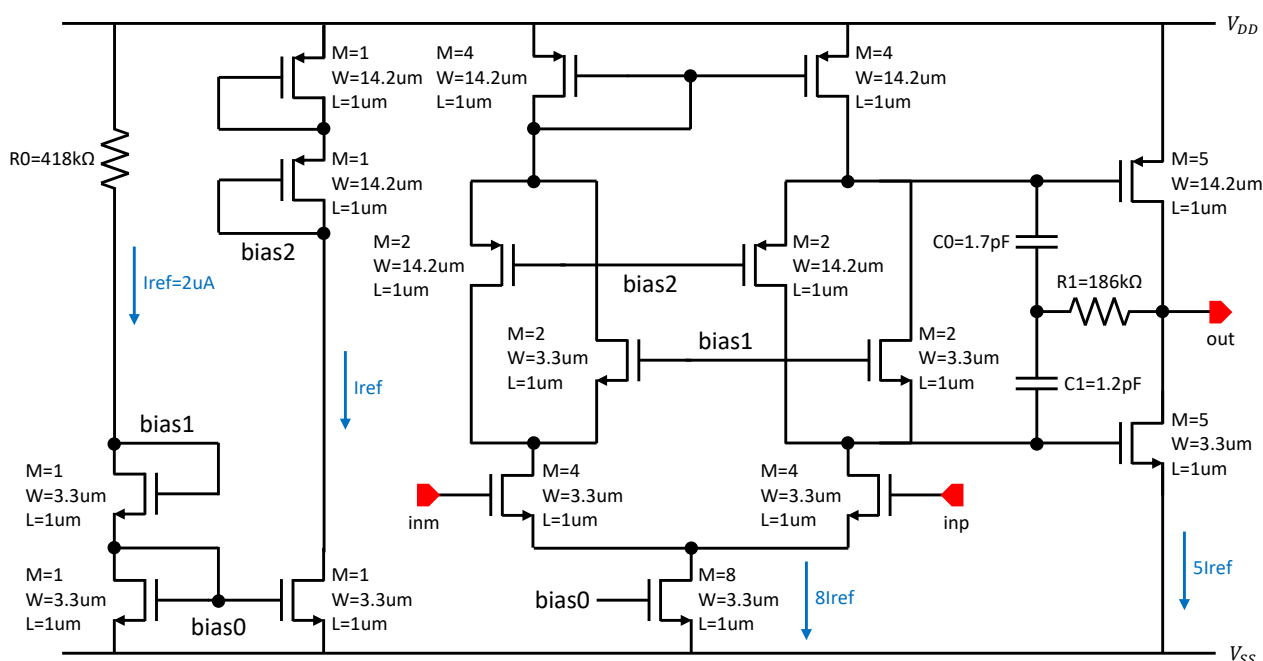


- ・ マージンのある設計 → 試作アンプが最低限必要なスペックを満たすように
- ・ AB級出力回路を用いる → 少ない消費電流でスルーレートを満たすように
- ・ トランジスタサイズを統一 → レイアウトでミスしないように
- ・ 位相余裕を多く取る → オーバーシュートが大きくなるように

3

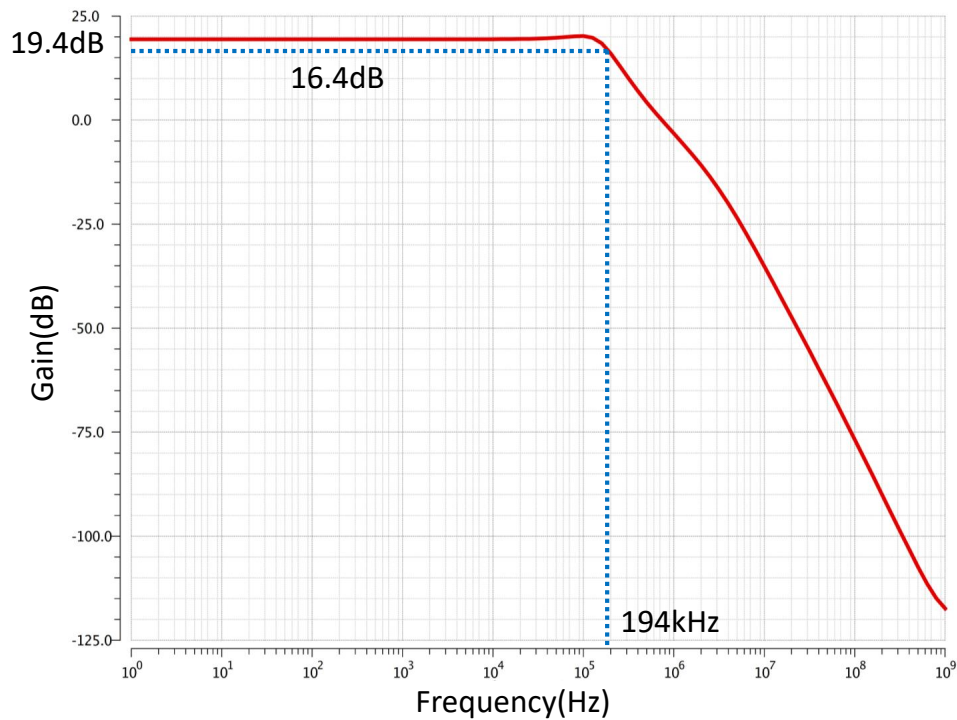
## 回路構成と設計値

→ 差動段 + AB級出力段



4

## 設計アンプのAC解析のsim結果(閉ループ)

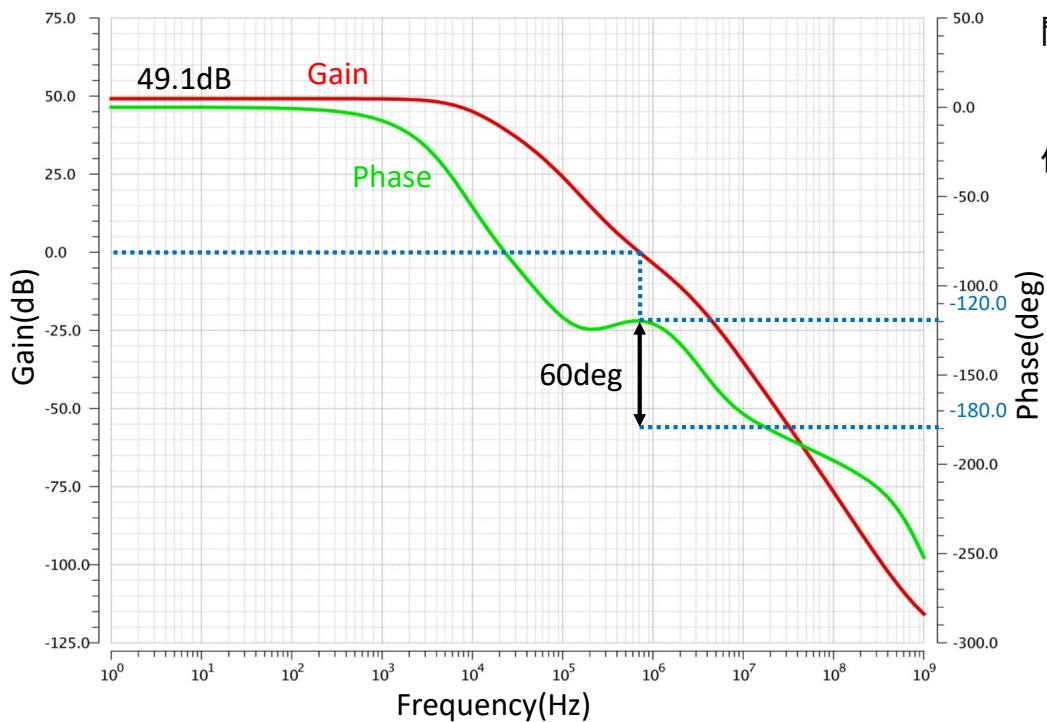


直流利得：  
19.4dB (9.3倍)

-3dB帯域幅：  
194kHz

5

## 設計アンプのAC解析のsim結果(開ループ)

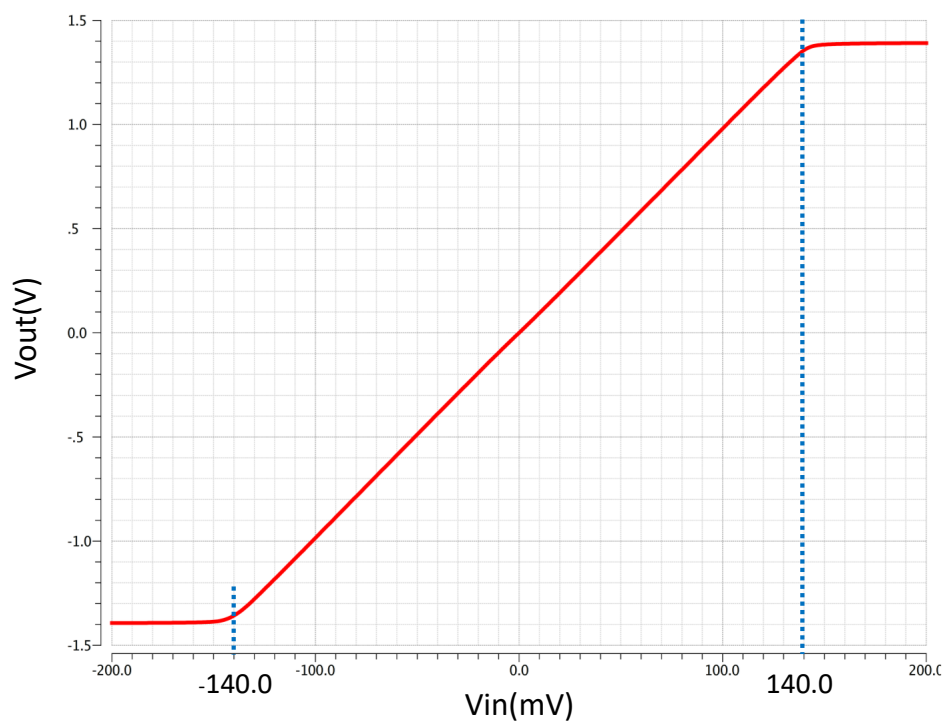


開ループ利得：  
49.1dB

位相余裕：  
60deg

6

## 設計アンプの最大入力電圧のsim結果

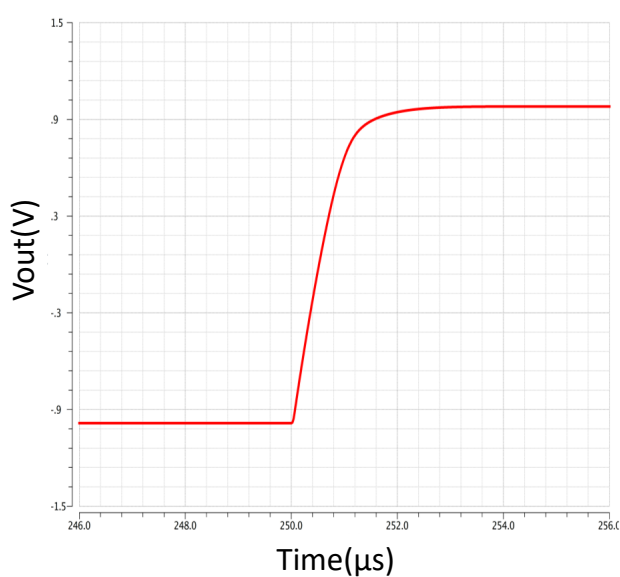


最大入力電圧：  
±140mV

7

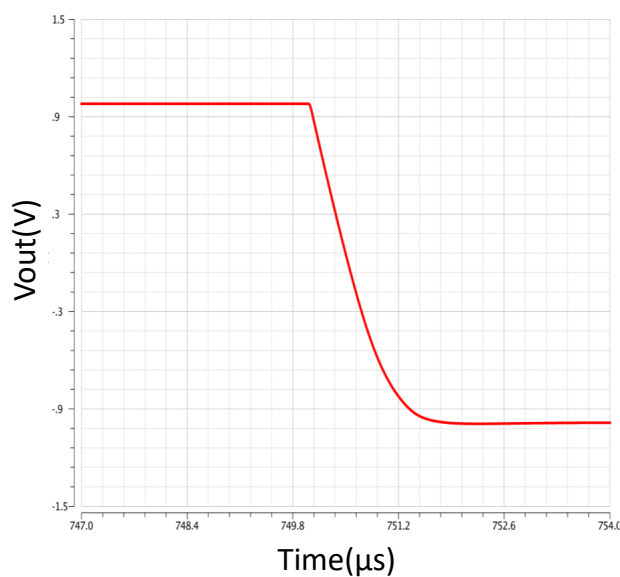
## 設計アンプのスルーレートのsim結果

・ 立ち上がり



$SR_r = 1.49V/\mu s$

・ 立ち下がり

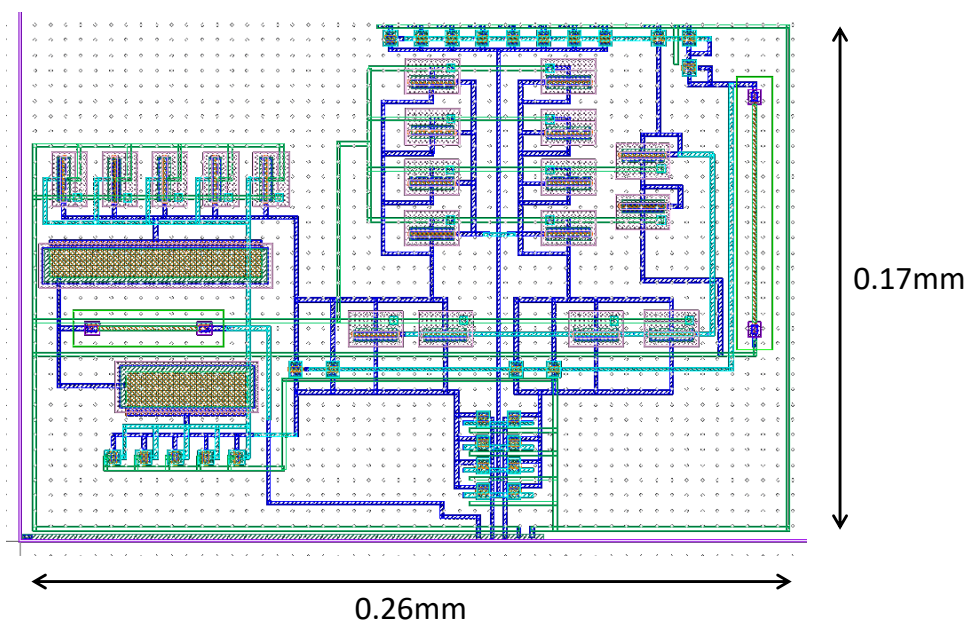


$SR_f = 1.52V/\mu s$

→ 立ち上がり, 立ち下がりともにオーバーシュートなし

8

## 設計アンプのレイアウト



→ 0.62mm × 0.30mm以内に収まっている

9

## 設計アンプのsim結果のまとめ

### 最低限必要なスペック

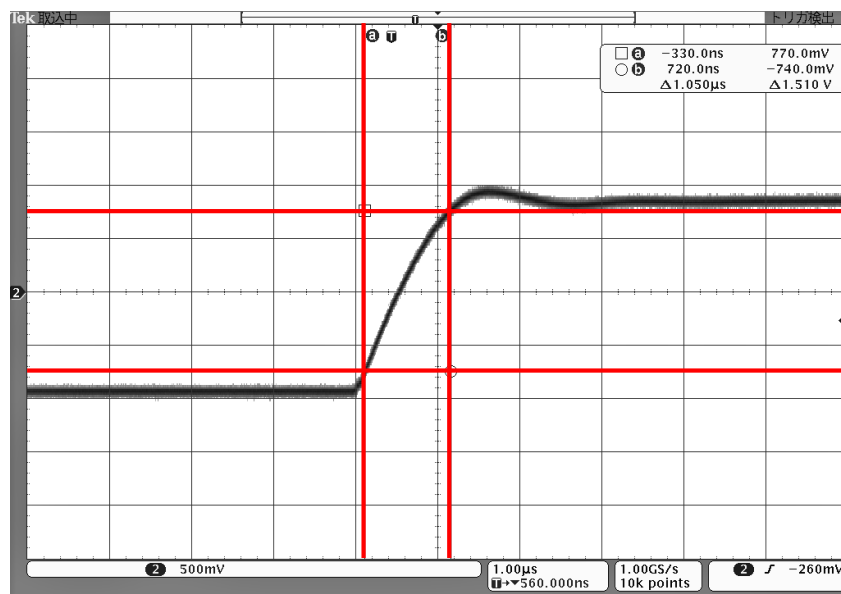
- ・ 直流利得 : 10倍 ± 10%以内
- ・ 最大入力電圧 : ±0.1V以上
- ・ スルーレート : 1V/μs以上

回路特性		sim結果
直流利得		9.3倍
-3dB帯域幅		194kHz
最大入力電圧		±0.14V
スルーレート	立ち上がり	1.49V/μs
	立ち下がり	1.52V/μs
位相余裕		60deg
消費電流	$V_{DD}$ 側	30.0μA
	$V_{SS}$ 側	30.0μA

→ 最低限必要なスペックを満たし、sim結果における消費電流は30.0μAとなった

10

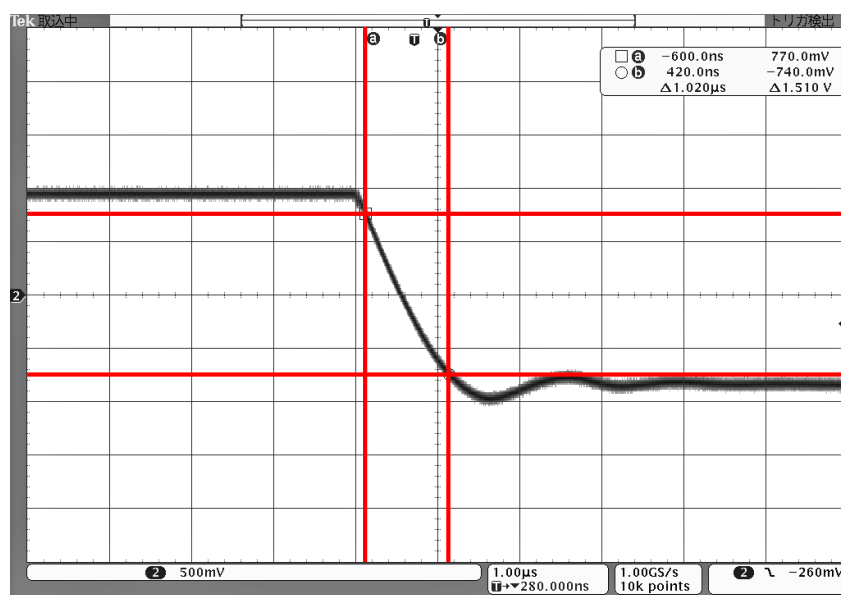
## 試作アンプのスルーレート(立ち上がり)の測定結果



$$SRr=1.44V/\mu s$$

11

## 試作アンプのスルーレート(立ち下がり)の測定結果



$$SRf=1.48V/\mu s$$

12

## 設計アンプのsim結果と試作アンプの測定結果の比較

回路特性		sim結果	測定結果
直流利得		9.3倍	9.5倍
-3dB帯域幅		194kHz	350kHz
最大入力電圧		±0.14V	±0.14V
スルーレート	立ち上がり	1.49V/μs	1.44V/μs
	立ち下がり	1.52V/μs	1.48V/μs
消費電流	$V_{DD}$ 側	30.0μA	44.4μA
	$V_{SS}$ 側	30.0μA	48.4μA

→ sim結果と比較して、測定結果における消費電流が増えてしまった

13

## 考察, 反省点, 感想

### ○考察

- ・消費電流が増えた → 製造ばらつきにより $R_0$ が小さくなり、 $I_{ref}$ が増えたから
- ・利得が上がった → 消費電流が増えたから
- ・-3dB帯域幅が広がった → 出カインピーダンスが小さくなったから

### ○反省点

- ・デザインルールを満たすことで精いっぱい → レイアウトがスカスカ

### ○感想

- ・初めは分からないことばかりでとても大変だったが、短期間で集中してアナログ回路の設計フローを学ぶことができた
- ・考慮すべきパラメータの多さやトレードオフの関係など、アナログ回路設計の難しさを痛感させられた
- ・自分で設計した回路の動作が確認でき、とても嬉しかった

14



貴重な機会を与えて頂き、ありがとうございました。  
モノづくりの楽しさを再確認できました。  
演算増幅器設計コンテスト運営の皆様 並びに 協賛企業の皆様  
厚く御礼申し上げます。

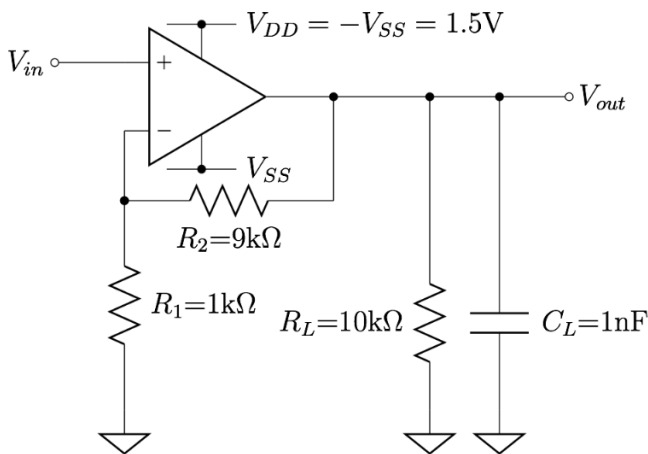
# 演算増幅器設計コンテスト 試作の部 1位

東京都市大学 工学研究科 情報工学専攻 2年 陳 広謙

2017.12.08



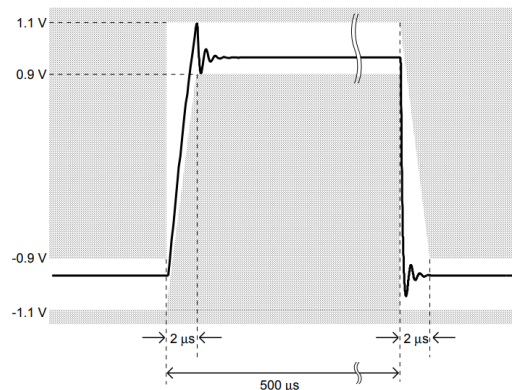
## 評価方法



測定回路・条件

### 審査対象となる回路特性

直流利得	10倍±10%
-3dB帯域幅	10kHz以上
最大入力電圧	±0.1V以上
スルーレート	1V/us以上
回路の安定性	発振していないこと
ステップ応答	下図のマスク範囲内



### 消費電力

$$P = \max\{|I_{Bp} V_{DD}|, |I_{Bn} V_{SS}|\}$$

( $I_{Bp}, I_{Bn}$ :  $V_{in} = 0$ のときの正負電源端子に流れる電流)

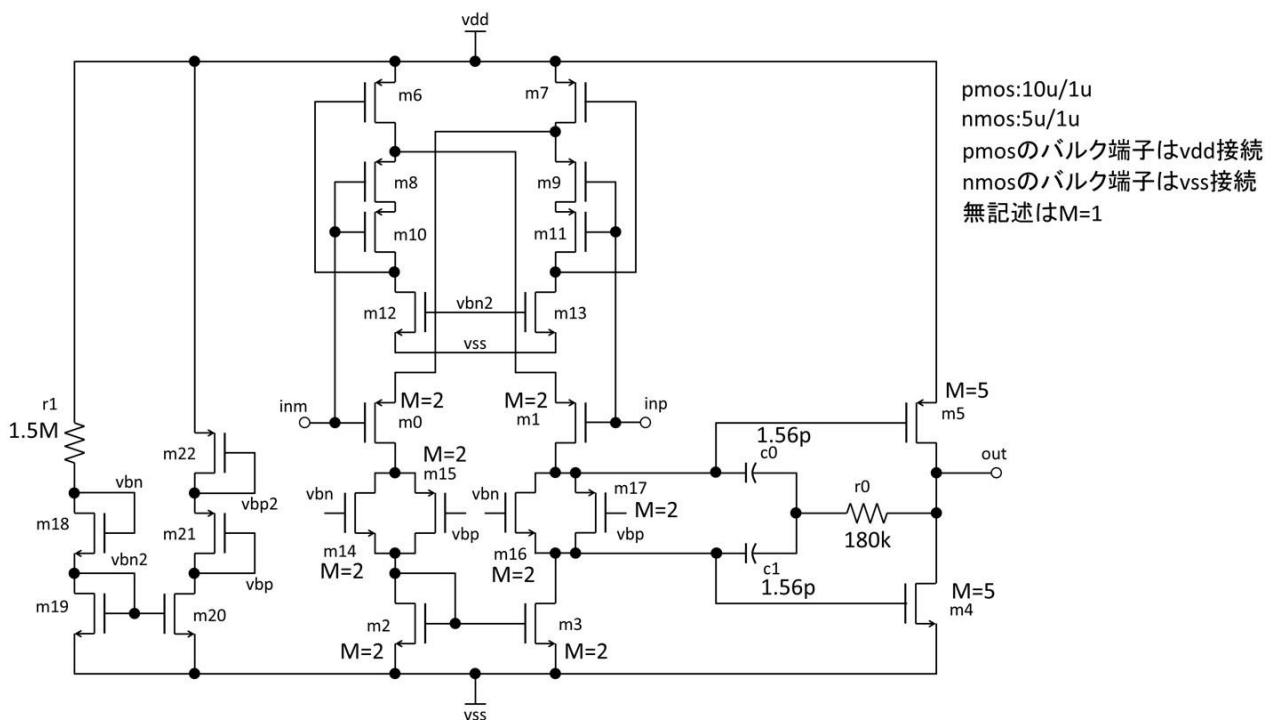


# 設計目標

- 昨年度の1位結果の消費電流は約40uA  
↳ 40uA以下を目指す
- 今年度よりステップ応答に対する審査項目が追加  
↳ オーバー/アンダーシュートを無くす
- レイアウト  
↳ コンパクトで綺麗なレイアウトを心掛ける

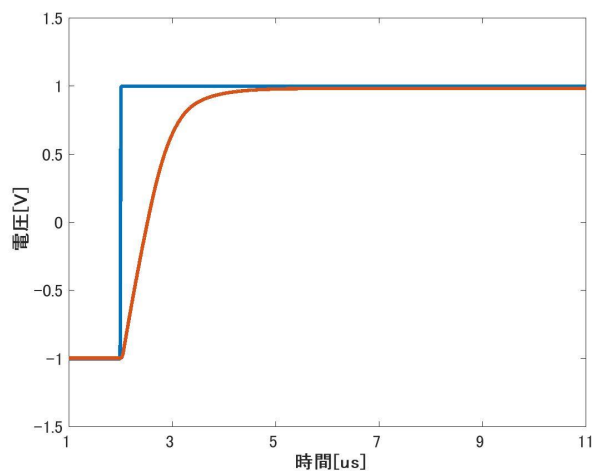
3

# 回路構成

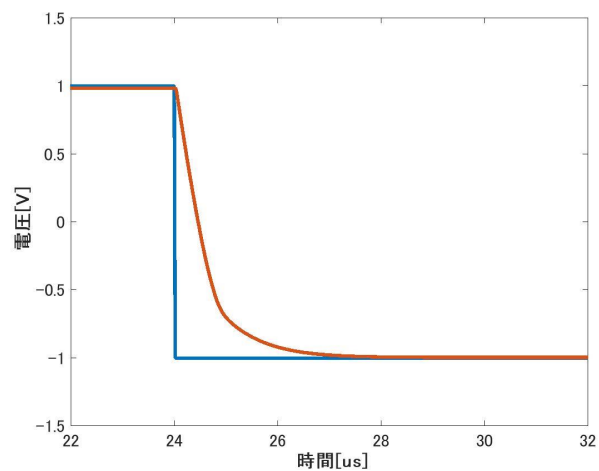


4

# SRシミュレーション結果



立ち上がり: 1.30V/us



立ち下がり: 1.11V/us



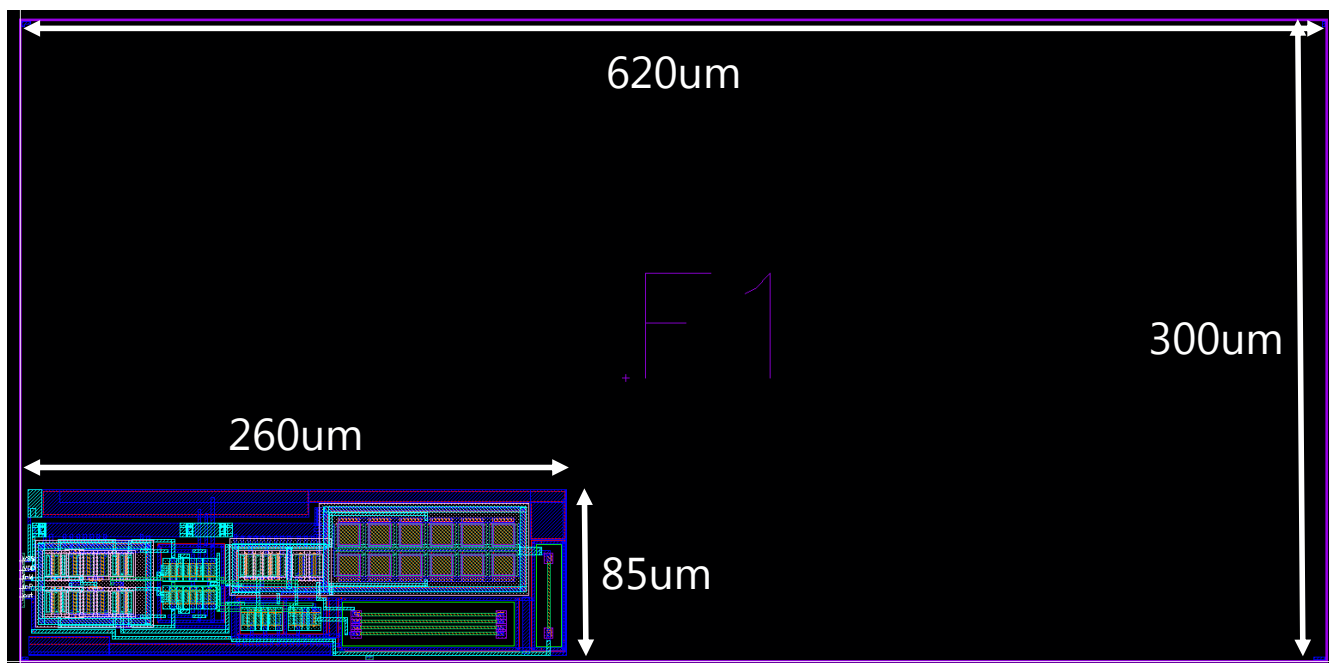
# シミュレーション結果まとめ

直流利得*	41dB
-3dB帯域幅*	11kHz
最大入力電圧	0.14V
SR立ち上がり	1.30V/us
SR立ち下がり	1.11V/us
<b>消費電流</b>	<b>13.1uA</b>

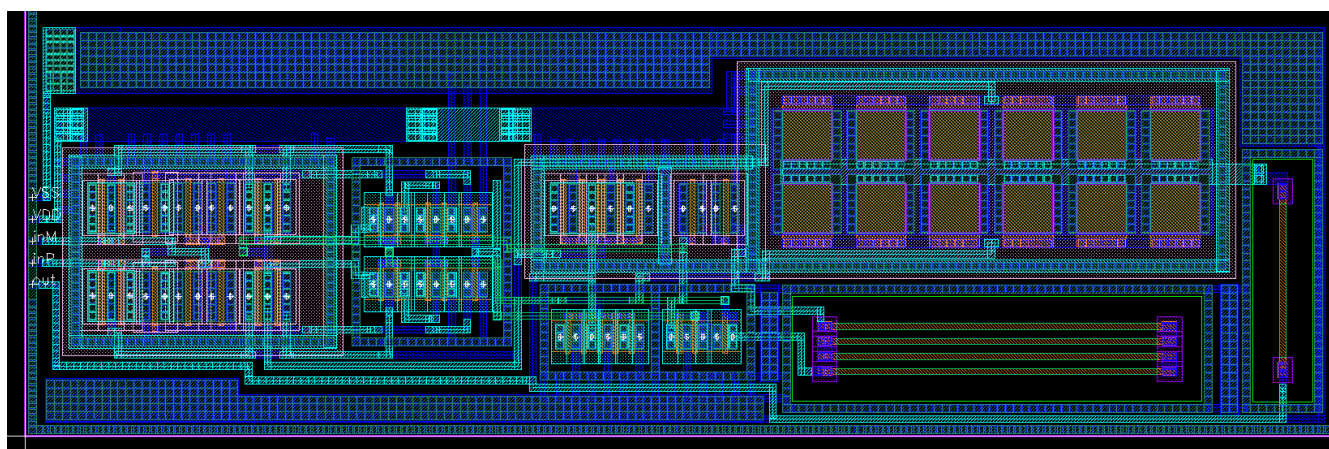
\*オープンループ



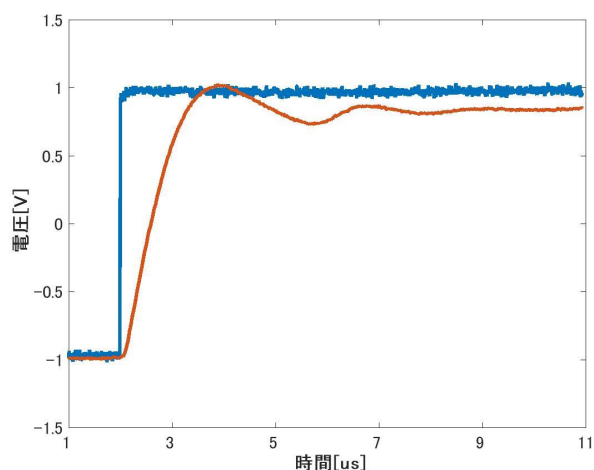
# レイアウト



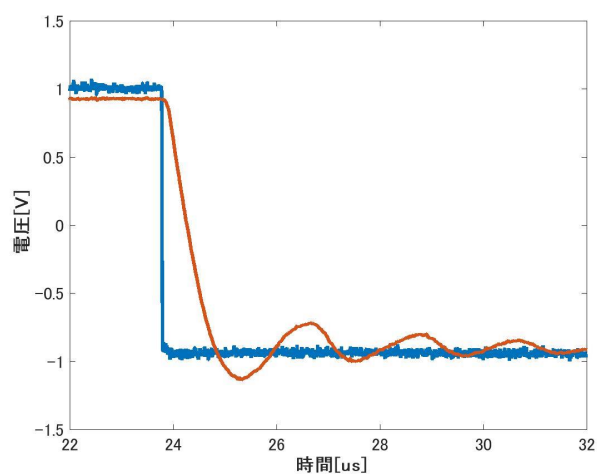
# レイアウト



# SR実測結果



立ち上がり: 1.23V/us



立ち下がり: 1.59V/us



# 実測結果まとめ

直流利得	9.7倍
-3dB帯域幅	390kHz
最大入力電圧	0.14V
SR立ち上がり	1.23V/us
SR立ち下がり	1.59V/us
<b>消費電流</b>	<b>20.3uA</b>





- SRに焦点を当て設計
- TT,FF,SS,FS,SF条件でシミュレーション
- 抵抗, 容量の絶対値バラツキを考慮
- コンパクトで見たいも美しいレイアウト

演算増幅器設計コンテスト運営に関わる皆様  
協賛企業の皆様  
厚くお礼申し上げます

